



ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ

**ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ**

ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

**Αναλογικές Τεχνικές Ελέγχου Ορθής Λειτουργίας CMOS
Ολοκληρωμένων Κυκλωμάτων**

Σωτήριος Δ. Ματακιάς

ΑΘΗΝΑ

ΜΑΪΟΣ 2011

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

Αναλογικές Τεχνικές Ελέγχου Ορθής Λειτουργίας CMOS Ολοκληρωμένων Κυκλωμάτων

Σωτήριος Δ. Ματακιάς

ΕΠΙΒΛΕΠΩΝ ΚΑΘΗΓΗΤΗΣ: Αγγελική Αραπογιάννη, Αν. Καθηγήτρια ΕΚΠΑ

ΤΡΙΜΕΛΗΣ ΕΠΙΤΡΟΠΗ ΠΑΡΑΚΟΛΟΥΘΗΣΗΣ:

Αγγελική Αραπογιάννη, Αναπλ. Καθηγήτρια ΕΚΠΑ

Γεώργιος Τσιατούχας, Επίκ. Καθηγητής Πανεπιστημίου Ιωαννίνων

Δημήτριος Συβρίδης, Καθηγητής ΕΚΠΑ

ΕΠΤΑΜΕΛΗΣ ΕΞΕΤΑΣΤΙΚΗ ΕΠΙΤΡΟΠΗ

**Αγγελική Αραπογιάννη,
Αν. Καθηγήτρια ΕΚΠΑ**

**Δημήτριος Συβρίδης,
Καθηγητής ΕΚΠΑ**

**Γεώργιος Τσιατούχας,
Επίκουρος Καθηγητής Π. Ιωαννίνων**

**Αντώνιος Πασχάλης,
Καθηγητής ΕΚΠΑ**

**Θεμιστοκλής Χανιωτάκης,
Επίκουρος Καθηγητής Π. Πατρών**

**Κιαμάλ Πεκμεστζή,
Καθηγητής ΕΜΠ**

**Δημήτριος Γκιζόπουλος,
Αν. Καθηγητής Π. Πειραιά**

Ημερομηνία εξέτασης 16/05/2011

ΠΕΡΙΛΗΨΗ

Στην παρούσα διατριβή παρουσιάζονται τρεις νέες αναλογικές τεχνικές δοκιμής της ορθής λειτουργίας (testing) CMOS κυκλωμάτων. Οι τεχνικές αυτές παρουσιάζουν μια σειρά από σημαντικά πλεονεκτήματα σε σχέση με τις αντίστοιχες ψηφιακές, όπως μικρότερες απαιτήσεις για επιφάνεια πυριτίου, μικρότερη κατανάλωση και υψηλότερη ταχύτητα λειτουργίας. Επομένως οι προτεινόμενες τεχνικές είναι ιδανικές για να ενσωματωθούν στο υπό δοκιμή ψηφιακό κύκλωμα συνεισφέροντας με τον τρόπο αυτό στη σχεδίαση πιο αξιόπιστων κυκλωμάτων.

Ένας πολύ γνωστός κώδικας ανίχνευσης λαθών ο οποίος χρησιμοποιείται ευρύτατα είναι ο κώδικας διπλού συρμού. Ο βασικός ελεγκτής του κώδικα αυτού έχει δύο ζεύγη σημάτων στην είσοδό του και ένα ζεύγος στην έξοδό του. Για μεγαλύτερο πλήθος εισόδων χρησιμοποιείται αυτό το βασικό κύκλωμα του ελεγκτή σε δομή δένδρου. Η πρώτη τεχνική που παρουσιάζεται αφορά στον σχεδιασμό ενός παράλληλου αυτοελεγχόμενου ελεγκτή κώδικα διπλού συρμού ο οποίος βασίζεται σε λειτουργία ρεύματος και παρέχει πολύ μεγάλη ταχύτητα απόκρισης σε σχέση με τους ελεγκτές με δενδρική δομή. Επίσης καταλαμβάνει μικρότερη επιφάνεια και καταναλώνει λιγότερη ισχύ σε σχέση με τους αντίστοιχους ελεγκτές της κατηγορίας του που αναφέρονται στη βιβλιογραφία - ειδικότερα μάλιστα για μεγάλο αριθμό ζευγών στην είσοδό του.

Η δεύτερη τεχνική που παρουσιάζεται είναι μια τεχνική ανίχνευσης μεταβατικών σφαλμάτων και σφαλμάτων χρονισμού, τα οποία αποτελούν μια πολύ σημαντική κατηγορία σφαλμάτων που οφείλονται σε μηχανισμούς όπως ακτινοβολία ή θόρυβος και τα οποία προκαλούν τα λεγόμενα ήπια λάθη ή λάθη χρονισμού. Η τεχνική βασίζεται σε αναλογικές μεθόδους και παρέχει μεγάλη ταχύτητα ανίχνευσης, καταλαμβάνει μικρότερη επιφάνεια και καταναλώνει μικρότερη ισχύ σε σχέση με τις υπάρχουσες ψηφιακές τεχνικές. Δεδομένου ότι με την πρόοδο της τεχνολογίας τα κυκλώματα καθίστανται ιδιαίτερα ευαίσθητα στα σφάλματα αυτά, γίνεται σαφές ότι η προτεινόμενη τεχνική είναι ιδιαίτερης σημασίας.

Η τρίτη τεχνική που παρουσιάζεται αφορά τη δοκιμή των CMOS κυκλωμάτων με την παρακολούθηση του ρεύματος ηρεμίας, γνωστή και ως δοκιμή I_{DDQ} . Αυτός ο τύπος δοκιμής έχει χρησιμοποιηθεί ευρύτατα για την ανίχνευση σφαλμάτων γεφύρωσης, καθώς και σφαλμάτων μόνιμα αγωγίμων ή μη αγωγίμων τρανζίστορ. Κατά τη διάρκεια της δοκιμής I_{DDQ} παρακολουθείται το ρεύμα στην γραμμή τροφοδοσίας του υπό δοκιμή κυκλώματος. Η τεχνική που παρουσιάζεται βασίζεται στην αντιστάθμιση των διακυμάνσεων του ρεύματος ηρεμίας στον κόμβο ανίχνευσης με τεχνικές καθρεπτισμού ρεύματος. Η προτεινόμενη μέθοδος ενσωματώθηκε στην κατασκευή ενός κυκλώματος σε CMOS τεχνολογία $0.18\mu\text{m}$ της STMicroelectronics επιδεικνύοντας την αποτελεσματικότητα της τεχνικής. Επίσης δίνεται ένα μοντέλο για την παραμετρική περιγραφή του προτεινόμενου κυκλώματος, το οποίο επαληθεύεται από τα πειραματικά δεδομένα που προέκυψαν από τις μετρήσεις στο κατασκευασμένο κύκλωμα επίδειξης.

ΘΕΜΑΤΙΚΗ ΠΕΡΙΟΧΗ: Έλεγχος Ορθής Λειτουργίας CMOS Κυκλωμάτων

ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ: Αυτοελεγχόμενοι Ελεγκτές, Ελεγκτές Κώδικα Διπλού Συρμού, Ήπια σφάλματα και σφάλματα χρονισμού, Ενσωματωμένοι αισθητήρες ρεύματος, Δοκιμή I_{DDQ} .

ABSTRACT

In this thesis three novel analog techniques for testing CMOS Integrated circuits are presented. These techniques are based on analog circuits since they offer a number of important advantages compared to classical digital techniques. The advantages are i) less silicon area, ii) lower power consumption and iii) high operating speed. Therefore, the proposed techniques can be embedded in the circuit under test, contributing to the design of more reliable circuits.

A widely used error detection code is the Two Rail Code (TRC). The basic circuit of a Two Rail Code Checker has two input pairs of TRC signals and one TRC pair at the output. For applications demanding large number of input pairs the basic circuit is used in a tree structure. The first analogue technique of this thesis is a current mode, parallel two-rail code checker suitable for the implementation of high fan-in embedded checkers. The new circuit is based on current mode design techniques, belongs to the periodic outputs category of TRC checkers and provides high testability since it is totally self-checking (TSC) or strongly code-disjoint (SCD) for a wide set of realistic faults, including transistor stuck-open faults that are not covered by other TRC checkers in the same category. Designs of this TRC checker, for various numbers of inputs, in a standard 0.18 μm CMOS technology and the subsequent extended simulations (in a full range of process, voltage and temperature conditions) proved the efficiency of the circuit over earlier topologies in the same category, in terms of silicon area requirements, speed performance and power consumption.

A very important class of errors is the transient faults that cause soft or timing errors due to a variety of mechanisms, such as radiation, power supply noise, crosstalk e.t.c. The shrinking of dimensions in CMOS technology makes digital circuits more sensitive to such errors. We propose a novel concurrent soft and timing error detection circuit for CMOS integrated circuits. The circuit exploits the temporary nature of the transient faults as well as the delayed response of the delay faults to detect the corresponding errors that appear at the outputs of the functional circuit being monitored. The idea is based on current mode sense amplifier topologies to provide fast error detection times.

The third class of fault detection techniques refers to I_{DDQ} testing which is a valuable manufacturing tool to achieve high defect detection levels and improve quality and reliability of CMOS ICs. A new I_{DDQ} testing technique, a corresponding embedded circuit to support it and a theoretical model for the circuit operation are presented in this thesis. In deep submicron technologies, the discrimination between defective and non-defective I_{DDQ} currents is hard. In order to be able to exploit I_{DDQ} testing in nanometer technologies we propose a new I_{DDQ} testing approach where the background current at the sensing node is properly controlled taking into account possible process and temperature variations as well as the dependence of the background current on the applied test vector. The adoption of this method is a promising way to extend the viability of I_{DDQ} testing in the nanometer technologies.

SUBJECT AREA: Digital CMOS Testing

KEYWORDS: Self Checking Checkers, Two Rail Code Checker, Soft and Timing Errors, I_{DDQ} Testing, Build-in current sensor.

Αφιερώνεται στην Ελίνα

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω από τα βάθη της καρδιάς μου την Επιβλέπουσα Καθηγήτριά μου Αγγελική Αραπογιάννη για την αμέριστη επιστημονική αλλά και ηθική υποστήριξή της, καθόλη την διάρκεια εκπόνησης της παρούσας διδακτορικής διατριβής. Την ευχαριστώ ιδιαίτερα για την εμπιστοσύνη που επέδειξε στο πρόσωπό μου, τη διαρκή ενθάρρυνσή της, καθώς και για τις πάντα πολύτιμες συμβουλές και οδηγίες της. Καθοριστική υπήρξε επίσης η συμβολή της στη διαμόρφωση ενός άριστου κλίματος συνεργασίας, για το οποίο και αισθάνομαι εξαιρετικά τυχερός.

Θα ήθελα επίσης να ευχαριστήσω ολόψυχα τον Επίκουρο Καθηγητή Γεώργιο Τσιατούχα, για την πολύτιμη βοήθεια που μου προσέφερε σε όλα τα στάδια εκπόνησης της παρούσας εργασίας. Του οφείλω βαθύτατη ευγνωμοσύνη για το χρόνο που αφιέρωσε δίπλα μου, παρέχοντας ουσιαστική καθοδήγηση τόσο σε θέματα σχεδίασης CMOS κυκλωμάτων όσο και σε ζητήματα επιστημονικής συγγραφής και έρευνας. Τέλος, τον ευχαριστώ ιδιαίτερα γιατί πάντα, σε όλες τις συζητήσεις μας, με αντιμετώπιζε ως αντάξιο συνεργάτη.

Θα ήθελα επίσης να ευχαριστήσω θερμά τον Καθηγητή Δημήτριο Συβρίδη, μέλος της τριμελούς Επιτροπής, για τις συμβουλές και τη συνεχή ενθάρρυνσή του.

Θα ήθελα επίσης να ευχαριστήσω τους φίλους, συνεργάτες, διδάκτορες και υποψήφιους διδάκτορες της ομάδας του εργαστηρίου Μικροηλεκτρονικής, οι οποίοι με βοήθησαν, ο καθένας με τον τρόπο του, σε όλη τη διάρκεια εκπόνησης της διατριβής. Ήταν χαρά μου να βρίσκομαι σε ένα τόσο φιλικό και εγκάρδιο περιβάλλον. Ιδιαίτερα θα ήθελα να ευχαριστήσω τους φίλους Κυριάκο Κορδώνια και Κωνσταντίνο Λιμνιώτη. Ειδικά τον δεύτερο για όλη τη βοήθεια που μου παρείχε στην εκμάθηση των σχεδιαστικών εργαλείων.

Τελειώνοντας, θα ήθελα να ευχαριστήσω τη σύζυγό μου Ελίνα και τα παιδιά μου Δημήτρη, Θεοδώρα και Αριστοτέλη, οι οποίοι με υποστήριξαν στο μέγιστο βαθμό. Κυρίως, βαθιά ευγνωμοσύνη οφείλω στη σύζυγό μου Ελίνα, της οποίας η υπομονή ήταν αξιοθαύμαστη όλο αυτό το διάστημα. Με στήριζε και με ενθάρρυνε σε όλες τις δύσκολες στιγμές, γι' αυτό και η παρούσα διατριβή είναι και δικό της επίτευγμα. Την ευχαριστώ πολύ.

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΡΟΛΟΓΟΣ	25
1. ΕΙΣΑΓΩΓΗ.....	27
1.1 Απόδοση παραγωγής (Yield), ύψος ατελειών (Defect Level) και ρυθμός απόρριψης (Reject Rate).....	27
1.2 Αξιοπιστία και διαθεσιμότητα	30
1.3 Λάθη και σφάλματα	33
1.4 Μοντέλα σφαλμάτων	36
1.4.1 Μοντέλα σφαλμάτων σε επίπεδο τρανζίστορ.....	37
1.4.2 Μοντέλα σφαλμάτων σε επίπεδο λογικών πυλών.....	38
1.4.3 Σφάλματα γεφύρωσης.....	42
1.4.4 Σφάλματα καθυστέρησης.....	42
1.5 Ανίχνευση και ενεργοποίηση σφαλμάτων	42
1.6 Δοκιμή ολοκληρωμένου κυκλώματος	43
1.7 Εξωτερική δοκιμή	44
2. ΕΝ-ΛΕΙΤΟΥΡΓΙΑ ΔΟΚΙΜΗ ΚΑΙ ΑΥΤΟΕΛΕΓΧΟΜΕΝΑ ΚΥΚΛΩΜΑΤΑ.....	47
2.1 Εισαγωγή	47
2.2 Η ανάγκη συστημάτων υψηλής αξιοπιστίας.....	47
2.3 Περιοδικά και ταυτόχρονα αυτοελεγχόμενα κυκλώματα	50
2.4 Ολικά αυτοελεγχόμενα κυκλώματα	52
2.5 Ολικά αυτοελεγχόμενοι ελεγκτές.....	55
2.5.1 Ο κώδικας διπλού συρμού	56
2.6 Ολικά αυτοελεγχόμενα δικτύματα	58
2.7 Ολικά αυτοελεγχόμενα συστήματα	61
2.7.1 Αναδιαρθρώσιμο και ολικά αυτοελεγχόμενο σύστημα.....	62
2.8 Ισχυρά αυτοελεγχόμενος ελεγκτής	63
2.9 Υλοποιήσεις αυτοελεγχόμενων ελεγκτών διπλού συρμού με περιοδική έξοδο	66
3. ΠΑΡΑΛΛΗΛΟΣ ΟΛΙΚΑ ΑΥΤΟΕΛΕΓΧΟΜΕΝΟΣ ΕΛΕΓΚΤΗΣ ΓΙΑ ΚΩΔΙΚΑ ΔΙΠΛΟΥ ΣΥΡΜΟΥ	69
3.1 Εισαγωγή	69
3.2 Ο προτεινόμενος ελεγκτής κώδικα διπλού συρμού (Two Rail Code Checker)	70
3.2.1 Τοπολογία του ελεγκτή.....	70
3.2.2 Λειτουργία του ελεγκτή	72
3.3 Η ιδιότητα αυτοελέγχου του προτεινόμενου ελεγκτή	74
3.3.1 Σφάλματα μόνιμης τιμής γραμμής	75
3.3.2 Σφάλματα μόνιμα μη αγώγιμων τρανζίστορ	76
3.3.3 Σφάλματα μόνιμα αγώγιμων τρανζίστορ	77
3.3.4 Μεταβατικά σφάλματα	78

3.4	Σχεδιασμός και αποτελέσματα προσομοίωσης	79
3.5	Τροποποιημένη έκδοση του ελεγκτή για πλήρη ανίχνευση σφαλμάτων	82
3.6	Σχεδιασμός και ικανότητα αυτοελέγχου του τροποποιημένου ελεγκτή	85
3.6.1	Σφάλματα μόνιμης τιμής γραμμής	85
3.6.2	Σφάλματα μόνιμα μη αγώγιμων τρανζίστορ	86
3.6.3	Σφάλματα μόνιμα αγώγιμων τρανζίστορ	88
3.6.4	Μεταβατικά σφάλματα	89
3.6.5	Απομνημόνευση λάθους	89
3.6.6	Σχεδιασμός του τροποποιημένου ελεγκτή και αποτελέσματα προσομοίωσης	90
3.6.7	Σφάλματα ωμικών γεφυρωμάτων	95
3.6.8	Δυνατότητα Ενσωμάτωσης του προτεινόμενου ελεγκτή	99
3.7	Ανακεφαλαίωση	99
4.	ΤΑ ΜΕΤΑΒΑΤΙΚΑ ΣΦΑΛΜΑΤΑ ΚΑΙ ΤΑ ΣΦΑΛΜΑΤΑ ΧΡΟΝΙΣΜΟΥ.....	101
4.1	Εισαγωγή	101
4.2	Μεταβατικά σφάλματα και σφάλματα καθυστέρησης	101
4.3	Μηχανισμοί δημιουργίας μεταβατικών σφαλμάτων και σφαλμάτων καθυστέρησης.....	103
4.4	Υλοποιήσεις κυκλωμάτων ανίχνευσης σφαλμάτων χρονισμού και μεταβατικών σφαλμάτων	104
5.	ΤΕΧΝΙΚΗ ΑΝΙΧΝΕΥΣΗΣ ΜΕΤΑΒΑΤΙΚΩΝ ΣΦΑΛΜΑΤΩΝ ΚΑΙ ΣΦΑΛΜΑΤΩΝ ΧΡΟΝΙΣΜΟΥ.....	109
5.1	Εισαγωγή	109
5.2	Προτεινόμενο (παράλληλο) κύκλωμα ανίχνευσης σφαλμάτων	109
5.3	Σχεδιασμός του κυκλώματος και αποτελέσματα προσομοιώσεων	114
5.4	Συμπεράσματα	121
6.	Η ΤΕΧΝΙΚΗ ΔΟΚΙΜΗΣ ΒΑΣΙΣΜΕΝΗ ΣΤΟ ΡΕΥΜΑ I_{DDQ}.....	123
6.1	Εισαγωγή	123
6.2	Καθορισμός του ρεύματος κατωφλίου	125
6.2.1	Πειραματικός καθορισμός του ρεύματος κατωφλίου I_{DDQ}	125
6.2.2	Πρόβλεψη του ρεύματος κατωφλίου I_{DDQ} με χρήση προσομοιώσεων	127
6.3	Τυπική διάταξη δοκιμής I_{DDQ}	130
6.4	Η δοκιμή I_{DDQ} στις υπο-μικρονικές τεχνολογίες	131
6.5	Υπογραφή ρεύματος I_{DDQ} (Current Signature).....	134
6.6	Νέες τεχνικές δοκιμής I_{DDQ}	137
6.6.1	Η μέθοδος ΔI_{DDQ} (Delta I_{DDQ})	138
6.7	Ενσωματωμένοι αισθητήρες ρεύματος	141
6.8	Αξιολόγηση της τεχνικής I_{DDQ}	144
6.9	Συμπεράσματα	145
7.	ΤΕΧΝΙΚΗ ΔΟΚΙΜΗΣ I_{DDQ} ΜΕ ΑΝΤΙΜΕΤΩΠΙΣΗ ΤΩΝ ΔΙΑΚΥΜΑΝΣΕΩΝ ΤΟΥ ΡΕΥΜΑΤΟΣ ΔΙΑΡΡΟΗΣ ΚΑΙ ΚΥΚΛΩΜΑ ΕΝΣΩΜΑΤΩΜΕΝΗΣ ΕΦΑΡΜΟΓΗΣ ΤΗΣ.....	147
7.1	Εισαγωγή	147

7.2	Το πρόβλημα δοκιμής I_{DDQ} στις νανοτεχνολογίες	148
7.3	Η προτεινόμενη τεχνική δοκιμής I_{DDQ}	150
7.3.1	Τεχνική αντιστάθμισης διακυμάνσεων κατασκευαστικών παραμέτρων και θερμοκρασίας	150
7.3.2	Ρυθμιζόμενος ενισχυτής με καθρέπτη ρεύματος.....	153
7.3.3	Κατάτμηση του CUT σε υποκυκλώματα	155
7.3.4	Διακριτική ικανότητα του κυκλώματος BICS	156
7.4	Σχεδιασμός του κυκλώματος δοκιμής I_{DDQ} και πειραματικά αποτελέσματα.....	164
7.4.1	Το ολοκληρωμένο κύκλωμα επίδειξης.....	164
7.4.2	Πειραματικά αποτελέσματα	170
7.5	Συμπεράσματα	177
8.	ΣΥΝΟΨΗ – ΜΕΛΛΟΝΤΙΚΗ ΕΡΕΥΝΑ	179
8.1	Σύνοψη	179
8.2	Προτάσεις για μελλοντική έρευνα	180
	ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ	181
	ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ	183
	ΑΝΑΦΟΡΕΣ.....	185

ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

Σχήμα 1.1. Ρυθμός βλαβών στη διάρκεια ζωής ενός κυκλώματος.	28
Σχήμα 1.2. Ταξινόμηση ολοκληρωμένων κυκλωμάτων μετά τη δοκιμή.	29
Σχήμα 1.3. Λειτουργία και επισκευή συστήματος.	31
Σχήμα 1.4. Οι χρόνοι ανίχνευσης (MXA) και επισκευής (MTTR) σε ένα σύστημα.	32
Σχήμα 1.5. Πύλη NAND τεχνολογίας CMOS με ελάττωμα.....	34
Σχήμα 1.6. CMOS πύλη NOR δύο εισόδων.	38
Σχήμα 1.7. Πύλη NAND με ισοδύναμα σφάλματα.	39
Σχήμα 1.8. Πύλη NAND τριών εισόδων με δύο σφάλματα.	41
Σχήμα 1.9. Ενεργοποίηση και διάδοση σφάλματος.	43
Σχήμα 2.1. Αυτοελεγχόμενο κύκλωμα.	52
Σχήμα 2.2. Ανίχνευση λάθους σε ολικά αυτοελεγχόμενο κύκλωμα.....	53
Σχήμα 2.3. Η ιδιότητα της ασφάλειας από σφάλματα.	54
Σχήμα 2.4. Η ιδιότητα της αυτοδοκιμής.	54
Σχήμα 2.5. Ολικά αυτοελεγχόμενος ελεγκτής με έξοδο σε κώδικα διπλού συρμού.	57
Σχήμα 2.6. Δύο υλοποιήσεις του ολικά αυτοελεγχόμενου ελεγκτή.....	57
Σχήμα 2.7. Ο T2* ολικά αυτοελεγχόμενος ελεγκτής σε nMOS τεχνολογία.....	58
Σχήμα 2.8. Ολικά αυτοελεγχόμενο δικτύωμα με ένδειξη λάθους στον κώδικα διπλού συρμού.	59
Σχήμα 2.9. Ολικά αυτοελεγχόμενο δικτύωμα με δύο αντίγραφα του λειτουργικού κυκλώματος.	60
Σχήμα 2.10. Ολικά αυτοελεγχόμενο δικτύωμα, με λειτουργικό κύκλωμα του οποίου η έξοδος είναι κωδικοποιημένη σε ένα συστηματικό κώδικα.	60
Σχήμα 2.11. Ολικά αυτοελεγχόμενο σύστημα.....	62
Σχήμα 2.12. Αναδιαρθρώσιμο σύστημα.	63
Σχήμα 2.13. (α) αυτοελεγχόμενος ελεγκτής με δενδρική δομή και (β) παράλληλος αυτοελεγχόμενος με 4 εισόδους κώδικα διπλού συρμού.	67
Σχήμα 2.14. Παράλληλος ελεγκτής διπλού συρμού 4 εισόδων [105]......	68
Σχήμα 3.1. Αυτοελεγχόμενο κύκλωμα με ελεγκτή διπλού συρμού (TRC)......	70
Σχήμα 3.2. Ο προτεινόμενος ελεγκτής κώδικα διπλού συρμού, $k=n/2$	71
Σχήμα 3.3. (α) κύκλωμα D Flip-Flop διπλής ακμής και (β) κυματομορφές εισόδου και εξόδου του.	73
Σχήμα 3.4. Η απόκριση του ελεγκτή για κωδικές και μη κωδικές λέξεις εισόδου.	75
Σχήμα 3.5. Χρόνος απόκρισης ως συνάρτηση του αριθμού εισόδων.	81

Σχήμα 3.6. Ο τροποποιημένος ελεγκτής κώδικα διπλού συρμού, $k=n/2$	82
Σχήμα 3.7. Το κύκλωμα παραγωγής των σημάτων επιλογής (Select, S_j).	84
Σχήμα 3.8. Το κύκλωμα του ελεγκτή με τις επιπρόσθετες δυνατότητες ελέγχου.	90
Σχήμα 3.9. Αποτελέσματα προσομοιώσεων από την ανάλυση Monte Carlo στον ελεγκτή, (προσομοίωση με $V_{DD}=1.62V$, $T=1250\text{ C}$ και χρήση στατιστικών μοντέλων). 91	
Σχήμα 3.10. Βασικό κελί (α) σχηματικό και (β) φυσική σχεδίαση. Διαστάσεις στο πυρίτιο $8.56\mu\text{m} \times 9.92\mu\text{m}$	92
Σχήμα 3.11. Οι διαστάσεις των τρανζίστορ των καθρέπτων ως συνάρτηση του αριθμού εισόδων.	93
Σχήμα 3.12. Φυσική σχεδίαση (layout) του ελεγκτή για $n=64$	94
Σχήμα 3.13. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα εισόδου των πέντε τρανζίστορ.	96
Σχήμα 3.14. Πιθανά σφάλματα γεφύρωσης στους καθρέπτες ρεύματος και τους αντιστροφείς εξόδου.	97
Σχήμα 3.15. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα της πύλης NOR.	98
Σχήμα 3.16. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα του D Flip-Flop.	98
Σχήμα 4.1. Μεταβατικά φαινόμενα στις εξόδους συνδυαστικού κυκλώματος	102
Σχήμα 4.2. Υπό παρακολούθηση κύκλωμα με τα Flip-Flop εξόδου.	103
Σχήμα 4.3. Μηχανισμοί δημιουργίας λάθους στην έξοδο του υπό παρακολούθηση κυκλώματος	104
Σχήμα 5.1. Ανίχνευση λάθους χρησιμοποιώντας το κύκλωμα παρακολούθησης.	110
Σχήμα 5.2. Μηχανισμοί δημιουργίας λάθους στην έξοδο του υπό παρακολούθηση κυκλώματος.	110
Σχήμα 5.3. Το προτεινόμενο κύκλωμα παρακολούθησης (Monitoring Circuit)	111
Σχήμα 5.4. Οι χρονισμοί των σημάτων στο κύκλωμα παρακολούθησης	113
Σχήμα 5.5. Ο τροποποιημένος αισθητήρας σήματος (sense amplifier) του κυκλώματος παρακολούθησης.	114
Σχήμα 5.6. Σχηματικό που δείχνει την φυσική τοποθέτηση των τεσσάρων τρανζίστορ και των 2 αναστροφών στη βασική βαθμίδα προαισθητήρα (Pre-Sense Block).....	115
Σχήμα 5.7. Φυσική σχεδίαση της βασικής βαθμίδας προαισθητήρα με ένα ζεύγος στην είσοδο (OUT_1 και FFO_1), οι διαστάσεις είναι $8,22\mu\text{m} \times 4,72\mu\text{m}$	116
Σχήμα 5.8. Σχεδίαση του κυκλώματος παρακολούθησης.	117
Σχήμα 5.9. Φυσική σχεδίαση και διαστάσεις του κυκλώματος παρακολούθησης για 72 ζεύγη γραμμών εισόδου. SA= αισθητήρας σήματος.	118

Σχήμα 5.10. Αποτελέσματα προσομοιώσεων του κυκλώματος παρακολούθησης για 72 ζεύγη.....	119
Σχήμα 5.11 . Αποτελέσματα προσομοιώσεων Monte Carlo του κυκλώματος παρακολούθησης 72 ζευγών για διακυμάνσεις των παραμέτρων 20%.	119
Σχήμα 5.12. Χρόνοι ανίχνευσης ως προς τον αριθμό των ζευγών παρακολούθησης. 121	
Σχήμα 6.1. (α) Η μέτρηση του ρεύματος ηρεμίας - I_{DDQ} - σε ένα CMOS κύκλωμα αναστροφέα. (β) Αύξηση του ρεύματος ηρεμίας εξαιτίας βραχυκυκλώματος της πύλης του M1.	124
Σχήμα 6.2. Η κατανομή των ρευμάτων I_{DDQ} σε ένα CMOS κύκλωμα	126
Σχήμα 6.3. Κατανομή ρευμάτων με εσφαλμένα ολοκληρωμένα κυκλώματα στο δείγμα.	127
Σχήμα 6.4. Μοντέλο υπολογισμού ρεύματος I_{DDQ} σε πύλη NAND δύο εισόδων (NAND-2).	129
Σχήμα 6.5. Κύκλωμα τριών εισόδων για τον υπολογισμό του ρεύματος I_{DDQ}	130
Σχήμα 6.6. Η μέτρηση I_{DDQ} σε ένα κύκλωμα CMOS.	131
Σχήμα 6.7. Κατανομή ρευμάτων I_{DDQ} για λειτουργικά άψογα και για ελαττωματικά κυκλώματα.....	133
Σχήμα 6.8. Κύκλωμα με δύο ειδών σφάλματα γεφύρωσης που επηρεάζουν την υπογραφή ρεύματος.	135
Σχήμα 6.9. (i) Διάγραμμα ρευμάτων I_{DDQ} και υπογραφή ρεύματος του κυκλώματος του σχήματος 6.8(α) και (ii) το ίδιο διάγραμμα σε διάταξη αύξουσα.....	136
Σχήμα 6.10. Μορφή της υπογραφής ρεύματος I_{DDQ}	136
Σχήμα 6.11. Υπογραφή ρεύματος I_{DDQ} για κύκλωμα με σφάλμα: (i) του σχήματος 6.8(β) με ενεργό σφάλμα και (ii) του σχήματος 6.8(γ) με παθητικό σφάλμα.....	136
Σχήμα 6.12. Υπογραφή ρεύματος του κυκλώματος με ενεργό σφάλμα σε αύξουσα διάταξη.....	137
Σχήμα 6.13. Γενική κατανομή ρεύματος τροφοδοσίας για "καλά" και ελαττωματικά κυκλώματα.....	139
Σχήμα 6.14. Κατανομές ρευμάτων για τις μεθόδους ελέγχου I_{DDQ} και ΔI_{DDQ}	140
Σχήμα 6.15. Το κύκλωμα του διαφορικού BICS στην [172] με τα τρανζίστορ M3-M6 να σχηματίζουν τον αισθητήρα σήματος.....	141
Σχήμα 6.16. Ο BICS για την δοκιμή I_{DDQ} της [175].	142
Σχήμα 6.17. Η λειτουργία του BICS κυκλώματος στο σχήμα 6.16.....	143
Σχήμα 6.18. Αριθμός των ελαττωματικών ολοκληρωμένων κυκλωμάτων της HP που ανιχνεύτηκαν με διάφορες μεθόδους διάγνωσης ορθής λειτουργίας [175].	145

Σχήμα 7.1. Ένα τυπικό σχήμα δοκιμής I_{DDQ} το οποίο βασίζεται στη χρήση ενός BICS.	148
Σχήμα 7.2. Η βασική αρχή της δοκιμής I_{DDQ} με αντιστάθμιση του I_B	149
Σχήμα 7.3. Η προτεινόμενη τεχνική δοκιμής I_{DDQ}	151
Σχήμα 7.4. Χρήση ενός ενισχυτή CMA με τη βοήθεια του μπλοκ μεταγωγής.	152
Σχήμα 7.5. Κυματομορφές σημάτων δοκιμής I_{DDQ}	152
Σχήμα 7.6. Ο ρυθμιζόμενος ενισχυτής καθρέπτη ρεύματος (T-CMA).	154
Σχήμα 7.7. Μια πιθανή διάταξη των γραμμών τροφοδοσίας (power rail).	155
Σχήμα 7.8. Το μοντέλο που χρησιμοποιείται για την μελέτη του CUT.	157
Σχήμα 7.9. Η διακριτική ικανότητα ρεύματος σφάλματος res σε συνάρτηση με το μέγεθος του κυκλώματος N , για διάφορες τιμές του πλάτους του καθρέπτη ρεύματος W_R	163
Σχήμα 7.10. Η διακριτική ικανότητα ρεύματος σφάλματος res ως συνάρτηση του πλάτους του τρανζίστορ του καθρέπτη ρεύματος W_R , για διάφορες τιμές του μεγέθους του κυκλώματος N	164
Σχήμα 7.11. Μικροφωτογραφία του ολοκληρωμένου κυκλώματος επίδειξης δοκιμής I_{DDQ}	164
Σχήμα 7.12. Το κύκλωμα του προτεινόμενου T-CMA και ο διακόπτης CMOS.	166
Σχήμα 7.13. Το απλοποιημένο σχηματικό του T-CMA χωρίς τους διακόπτες επιλογής, όλοι οι κλάδοι συνδέονται στην γείωση.	167
Σχήμα 7.16. Η προτεινόμενη διάταξη των βασικών μονάδων για το σχηματισμό του καθρέπτη.	168
Σχήμα 7.14. (α) Σχηματικό βασικής μονάδας. (β) Η βασική μονάδα σχηματισμού των κλάδων του T-CMA η οποία αποτελείται από δύο παράλληλα συνδεδεμένα τρανζίστορ των $5\mu\text{m}$ τα οποία σχηματίζουν το τρανζίστορ $x1$ και επίσης δύο παράλληλα συνδεδεμένα τρανζίστορ των $5\mu\text{m}$ τα οποία σχηματίζουν το $x2$. (γ) Η φυσική σχεδίαση της βασικής μονάδας για τον κλάδο A.	167
Σχήμα 7.15. Δύο βασικές μονάδες η X και η Y οι οποίες επικαλύπτονται στο μέσον. .	168
Σχήμα 7.17. (α) Φυσική σχεδίαση του τμήματος CEED, (β) Φυσική σχεδίαση του T-CMA.	169
Σχήμα 7.18. Η φυσική σχεδίαση του συγκριτή τάσης.	169
Σχήμα 7.19. Πλακέτα δοκιμών με το κατασκευασμένο chip στο εργαστήριο.	171
Σχήμα 7.20. Οι τάσεις του κόμβου V_{GNDR} στο κατασκευασμένο κύκλωμα.	174
Σχήμα 7.21. Αποτελέσματα μετρήσεων τάσης του κόμβου V_{GNDR} για το κατασκευασμένο κύκλωμα, σε μορφή ραβδογράμματος.	175

Σχήμα 7.22. Κυματομορφή του λογικού αναλυτή από την διαδικασία αξιολόγησης ενός κατασκευασμένου κυκλώματος, με την εφαρμογή ενός διανύσματος δοκιμής..... 176

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Πίνακας 1.1. Μοντέλα σφαλμάτων.....	36
Πίνακας 1.2. Κλάσεις σφαλμάτων πύλης NAND.....	40
Πίνακας 1.3. Διανύσματα δοκιμής για πύλη NAND τριών εισόδων.....	40
Πίνακας 1.4. Έξοδοι παρουσία σφαλμάτων πύλης NAND	41
Πίνακας 2.1. Εφαρμογές συστημάτων με ανοχή σε σφάλματα (Fault Tolerance) [72]...50	
Πίνακας 2.2. Πίνακας αληθείας του ολικά αυτοελεγχόμενου ελεγκτή.....	58
Πίνακας 3.1. Διαστάσεις των τρανζίστορ του ελεγκτή W/L σε μm.....	79
Πίνακας 3.2. Διαστάσεις τρανζίστορ των καθρεπτών ρεύματος σε μm.....	79
Πίνακας 3.3. Σύγκριση του προτεινόμενου ελεγκτή με τον ελεγκτή που παρουσιάζεται στην [105] ως προς i) την επιφάνεια πυριτίου, ii) την καθυστέρηση και iii) την κατανάλωση.	80
Πίνακας 3.4. Διαστάσεις των τρανζίστορ των καθρεπτών για τις διάφορες τιμές του πλήθους των εισόδων n.	94
Πίνακας 3.5. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στην ομάδα των πέντε τρανζίστορ.	95
Πίνακας 3.6. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στον καθρέπτη ρεύματος και τον αναστροφέα εξόδου.	97
Πίνακας 3.7. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στο κύκλωμα της πύλης NOR.	97
Πίνακας 3.8. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στο κύκλωμα D Flip-Flop του κυκλικού ολισθητή (CSR).....	99
Πίνακας 5.1. Συγκρίσεις χρόνων ανίχνευσης.....	120
Πίνακας 6.1. Ρεύμα I_{DDQ} για τους συνδυασμούς των εισόδων πύλης NAND-2.	128
Πίνακας 6.2. Κανονικοποιημένες τιμές ρευμάτων I_{DDQ} για πύλες δύο εισόδων.	129
Πίνακας 6.3. Παράδειγμα υπολογισμού ρεύματος I_{DDQ} στο κύκλωμα του σχήματος 6.5 με όλα τα δυνατά διανύσματα εισόδου.	130
Πίνακας 6.4. Παράμετροι τεχνολογίας και ο λόγος $S_M=(\beta-\alpha)/\alpha$ των ρευμάτων του σχήματος 6.7.	134
Πίνακας 6.5. Διανύσματα δοκιμής του κυκλώματος του σχήματος 6.8	135
Πίνακας 6.6. Πιθανότητες για λανθασμένη απόφαση στον έλεγχο στις μεθόδους I_{DDQ} και ΔI_{DDQ} [161].....	139

Πίνακας 6.7. Κατανομή των ολοκληρωμένων κυκλωμάτων σύμφωνα με τα αποτελέσματα του λειτουργικού ελέγχου, του ελέγχου σάρωσης, και του ελέγχου I_{DDQ}	145
Πίνακας 6.8. Ο ρυθμός απόρριψης (Reject Rate) για τους διάφορους συνδυασμούς των μεθόδων διάγνωσης ορθής λειτουργίας στο ολοκληρωμένο κύκλωμα της HP [180]. ..	145
Πίνακας 7.1. Παράμετροι Τεχνολογίας της STM CMOS 180nm.	163
Πίνακας 7.2. Κατανομή διανυσμάτων δοκιμής για κάθε διάνυσμα ενεργοποίησης.....	170
Πίνακας 7.3. Εργαστηριακός χαρακτηρισμός ενός εκ των κατασκευασμένων ολοκληρωμένων κυκλωμάτων.	173
Πίνακας 7.4. Οι συχνότητες εμφάνισης των τάσεων του κόμβου V_{GNDR} για λειτουργικά άψογο κύκλωμα και για κύκλωμα που περιέχει σφάλμα γεφύρωσης.	175

ΠΡΟΛΟΓΟΣ

Με την εμφάνιση των πρώτων ψηφιακών ηλεκτρονικών κυκλωμάτων παρουσιάστηκε και η ανάγκη της αξιόπιστης λειτουργίας τους. Στο παρελθόν, ψηφιακά κυκλώματα με αυξημένη αξιοπιστία συναντούσε κανείς σε ιδιαίτερης φύσης εφαρμογές στις οποίες δεν επιτρεπόταν η εμφάνιση λάθους, είτε γιατί κάτι τέτοιο θα έθετε σε κίνδυνο ανθρώπινες ζωές είτε γιατί θα οδηγούσε σε μεγάλη οικονομική απώλεια – για παράδειγμα σε εφαρμογές πυρηνικής τεχνολογίας, αεροδιαστημικής τεχνολογίας ή στρατιωτικές. Σήμερα οι απαιτήσεις για αυξημένη αξιοπιστία έχουν επιβληθεί κυρίως από την αγορά σε όλες σχεδόν τις ηλεκτρονικές συσκευές ευρείας κατανάλωσης, από τις φορητές μονάδες επικοινωνίας μέχρι τους προσωπικούς Η/Υ. Τα σημερινά ψηφιακά κυκλώματα περιέχουν εκατοντάδες εκατομμύρια έως δισεκατομμύρια τρανζίστορ τα οποία λειτουργούν σε συχνότητες της τάξης των GHz και είναι δε τόσο πολύπλοκα ώστε το θέμα που τίθεται είναι πόσο κόστος και πόσοι από τους διαθέσιμους πόρους για την σχεδίαση και την κατασκευή θα διατεθούν για τη δοκιμή της ορθής τους λειτουργίας. Η διαδικασία της δοκιμής ξεκινά από τη σχεδίαση του ολοκληρωμένου κυκλώματος, συνεχίζεται κατά τη διάρκεια της κατασκευής του στο εργοστάσιο και συνεχίζει να είναι παρούσα κατά τη διάρκεια της κανονικής του λειτουργίας καθώς καθίσταται πλέον αναγκαία η ενσωμάτωση ειδικών κυκλωμάτων παρακολούθησης μέσα στο κατασκευασμένο chip. Παράδειγμα αποτελούν οι διάφορες μνήμες (SRAM, DRAM, FLASH) και οι σύγχρονοι επεξεργαστές.

Εφόσον η συντριπτική πλειοψηφία των ολοκληρωμένων κυκλωμάτων είναι ψηφιακά, έχει καθιερωθεί πλέον η δοκιμή τους να γίνεται με ψηφιακές τεχνικές. Μάλιστα, λόγω της μεγάλης ανάγκης για την ψηφιακή δοκιμή, τα απαραίτητα διανύσματα δοκιμής (test vectors) παράγονται από τα ίδια εργαλεία που χρησιμοποιούνται στο σχεδιασμό, ενώ επίσης τα ψηφιακά αυτά διανύσματα εφαρμόζονται εξωτερικά απευθείας πάνω στο δισκίο στην φάση της παραγωγής από μηχανές αυτόματης υποστήριξης της δοκιμής. Σε πολλές περιπτώσεις ενσωματώνονται στα ολοκληρωμένα κυκλώματα γεννήτριες παραγωγής διανυσμάτων δοκιμής, έτσι ώστε η δοκιμή να διεξάγεται και κατά την κανονική λειτουργία του κυκλώματος.

Η δοκιμή υποστηρίζεται κυρίως με ψηφιακά κυκλώματα ενώ γενικά απαιτεί επιπρόσθετο υλικό και επιπλέον ακροδέκτες εισόδου ή και εξόδου, γεγονός που αυξάνει το κόστος σχεδίασης και την απαιτούμενη επιφάνεια πυριτίου.

Στην παρούσα διατριβή παρουσιάζονται τρεις νέες, πρωτότυπες μέθοδοι δοκιμής ψηφιακών κυκλωμάτων με τη χρήση αναλογικών τεχνικών. Με τη σειρά που θα παρουσιαστούν είναι οι εξής: ένας παράλληλος αυτοελεγχόμενος ελεγκτής για κώδικα διπλού συρμού, μια τεχνική ανίχνευσης μεταβατικών σφαλμάτων και σφαλμάτων χρονισμού και τέλος μια τεχνική δοκιμής βασισμένη στην παρακολούθηση του ρεύματος ηρεμίας (I_{DDQ} testing). Οι προτεινόμενες μέθοδοι χρησιμοποιούν καθαρά αναλογικές τεχνικές και παρουσιάζουν μια σειρά από σημαντικά πλεονεκτήματα, όπως πολύ μικρή απαιτούμενη επιφάνεια πυριτίου, πολύ μικρή κατανάλωση ισχύος και μεγάλη ταχύτητα λειτουργίας.

Στα πλαίσια επίσης της διατριβής θα παρουσιαστούν οι μηχανισμοί αστοχίας σε ψηφιακά ολοκληρωμένα κυκλώματα και οι τρόποι με τους οποίους αυτοί οι μηχανισμοί επηρεάζουν την ορθή λειτουργία των ολοκληρωμένων κυκλωμάτων. Θα παρουσιαστούν επίσης τεχνικές ανίχνευσης εσφαλμένης λειτουργίας στις περιπτώσεις μεταβατικών σφαλμάτων, σφαλμάτων χρονισμού και σφαλμάτων γεφύρωσης.

Σε γενικές γραμμές το περιεχόμενο της διατριβής είναι το εξής:

Στο πρώτο εισαγωγικό κεφάλαιο ορίζονται οι έννοιες των κατασκευαστικών ελαττωμάτων, ατελειών και βλαβών, των βλαβών λόγω γήρανσης του υλικού, των μοντέλων σφαλμάτων για την περιγραφή και διαχείριση των ελαττωμάτων και των λαθών.

Στο δεύτερο κεφάλαιο περιγράφονται τα αυτοελεγχόμενα κυκλώματα και οι αυτοελεγχόμενοι ελεγκτές δίνοντας σχετικά μεγαλύτερη έμφαση στην περιγραφή των ελεγκτών διπλού συρμού. Περιγράφονται επίσης οι τρόποι με τους οποίους τα κυκλώματα αυτά ανιχνεύουν τυχόν λάθη που εμφανίζονται τόσο στις εισόδους τους όσο και στο εσωτερικό τους.

Στο τρίτο κεφάλαιο παρουσιάζεται ένας παράλληλος ελεγκτής σφαλμάτων κώδικα διπλού συρμού βασισμένος σε αναλογικές τεχνικές, ο οποίος είναι και (ο μοναδικός σύμφωνα με την μέχρι τώρα βιβλιογραφία) πλήρως αυτοελεγχόμενος. Προτείνεται μια φυσική σχεδίαση αυτού του κυκλώματος και δίνονται τα αποτελέσματα των συγκρίσεων με αντίστοιχα κυκλώματα της βιβλιογραφίας.

Στο τέταρτο κεφάλαιο περιγράφονται συνοπτικά τα μεταβατικά σφάλματα και οι μηχανισμοί δημιουργίας τους.

Στο πέμπτο κεφάλαιο παρουσιάζεται ένα καθαρά αναλογικό κύκλωμα ανίχνευσης μεταβατικών σφαλμάτων με υψηλή ταχύτητα ανίχνευσης σε σύγκριση με τις υπάρχουσες ψηφιακές τεχνικές, αλλά και με την μικρότερη κατανάλωση.

Στο έκτο κεφάλαιο παρουσιάζεται η μέθοδος ανίχνευσης σφαλμάτων με την παρακολούθηση του ρεύματος ηρεμίας του κυκλώματος (I_{DDQ}) καθώς και μερικές νεότερες παραλλαγές της, οι οποίες απαλύνουν τα προβλήματα εφαρμογής της στις σύγχρονες νανομετρικές τεχνολογίες.

Τέλος, στο έβδομο κεφάλαιο παρουσιάζεται μία νέα μέθοδος δοκιμής που εντάσσεται στη γενική κατηγορία των τεχνικών παρακολούθησης του ρεύματος ηρεμίας (I_{DDQ}). Η μέθοδος συνοδεύεται από το αντίστοιχο θεωρητικό μοντέλο και κατασκευασμένο κύκλωμα επίδειξης για την επαλήθευση των δυνατοτήτων της.

1. ΕΙΣΑΓΩΓΗ

1.1 Απόδοση παραγωγής (Yield), ύψος ατελειών (Defect Level) και ρυθμός απόρριψης (Reject Rate)

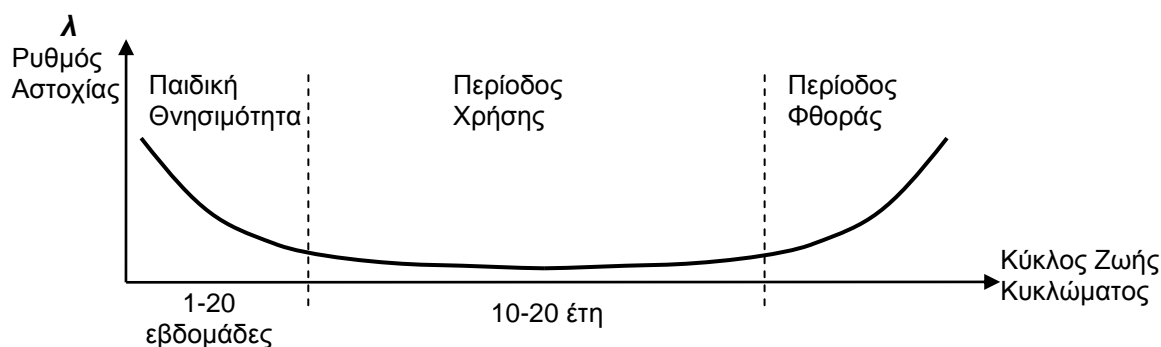
Η διαδικασία κατασκευής ολοκληρωμένων κυκλωμάτων, ιδιαίτερα στις σημερινές νανομετρικές τεχνολογίες, απαρτίζεται από πολλαπλές, εξαιρετικά πολύπλοκες, υψηλής ακρίβειας και λεπτές στο χειρισμό τους διεργασίες. Διεργασίες που θα πρέπει να πραγματοποιούνται μέσα σε ένα απόλυτα ελεγχόμενο περιβάλλον, πολύ υψηλής καθαρότητας. Συνεπώς, είναι κατανοητό πως παρόλη την προηγμένη τεχνολογία που χρησιμοποιείται στην κατασκευή ολοκληρωμένων κυκλωμάτων, αυτή δεν είναι απαλλαγμένη από προβλήματα που οδηγούν σε δυσλειτουργία ή αποτυχία λειτουργίας ενός ποσοστού των κατασκευασμένων κυκλωμάτων, εξ' αιτίας της παρουσίας κατασκευαστικών ελαττωμάτων, ατελειών ή βλαβών (defects). Όπως σε κάθε κατασκευαστική διαδικασία, τα ελαττωματικά προϊόντα θα πρέπει να εντοπιστούν και να απομακρυνθούν νωρίς, πριν περάσουν σε επόμενες φάσεις της παραγωγής, καθώς τότε ο εντοπισμός τους θα είναι εξαιρετικά πιο δύσκολος αυξάνοντας δραματικά το κατασκευαστικό κόστος. Φυσικά, ελαττώματα και βλάβες καθώς και άλλες μεταβατικού τύπου δυσλειτουργίες μπορούν να παρουσιαστούν και κατά τη διάρκεια της ζωής ενός ολοκληρωμένου κυκλώματος. Ο εντοπισμός των ελαττωματικών ολοκληρωμένων κυκλωμάτων επιτελείται με τη διαδικασία της δοκιμής (testing) η οποία αποτελεί αναπόσπαστο και υψίστης σημασίας μέρος της όλης κατασκευαστικής διαδικασίας. Κατά τη δοκιμή, το κύκλωμα λειτουργεί κάτω από συγκεκριμένες συνθήκες και τα αποτελέσματα αναλύονται για να διευκρινιστεί αν έχει την αναμενόμενη συμπεριφορά ή όχι. Ο κύριος όγκος των ελαττωματικών ολοκληρωμένων κυκλωμάτων ανιχνεύονται στο εργοστάσιο με διάφορες μεθόδους δοκιμής. Είναι πιθανόν, ωστόσο, ένα ελαττωματικό κύκλωμα να μην ανιχνευθεί κατά την εργοστασιακή δοκιμή. Συνεπώς, σε πολλές εφαρμογές καθίσταται απαραίτητη η δοκιμή καθ' όλη τη διάρκεια χρήσης του κυκλώματος, κάτι που επιτυγχάνεται με τη βοήθεια κατάλληλων ενσωματωμένων κυκλωμάτων ή και λογισμικού που παρακολουθεί τη λειτουργία του κυκλώματος. Υπάρχουν δύο τρόποι λειτουργίας αυτών των ενσωματωμένων κυκλωμάτων: α) η ταυτόχρονη δοκιμή κατά τη λειτουργία του κυκλώματος (concurrent on-line testing) και β) η περιοδική δοκιμή με διακοπή της λειτουργίας του κυκλώματος κατά τη διάρκεια της διαδικασίας (periodic on-line testing). Στην πρώτη περίπτωση η παρουσία του κυκλώματος δοκιμής δεν γίνεται αντιληπτή, ενώ στη δεύτερη, με τη διακοπή της λειτουργίας του κυκλώματος για όσο χρονικό διάστημα διαρκεί η δοκιμή, το κύκλωμα παύει να είναι διαθέσιμο.

Η *κατασκευαστική απόδοση* ή απλά *απόδοση Y* (Yield) της διαδικασίας κατασκευής είναι το ποσοστό των «καλών» ή λειτουργικά άψογων ολοκληρωμένων κυκλωμάτων σε σχέση με τα συνολικά κυκλώματα που έχουν κατασκευαστεί [1]:

$$Y = \frac{\text{Αριθμός Λειτουργικά Άψογων Κυκλωμάτων}}{\text{Αριθμός Κατασκευασμένων Κυκλωμάτων}} \quad (1.1)$$

Οι λόγοι για τους οποίους εμφανίζονται απώλειες στην κατασκευαστική απόδοση (Yield Loss) είναι δύο: α) η καταστροφική μείωση της απόδοσης (catastrophic yield loss) λόγω τυχαίων ελαττωμάτων και β) η μείωση της απόδοσης εξαιτίας των διακυμάνσεων των κατασκευαστικών παραμέτρων (manufacturing process variations). Οι κατασκευαστικές παράμετροι επιφέρουν αντίστοιχες μεταβολές στις ηλεκτρικές παραμέτρους των κυκλωματικών στοιχείων (τρανζίστορ κ.τ.λ.) πάνω στο ολοκληρωμένο κύκλωμα. Η χρήση των αυτοματισμών και η συνεχής βελτίωση της κατασκευαστικής διαδικασίας ολοκληρωμένων κυκλωμάτων από γενιά σε γενιά αποτελούν τους κύριους άξονες για την αντιμετώπιση των τυχαίων ελαττωμάτων. Από την άλλη πλευρά, με την κλιμάκωση της τεχνολογίας οι διακυμάνσεις των κατασκευαστικών παραμέτρων επιδεινώνονται καθιστώντας αυτές σημαντικό παράγοντα στη μείωση της απόδοσης.

Οι μέθοδοι που χρησιμοποιούνται για την αύξηση της απόδοσης ή ισοδύναμα τη μείωση της επίδρασης των διακυμάνσεων των παραμέτρων αναφέρονται ως Σχεδίαση για Απόδοση - Design For Yield (DFY). Ένα μέγεθος που σχετίζεται με την απόδοση είναι ο *ρυθμός αστοχίας* (failure rate) λ . Ο ρυθμός αστοχίας ενός τυπικού ολοκληρωμένου κυκλώματος φαίνεται στο σχήμα 1.1 και έχει το σχήμα μπανιέρας (bathtub curve). Η καμπύλη αυτή απαρτίζεται από τρεις φάσεις. Η πρώτη φάση αφορά την περίοδο «παιδικής θνησιμότητας» (infant mortality) στο αρχικό τμήμα της καμπύλης και έχει πολύ μεγάλες τιμές ρυθμού αστοχίας στις πρώτες 20 περίπου εβδομάδες χρήσης των κυκλωμάτων. Ο κύριος λόγος εμφάνισης αστοχίας σε αυτήν την αρχική περίοδο είναι τα ελαττώματα που δεν ανιχνεύτηκαν κατά τη δοκιμή στο εργοστάσιο μετά την κατασκευή του κυκλώματος.



Σχήμα 1.1. Ρυθμός βλαβών στη διάρκεια ζωής ενός κυκλώματος.

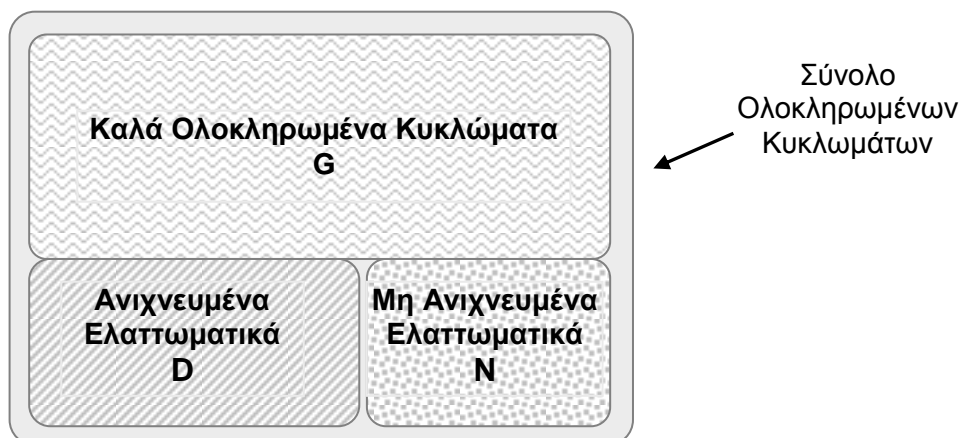
Μετά από αυτή τη χρονική περίοδο, έχουμε την εμφάνιση τυχαίων σποραδικών ελαττωμάτων και ο ρυθμός αστοχίας παραμένει σταθερός (οριζόντιο τμήμα) σε όλη τη ωφέλιμη ζωή του προϊόντος για τα επόμενα 10-20 χρόνια. Η περίοδος αυτή ονομάζεται περίοδος χρήσης (working life). Τέλος, στο τρίτο τμήμα της καμπύλης εμφανίζεται και πάλι αύξηση του ρυθμού αστοχίας εξαιτίας της συνεχούς χρήσης των κυκλωμάτων και της επακόλουθης γήρανσης αυτών. Η περίοδος αυτή ονομάζεται περίοδος φθοράς (wear out).

Η δοκιμή ενός ηλεκτρονικού κυκλώματος στο εργοστάσιο διακρίνεται σε τρεις κύριους τύπους: α) τη λειτουργική δοκιμή, β) τη δοκιμή των DC παραμέτρων και γ) τη δοκιμή των AC παραμέτρων. Η λειτουργική δοκιμή επιβεβαιώνει την ορθή λειτουργία του κυκλώματος. Η δοκιμή των DC παραμέτρων αναφέρεται στη στατική λειτουργία του κυκλώματος και εξετάζει παραμέτρους όπως η κατανάλωση ισχύος, τα ρεύματα διαρροής, η ικανότητα οδήγησης των εξόδων ή η ικανότητα του κυκλώματος να λειτουργεί σε ένα εύρος τάσεων $\pm 10\%$ της κανονικής τάσης λειτουργίας. Η δοκιμή των AC παραμέτρων αναφέρεται σε θέματα χρονισμού κατά τη δυναμική λειτουργία του

κυκλώματος και αφορά τις καθυστερήσεις διάδοσης σήματος, τους χρόνους ενεργοποίησης, δειγματοληψίας και κατακράτησης, τους χρόνους ανόδου και καθόδου, το πλάτος του σήματος ρολογιού κ.α.

Προκειμένου η δοκιμή να είναι αποτελεσματική και οικονομικά εφικτή θα πρέπει να επαναλαμβάνεται σε όλα τα στάδια παραγωγής του κυκλώματος, με άλλα λόγια, η δοκιμή πρέπει να ξεκινά από το επίπεδο του δισκίου (wafer), να συνεχίζεται στο επίπεδο του ολοκληρωμένου κυκλώματος (chip), ακολούθως στο επίπεδο της πλακέτας (board PCB) και τέλος στο επίπεδο του συστήματος. Η δοκιμή σε επίπεδο δισκίου επιβάλλεται προκειμένου να αποφευχθεί στη συνέχεια η δαπανηρή κατασκευή ελαττωματικών ολοκληρωμένων κυκλωμάτων από ελαττωματικές ψηφίδες (dies). Για την αρχική δοκιμή της λειτουργίας των κυκλωμάτων που βρίσκονται πάνω σε ένα δισκίο χρησιμοποιούνται τρανζίστορ δοκιμής που είναι τοποθετημένα σε ειδικές περιοχές πάνω στο δισκίο. Τα τρανζίστορ αυτά δοκιμάζονται και τα αποτελέσματα της διαδικασίας χρησιμοποιούνται για τον χαρακτηρισμό των παραμέτρων της τεχνολογίας. Στη δοκιμή περιλαμβάνονται και οι αντιστάσεις των επαφών, η αντίσταση της περιοχής διάχυσης και πολυκρυσταλλικού πυριτίου, οι τάσεις κατωφλίου κ.α.

Όταν ένα ολοκληρωμένο κύκλωμα περνά από τη διαδικασία της δοκιμής τότε είναι πιθανό να συμβούν οι εξής ανεπιθύμητες περιπτώσεις: α) ένα ελαττωματικό κύκλωμα να θεωρηθεί ως «καλό» και να περάσει επιτυχώς τη δοκιμή και β) ένα «καλό» κύκλωμα να αποτύχει στη δοκιμή και να απορριφθεί ως ελαττωματικό. Στο σχήμα 1.2 φαίνονται οι συμβολισμοί που θα χρησιμοποιηθούν στη συνέχεια για κατάταξη των ολοκληρωμένων κυκλωμάτων μετά τη δοκιμή [2].



Σχήμα 1.2. Ταξινόμηση ολοκληρωμένων κυκλωμάτων μετά τη δοκιμή.

Η πιθανότητα να είναι ελαττωματικό ένα ολοκληρωμένο κύκλωμα που πέρασε επιτυχώς τη διαδικασία δοκιμής ονομάζεται Ύψος Ατελειών DL (Defect Level), όπου:

$$DL = \frac{\text{Αριθμός Ελαττωματικών Κυκλωμάτων που Πέρασαν τη Δοκιμή}}{\text{Συνολικός Αριθμός Κυκλωμάτων που Πέρασαν τη Δοκιμή}} \quad (1.2)$$

Σύμφωνα με το σχήμα 1.2 το Ύψος Ατελειών (DL) και η σχέση της Απόδοσης Y (Yield) γράφονται ως εξής:

$$DL = \frac{N}{G + N} \quad \text{και} \quad Y = \frac{G}{G + D + N}$$

Το Ύψος Ατελειών (DL) αναφέρεται συχνά στην βιβλιογραφία και ως *Λόγος Απόρριψης* (Reject Ratio, RR) ή ως *Ρυθμός Απόρριψης* (Reject Rate) με τον εξής ορισμό [3]:

Λόγος Απόρριψης είναι ο λόγος των ελαττωματικών ολοκληρωμένων κυκλωμάτων που διέφυγαν τη δοκιμή και θεωρήθηκαν ως «καλά» προς το σύνολο των «καλών» ολοκληρωμένων κυκλωμάτων (OK). Σύμφωνα με το σχήμα 1.2 ο Λόγος Απόρριψης RR δίνεται από τη σχέση:

$$RR = \frac{\text{αριθμός ελαττωματικών OK που θεωρήθηκαν ως "καλά"}}{\text{αριθμός "καλών" OK}} = \frac{N}{G + N}$$

1.2 Αξιοπιστία και διαθεσιμότητα

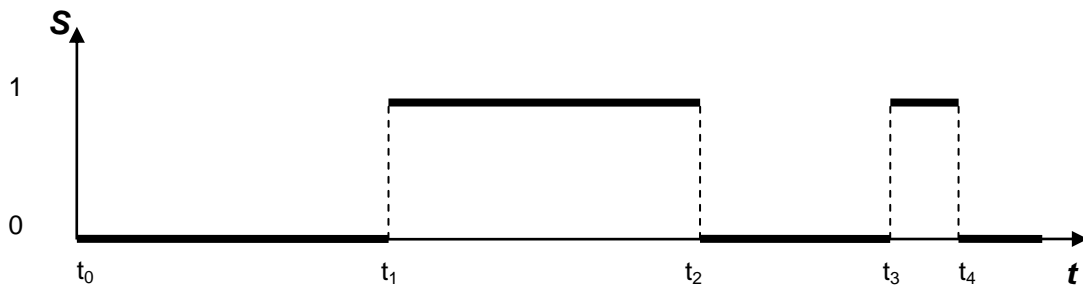
Η αξιοπιστία μιας κατασκευαστικής διαδικασίας μετράται με το Ύψος Ατελειών (DL). Μία πρώτη μέθοδος για να μειωθεί το Ύψος Ατελειών (DL) είναι η υποβολή των ολοκληρωμένων κυκλωμάτων σε καταπόνηση (burn-in stress) κατά την διάρκεια της οποίας επιταχύνεται η εκδήλωση των ελαττωμάτων κατά τη φάση της «παιδικής θνησιμότητας». Μια δεύτερη μέθοδος είναι η μέτρηση του ρεύματος ηρεμίας (I_{DDQ}) ή του ρεύματος διαρροής (leakage current) με την οποία ανιχνεύονται ασθενή ελαττώματα. Οι παραπάνω μέθοδοι ονομάζονται και reliability screens και ο κύριος σκοπός τους είναι να απομακρύνουν όλα τα ολοκληρωμένα κυκλώματα που εμφανίζουν έστω και μικρές ατέλειες, οι οποίες άμεσα δεν επηρεάζουν την ορθή λειτουργία, πριν αυτά διατεθούν στην αγορά. Φυσικά, ένα ολοκληρωμένο κύκλωμα θα περάσει επιπρόσθετες διαδικασίες δοκιμής ώστε να διαπιστωθεί η καλή (ορθή) του λειτουργία. Κατά τη διάρκεια τώρα της κανονικής λειτουργίας ενός ολοκληρωμένου κυκλώματος στο πεδίο της εφαρμογής, υπάρχει η πιθανότητα εμφάνισης αστοχίας για διάφορους λόγους όπως: γήρανση υλικού, λέπτυνση των μετάλλων στο εσωτερικό του ολοκληρωμένου κυκλώματος, μεταβατικά φαινόμενα κ.α. Στη συνέχεια θα συμβολίσουμε την κατάσταση της λειτουργίας ενός συστήματος, που δομείται από ολοκληρωμένα κυκλώματα, με S , όπου η κατάσταση $S=0$ σημαίνει πως το σύστημα λειτουργεί κανονικά και η κατάσταση $S=1$ σημαίνει πως το σύστημα παύει να λειτουργεί λόγω αστοχίας. Ένα τέτοιο παράδειγμα φαίνεται στο σχήμα 1.3

Θεωρούμε ότι το σύστημα λειτουργεί κανονικά τη χρονική στιγμή $t=0$ και εμφανίζει κάποια αστοχία τη χρονική στιγμή $t=t_1$. Το σύστημα διακόπτει την λειτουργία του για το χρονικό διάστημα (t_2-t_1) και την χρονική στιγμή t_2 επισκευάζεται και επαναλειτουργεί, αντικαθιστώντας το ελαττωματικό τμήμα ή κάνοντας reset. Παρομοίως έχουμε και πάλι νέα εμφάνιση αστοχίας τη χρονική στιγμή t_3 και αποκατάστασή της τη χρονική στιγμή t_4 . Η διάρκεια την κανονικής λειτουργίας του συστήματος (T_n) για χρονικά διαστήματα όπως το (t_1-t_0) και το (t_3-t_2) είναι ένας τυχαίος αριθμός που ακολουθεί την εκθετική κατανομή (exponentially distributed random number) και αναφέρεται ως εκθετικός νόμος αστοχίας (exponential failure law). Η αξιοπιστία (reliability) $RL(t)$, ενός συστήματος είναι η δεσμευμένη πιθανότητα να λειτουργήσει το σύστημα κανονικά στο χρονικό διάστημα $[0, t]$ (χωρίς να παρουσιάσει κάποια αστοχία), με δεδομένο ότι το σύστημα λειτουργεί κανονικά τη χρονική στιγμή $t=0$ και δίνεται από τη σχέση:

$$RL(t) = P(T_n > t) = e^{-\lambda \cdot t} \quad (1.6)$$

όπου λ είναι ο ρυθμός εμφάνισης αστοχίας (failure rate). Αν ένα σύστημα αποτελείται από n ολοκληρωμένα κυκλώματα τότε ο συνολικός ρυθμός εμφάνισης αστοχίας είναι το άθροισμα των επιμέρους ρυθμών εμφάνισης αστοχίας λ_i

$$\lambda = \sum_{i=1}^n \lambda_i$$



Σχήμα 1.3. Λειτουργία και επισκευή συστήματος.

Η αξιοπιστία εκφράζεται ποιοτικά με το Μέσο Χρόνο Μεταξύ Αστοχιών - (Mean Time Between Failure - *MTBF*), ο οποίος δίνει την αναμενόμενη τιμή του χρονικού διαστήματος μέσα στο οποίο το σύστημα λειτουργεί χωρίς να συμβεί αστοχία. Ο Μέσος Χρόνος Μεταξύ Αστοχιών δίνεται από τη σχέση:

$$MTBF = \int_0^{\infty} e^{-\lambda t} dt = \frac{1}{\lambda} \quad (1.7)$$

Ως επισκευασιμότητα (maintainability) σε ένα σύστημα ορίζουμε την πιθανότητα ένα σύστημα που παρουσίασε αστοχία να αρχίσει να λειτουργεί σωστά ύστερα από επισκευή μετά από χρονικό διάστημα t .

Ο χρόνος επισκευής $RP(t)$ (repair time) είναι ένας τυχαίος αριθμός και όπως φαίνεται στο διάγραμμα του σχήματος 1.3, παίρνει τις τιμές αρχικά (t_2-t_1) και στη συνέχεια (t_4-t_3) . Ο χρόνος επισκευής $RP(t)$ ακολουθεί και αυτός αντίστοιχα μια εκθετική κατανομή και δίνεται από τη σχέση:

$$RP(t) = P(RP > t) = e^{-\mu \cdot t}$$

Όπου μ είναι ο ρυθμός επισκευών (repair rate).

Κατά αναλογία με τη σχέση (1.7) ο Μέσος Χρόνος Επισκευής - (Mean Time to Repair - *MTTR*) δίνεται από τη σχέση:

$$MTTR = \frac{1}{\mu}$$

Ο Μέσος Χρόνος Επισκευής (*MTTR*) απαρτίζεται από τα εξής τμήματα:

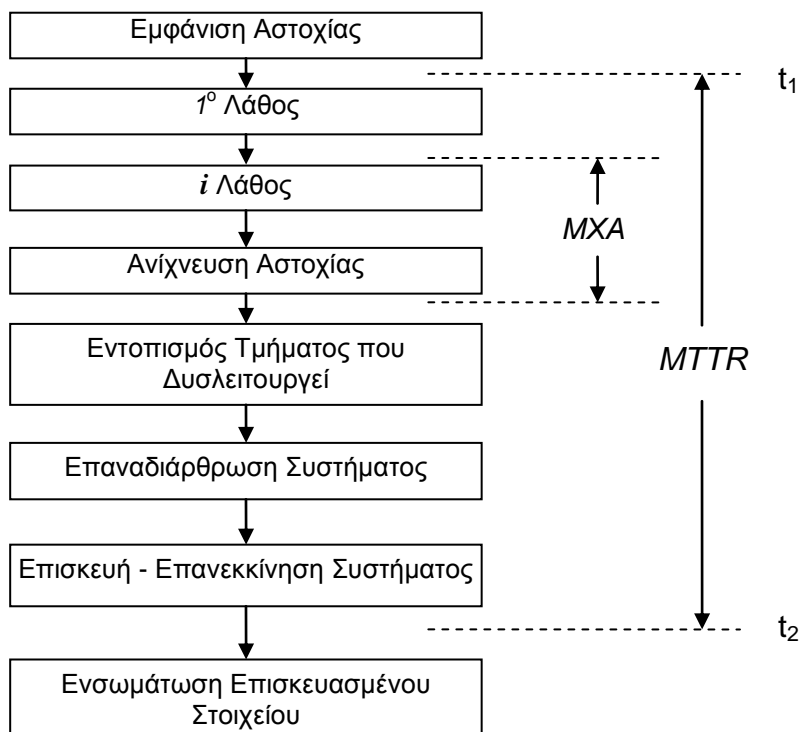
- Τον χρόνο που απαιτείται για να γίνει ανίχνευση της αστοχίας. (Μέσος Χρόνος Ανίχνευσης *ΜΧΑ*)
- Τον απαιτούμενο χρόνο για εντοπισμό του τμήματος που δυσλειτουργεί.
- Τον απαιτούμενο χρόνο για αντικατάσταση του τμήματος που δυσλειτουργεί.
- Τον απαιτούμενο χρόνο για να πιστοποιηθεί η αποκατάσταση της κανονικής λειτουργίας.

Ο Μέσος Χρόνος Επισκευής φαίνεται αναλυτικά στο σχήμα 1.4.

Η διαθεσιμότητα (*Availability*) $A(t)$, ενός συστήματος ορίζεται ως η πιθανότητα ορθής λειτουργίας κατά τη χρονική στιγμή t . Πρακτικά, περιγράφει το κλάσμα του χρόνου στο οποίο το σύστημα λειτουργεί κανονικά. Εκφράζεται από τη σχέση:

$$A(t) = \frac{MTBF}{MTTR + MTBF}$$

Η ανωτέρω σχέση χρησιμοποιείται ευρύτατα στη μελέτη της αξιοπιστίας των συστημάτων. Για παράδειγμα, στις συσκευές που χρησιμοποιούνται στην τηλεφωνία η απαίτηση για διαθεσιμότητα είναι τουλάχιστον 0,9999 ενώ σε συστήματα υψηλής αξιοπιστίας οι απαιτήσεις είναι ακόμη μεγαλύτερες ($A > 0,9999999$).



Σχήμα 1.4. Οι χρόνοι ανίχνευσης (*ΜΧΑ*) και επισκευής (*MTTR*) σε ένα σύστημα.

Γενικά, όταν ζητείται αυξημένη αξιοπιστία ή αυξημένη διαθεσιμότητα από ένα σύστημα, απαιτείται η χρήση διαθέσιμων εφεδρικών εξαρτημάτων ή υποσυστημάτων (πλεονασμός σε υλικό) και σχεδίαση ανεκτική σε αστοχίες [4].

Από την άλλη πλευρά, όταν ζητείται αυξημένη διαθεσιμότητα από ένα εξάρτημα ή ένα ολοκληρωμένο κύκλωμα, τότε απαιτούνται αυξημένα reliability screens. Δυστυχώς όμως τα υπάρχοντα reliability screens είτε είναι ακριβά, όπως στην περίπτωση του burn-in, είτε μειωμένης αποτελεσματικότητας, όπως στην περίπτωση της δοκιμής με παρατήρηση του ρεύματος ηρεμίας (I_{DDQ}) για τεχνολογίες κάτω από τα 90nm.

1.3 Λάθη και σφάλματα

Στην παράγραφο αυτή θα οριστούν οι έννοιες του *ελαττώματος* (defect), του *σφάλματος* (fault), και του *λάθους* (error) και θα περιγραφούν οι αιτίες που οδηγούν στη δημιουργία τους. Επίσης, θα παρουσιαστούν τα μοντέλα των σφαλμάτων που μπορεί να περιέχονται σε ένα κύκλωμα ώστε να γίνει δυνατή η περιγραφή τους.

Ως *ελάττωμα* (defect) ορίζουμε την ανεπιθύμητη διαφορά ανάμεσα στο σχεδιασμένο και το κατασκευασμένο κύκλωμα. Τα ελαττώματα είτε μπορεί να οφείλονται στην κατασκευαστική διαδικασία (fabrication defect), όπως τα βραχυκυκλώματα, οι ανοικτές επαφές και οι μετατοπίσεις μασκών, είτε μπορεί να οφείλονται στην τυχαία διακύμανση των παραμέτρων κατά τη διαδικασία της κατασκευής (process defects), όπως πχ σε περιπτώσεις μη αποδεκτών επιπέδων ντοπαρίσματος υλικού, είτε τέλος τα ελαττώματα μπορεί να οφείλονται στα υλικά της κατασκευής (material defects). Ελαττώματα μπορούν επίσης να προκληθούν κατά τη διαδικασία τοποθέτησης του κυκλώματος στο περίβλημά του (package defects). Τέλος, ένα ελάττωμα μπορεί να προκύψει σε τυχαίες χρονικές στιγμές εξαιτίας των μεταβολών στις παραμέτρους λειτουργίας λόγω γήρανσης, καθ' όλη τη διάρκεια της ζωής του κυκλώματος (aging defects) ή λόγω κάποιας φυσικής αιτίας. Ο ρυθμός εμφάνισης τέτοιων ελαττωμάτων αυξάνει καθώς το κύκλωμα εισέρχεται στην τελευταία περίοδο της ζωής του, την περίοδο φθοράς (Σχήμα 1.1).

Μερικές φορές τα ελαττώματα μπορεί να οφείλονται στον ανθρώπινο παράγοντα. Για παράδειγμα, μπορεί να οφείλονται σε ένα σχεδιαστικό λάθος όπως: α) καταστρατήγηση σχεδιαστικών κανόνων, β) εσφαλμένη επιλογή κυκλωματικών στοιχείων και γ) λανθασμένη συρμάτωση (routing) ή μπορεί να οφείλονται σε μία κατασκευαστική παράληψη.

Ως *λάθος* (error) ορίζεται η εσφαλμένη απόκριση ενός ελαττωματικού κυκλώματος είτε σε αναλογικό επίπεδο (τάση ή ρεύμα εκτός προδιαγραφών) είτε σε επίπεδο πληροφορίας, οπότε έχουμε εσφαλμένη λογική τιμή (π.χ. λάθος στην τιμή ενός bit σε μια ψηφιακή λέξη - byte). Με άλλα λόγια το λανθασμένο αποτέλεσμα οφείλεται στην παρουσία κάποιου ελαττώματος στο κύκλωμα.

Επειδή τα ελαττώματα δεν μπορούν πάντα να περιγράφονται με μαθηματικό φορμαλισμό, έχει προταθεί η έννοια των σφαλμάτων (faults), δηλαδή η χρήση μοντέλων για την περιγραφή της επίδρασης των φυσικών ελαττωμάτων στη λειτουργία ενός κυκλώματος [5]. Τα μοντέλα αυτά καλούνται μοντέλα σφαλμάτων (fault models).

Ως *σφάλμα* (fault) ορίζουμε την αναπαράσταση ενός ελαττώματος στο μοντέλο αναπαράστασης της λειτουργίας του κυκλώματος. Το σφάλμα επομένως είναι ένα μοντέλο για το συγκεκριμένο ελάττωμα ή ένα μοντέλο για τις επιδράσεις που επιφέρει στο κύκλωμα η παρουσία ενός ελαττώματος.

Το ελάττωμα αναφέρεται στην ατέλεια σε επίπεδο πραγματικού κυκλώματος (hardware) ενώ το σφάλμα αναφέρεται στην ατέλεια στο επίπεδο της αναπαράστασης της λειτουργίας του κυκλώματος όποιο και να είναι αυτό. Να σημειωθεί, ότι ο εντοπισμός των κατασκευαστικών ελαττωμάτων είναι πολύ σημαντικός καθώς βοηθάει στη βελτίωση της απόδοσης (Yield).

Η ύπαρξη ελαττωμάτων στο κύκλωμα άλλοτε οδηγεί στην εμφάνιση λαθών και άλλοτε όχι. Στο παρακάτω παράδειγμα εξηγείται σε ποια περίπτωση έχουμε παρουσία λάθους και σε ποια όχι. Θεωρούμε τη λειτουργία της πύλης NAND δύο εισόδων σε CMOS τεχνολογία, που απεικονίζεται στο σχήμα 1.5. Ως ελάττωμα θα θεωρήσουμε την εναπόθεση επιπλέον μετάλλου με αποτέλεσμα τη δημιουργία βραχυκυκλώματος μεταξύ της εισόδου A και της τροφοδοσίας. Εάν στις εισόδους έχουμε $AB=“10”$, η έξοδος της πύλης είναι λογικό “1”, όπως δηλαδή θα ήταν και χωρίς την παρουσία του ελαττώματος και επομένως δεν έχουμε τη εμφάνιση λάθους. Αν όμως το διάνυσμα εισόδου είναι το $AB=“01”$, τότε η έξοδος της πύλης είναι λογικό “0” αντί της ορθής τιμής που είναι λογικό “1” και επομένως έχουμε την εμφάνιση λάθους.

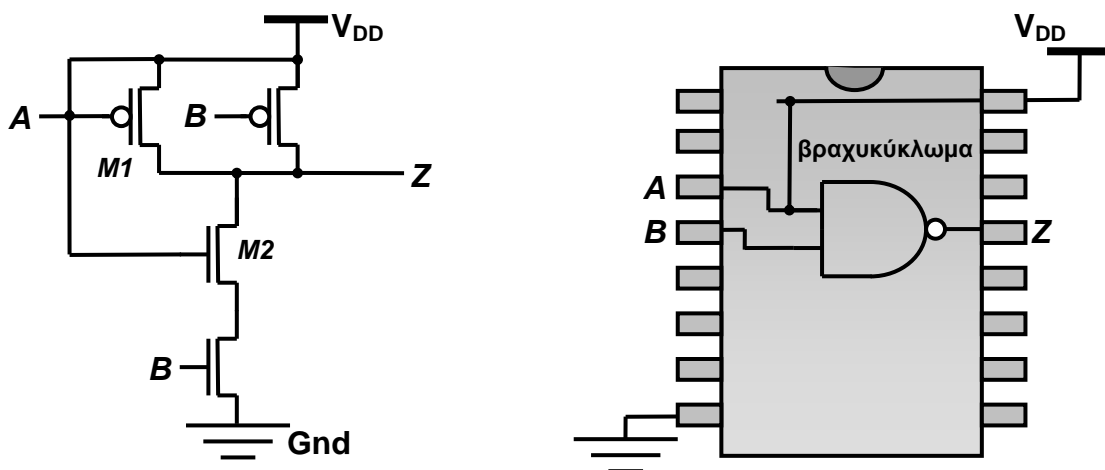
Ενώ το κύκλωμα σχεδιάστηκε να δίνει στην έξοδο: $Z = \overline{A \cdot B}$, το κύκλωμα συμπεριφέρεται ως $Z = \overline{B}$.

Για το κύκλωμα αυτό έχουμε τα εξής:

- Ελάττωμα: Βραχυκύκλωμα πύλης του τρανζίστορ M1 με την τροφοδοσία V_{DD}
- Σφάλμα: Η είσοδος A της πύλης είναι μόνιμα στο “1”
- Λάθος: Για $AB=“01”$ έχουμε $Z=“0”$ αντί της σωστής τιμής που είναι $Z=“1”$.

Για τους υπόλοιπους τρεις συνδυασμούς στην είσοδο το κύκλωμα συμπεριφέρεται σωστά.

Το παραπάνω βραχυκύκλωμα στο σχήμα 1.5 είναι ένα ελάττωμα που δημιουργεί μια μόνιμη βλάβη. Επομένως, θα έχουμε και ένα μόνιμο σφάλμα. Τα σφάλματα χαρακτηρίζονται ως μόνιμα (permanent) εάν παραμένουν από τη στιγμή που θα εμφανιστούν μέχρι τη διόρθωση της αιτίας που τα προκάλεσε (εάν το τελευταίο είναι εφικτό). Τα μόνιμα σφάλματα οφείλονται συνήθως σε κατασκευαστικές ατέλειες. Στην περίπτωση που η αντίστοιχη βλάβη είχε μικρή χρονική διάρκεια, ονομάζεται παροδική και δημιουργεί ένα παροδικό σφάλμα.



Σχήμα 1.5. Πύλη NAND τεχνολογίας CMOS με ελάττωμα.

Διακρίνουμε δύο κατηγορίες παροδικών σφαλμάτων: α) τα μεταβατικά σφάλματα (transient faults), όταν εμφανίζονται μία φορά εξ αιτίας μιας παροδικής αλλαγής κάποιου περιβαλλοντικού παράγοντα ή του θορύβου [6], ή μιας διακύμανσης της τροφοδοσίας, ή της κοσμικής ακτινοβολίας, και δεν απαιτούν επισκευή β) τα διαλείποντα σφάλματα (intermittent faults), όταν εμφανίζονται περιοδικά κατά τη διάρκεια ορισμένων χρονικών διαστημάτων και οφείλονται σε ελαττωματικά ή γηρασμένα στοιχεία και εξωγενείς παράγοντες όπως η θερμοκρασία, η υγρασία ή οι δονήσεις [7], [8]. Στην περίπτωση των γηρασμένων στοιχείων κατά κανόνα έχουμε τη μετάπτωση των διαλειπόντων σφαλμάτων σε μόνιμα με την πάροδο του χρόνου. Η πλειοψηφία των σφαλμάτων σε ένα κύκλωμα αποτελείται από παροδικά σφάλματα, δηλαδή μεταβατικά και διαλείποντα σφάλματα [9], [10], [11], [12], [13].

Στη βιομηχανία ημιαγωγών απώτερος στόχος είναι η ελαχιστοποίηση του μεγέθους N , δηλαδή, όπως φαίνεται και στο σχήμα 1.2, του πλήθους των ελαττωματικών κυκλωμάτων που δεν ανιχνεύονται και για το σκοπό αυτό πραγματοποιούνται πολλαπλοί τύποι δοκιμής. Ένα μέγεθος που εκφράζει τον βαθμό κάλυψης των σφαλμάτων που ανιχνεύει μια μέθοδος δοκιμής είναι η *Κάλυψη Σφαλμάτων* (Fault Coverage FC).

Ορισμός: *Κάλυψη Σφαλμάτων* FC (Fault Coverage) είναι ο λόγος των ανιχνεύσιμων σφαλμάτων σε ένα κύκλωμα προς το συνολικό πλήθος των πιθανών σφαλμάτων σε αυτό, σύμφωνα με ένα συγκεκριμένο μοντέλο σφαλμάτων.

$$FC = \frac{\text{Ανιχνεύσιμα Σφάλματα}}{\text{Συνολικό Πλήθος Πιθανών Σφαλμάτων}} \quad (1.3)$$

Για ένα συγκεκριμένο ολοκληρωμένο κύκλωμα η σχέση που συνδέει τα μεγέθη Y , DL και FC είναι η εξής [14]:

$$DL = 1 - Y^{(1-FC)} \quad (1.4)$$

Η πιθανότητα μιας πλακέτας που αποτελείται από n ολοκληρωμένα κυκλώματα να είναι λειτουργικά άψογη δίνεται από την σχέση:

$$P_n = (1 - DL)^n \quad (1.5)$$

Ως αποδεκτό Ύψος Ατελειών DL θεωρείται οποιαδήποτε τιμή μικρότερη του 500ppm (part per million). Για να θεωρηθεί η παραγωγή υψηλής ποιότητας (και αξιοπιστίας) θα πρέπει το Ύψος Ατελειών να είναι μικρότερο από 100ppm, ενώ για την επίτευξη της παραγωγής 6σ (six sigma ή zero defects) το Ύψος Ατελειών πρέπει να είναι μικρότερο από 3,4ppm [1].

Για παράδειγμα, στην περίπτωση που η Απόδοση είναι $Y=50\%$ και η *Κάλυψη Σφαλμάτων* για ένα ολοκληρωμένο κύκλωμα είναι $FC=90\%$ τότε από την σχέση (1.4) προκύπτει ότι το Ύψος Ατελειών θα είναι $DL=0,067$ ή ότι το 6,7% (67.000ppm) αυτών των ολοκληρωμένων κυκλωμάτων που φεύγουν από το εργοστάσιο και θα διατίθενται στην αγορά, θα είναι ελαττωματικά.

Αν εφαρμοζόταν και μία συμπληρωματική μέθοδος δοκιμής η οποία θα εξασφάλιζε μια νέα συνολική *Κάλυψη Σφαλμάτων* $FC=98\%$, και διατηρώντας την ίδια διαδικασία

παραγωγής με Απόδοση $\gamma=50\%$, τότε σύμφωνα με την (1.4) το Ύψος Ατελειών DL θα ήταν $DL=0,01$ ή 1% (10.000ppm).

1.4 Μοντέλα σφαλμάτων

Όπως έχει αναφερθεί η παρουσία ελαττωμάτων σε ένα κύκλωμα μπορεί να οδηγήσει σε λανθασμένη λειτουργία του. Η ανάγκη περιγραφής των ελαττωμάτων οδήγησε στην ανάπτυξη των μοντέλων σφαλμάτων. Ιδιαίτερα χρήσιμα είναι τα μοντέλα σφαλμάτων που χρησιμοποιούνται για την εξαγωγή κατάλληλων συνόλων δοκιμής για τα ολοκληρωμένα κυκλώματα.

Τα συνηθέστερα μοντέλα σφαλμάτων φαίνονται στον Πίνακα 1.1

Τα μοντέλα σφαλμάτων εντάσσονται σε μία από τις ακόλουθες κατηγορίες:

- Μοντέλα σφαλμάτων σε επίπεδο τρανζίστορ.
- Μοντέλα σφαλμάτων σε επίπεδο πύλης.
- Μοντέλα σφαλμάτων σε επίπεδο λειτουργικών μονάδων.

Υπάρχει και μια πιο σύνθετη κατηγορία μοντέλων για σφάλματα σε ειδικές εφαρμογές ή ειδικές σχεδιάσεις όπως:

- Αλληλεπίδραση (crosstalk) μεταξύ κόμβων του κυκλώματος που είναι θεωρητικά ανεξάρτητοι
- Σταδιακή μεταβολή των παραμέτρων λειτουργίας του κυκλώματος

Πίνακας 1.1. Μοντέλα σφαλμάτων

Μοντέλο Σφάλματος	Περιγραφή
Απλά σφάλματα μόνιμης τιμής (Single Stuck At Faults)	Μια γραμμή λαμβάνει συνεχώς ως τιμή είτε το "0" ή το "1"
Πολλαπλά σφάλματα μόνιμης τιμής (Multiple Stuck At Faults)	Δύο ή περισσότερες γραμμές έχουν μια σταθερή τιμή ("0" ή "1") όχι όμως απαραίτητα την ίδια
Σφάλματα γεφύρωσης (Βραχυκυκλώματα – Bridging Faults)	Δύο ή περισσότερες γραμμές που θα έπρεπε να είναι ανεξάρτητες, συνδέονται μεταξύ τους
Σφάλμα μόνιμα μη αγωγίμου τρανζίστορ (Stuck Open Faults)	Ένα τρανζίστορ δεν άγει ποτέ
Σφάλμα μόνιμα αγωγίμου τρανζίστορ (Stuck-On faults)	Ένα τρανζίστορ άγει μόνιμα
Σφάλματα καθυστέρησης διάδοσης (Delay Faults)	Καθυστερήση διάδοσης του σήματος σε ένα ή περισσότερα μονοπάτια του κυκλώματος
Μεταβατικά σφάλματα (Transient Faults)	Λάθος αποκρίσεις από εξωγενείς παράγοντες όπως θόρυβος, διακύμανση στην τροφοδοσία, κοσμική ακτινοβολία
Διαλείποντα σφάλματα (Intermittent Faults)	Προκαλούνται από εσωτερική φθορά του κυκλώματος. Λάθος αποκρίσεις συμβαίνουν σε κάποιες καταστάσεις του κυκλώματος. Η φθορά είναι προοδευτική μέχρι τη μόνιμη βλάβη του κυκλώματος

Στη περίπτωση μνημών χρησιμοποιούνται κυρίως μοντέλα που εξετάζουν αλληλεπιδράσεις μεταξύ διαφορετικών κόμβων ενώ τα μοντέλα που εξετάζουν τις μεταβολές στις παραμέτρους λειτουργίας ενός κυκλώματος χρησιμοποιούνται κυρίως στις περιπτώσεις αναλογικών κυκλωμάτων.

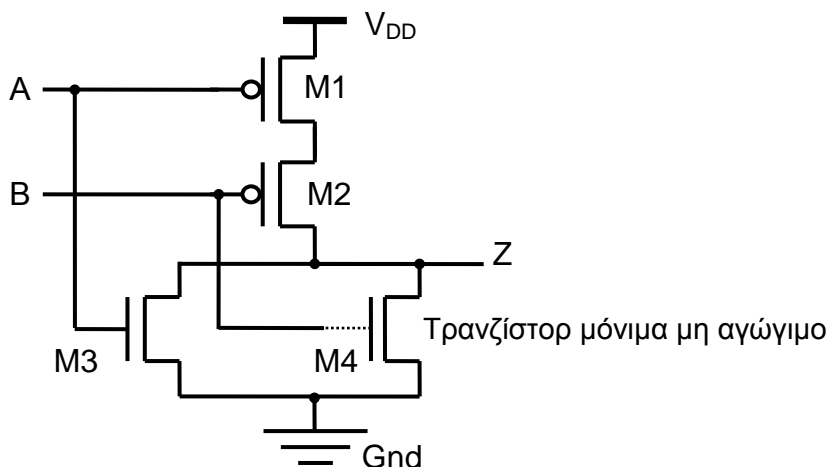
1.4.1 Μοντέλα σφαλμάτων σε επίπεδο τρανζίστορ.

Αρχικά, θα εξεταστούν τα μοντέλα σφαλμάτων σε επίπεδο τρανζίστορ. Το μεγάλο πλεονέκτημά τους είναι ότι έχουν τη δυνατότητα να περιγράψουν με ικανοποιητική ακρίβεια τα ελαττώματα που παρουσιάζονται στα σημερινά ηλεκτρονικά κυκλώματα. Το κυριότερο μειονέκτημα που εμποδίζει τη χρησιμοποίησή τους σε όλες τις περιπτώσεις, είναι ο πολύ μεγάλος αριθμός πιθανών σφαλμάτων που δίνουν, ιδίως σήμερα που τα ολοκληρωμένα κυκλώματα μεγάλης κλίμακας ολοκλήρωσης μπορούν να περιλαμβάνουν μερικά δισεκατομμύρια τρανζίστορ. Ακόμα όμως και στην περίπτωση που χρησιμοποιηθούν μοντέλα σε υψηλότερο επίπεδο για να μειωθεί ο όγκος της πληροφορίας που πρέπει να επεξεργαστούμε, η κατανόηση των μοντέλων σφαλμάτων σε επίπεδο τρανζίστορ είναι απαραίτητη για εξαγωγή επιτυχημένων μοντέλων σφαλμάτων σε ανώτερα επίπεδα.

Τα μοντέλα των μόνιμα αγώγιμων και των μόνιμα μη αγώγιμων τρανζίστορ μπορούν με επιτυχία να περιγράψουν πολλά από τα κατασκευαστικά ελαττώματα που παρουσιάζονται στα ολοκληρωμένα κυκλώματα. Όπως έχει δειχθεί [9], [15] σε περιπτώσεις επεξεργαστών, η μεγάλη πλειοψηφία των κατασκευαστικών ελαττωμάτων οδηγούν σε σφάλματα που ανήκουν σε αυτή την κατηγορία.

Στα κυκλώματα CMOS υπάρχουν κατασκευαστικά ελαττώματα που οδηγούν ένα απλό συνδυαστικό κύκλωμα να παρουσιάζει ακολουθιακή συμπεριφορά. Το φαινόμενο αυτό δυσκολεύει ιδιαίτερα την εξαγωγή κατάλληλων διανυσμάτων δοκιμής. Η παρουσία του φαινομένου έγκειται στην ιδιότητα που έχουν τα κυκλώματα CMOS να διατηρούν τη λογική τιμή που βρίσκεται σε γραμμή υψηλής εμπέδησης σταθερή για μεγάλα χρονικά διαστήματα, λόγω της χαμηλής τιμής των ρευμάτων διαρροής. Έτσι, η ύπαρξη ενός κατασκευαστικού ελαττώματος που οδηγεί την έξοδο μιας πύλης σε κατάσταση υψηλής εμπέδησης έχει ως αποτέλεσμα η έξοδος της πύλης να διατηρείται στην προηγούμενη τιμή και η λογική πύλη να παρουσιάζει ακολουθιακή συμπεριφορά.

Ένα παράδειγμα αυτού του προβλήματος φαίνεται στην CMOS πύλη NOR του σχήματος 1.6 στην οποία θα υποθέσουμε ότι το τρανζίστορ M4 είναι μόνιμα μη αγώγιμο. Το σφάλμα μπορεί να γίνει αντιληπτό αν προσπαθήσουμε να εκφορτίσουμε την έξοδο της πύλης μέσα από το τρανζίστορ M4, ενώ ταυτόχρονα φροντίζουμε το τρανζίστορ M3 να μην άγει με λογική τιμή "0" στην είσοδο A. Το αντίστοιχο διάνυσμα δοκιμής που ανιχνεύει την παρουσία του σφάλματος είναι το AB="01". Με την εφαρμογή αυτού του διανύσματος μόνο στην περίπτωση που το τρανζίστορ M4 άγει οδηγείται η έξοδος σε λογικό "0". Εδώ πρέπει να τονιστεί ότι η προηγούμενη τιμή της εξόδου της πύλης πρέπει να είναι Z="1". Εάν η προηγούμενη τιμή ήταν Z="0" με καμία από τις δυνατές εισόδους δεν μπορούμε να ανιχνεύσουμε το σφάλμα επειδή δεν μπορούμε να γνωρίζουμε εάν η τελική τιμή στη έξοδο οφείλεται στις τιμές που έχουν οι είσοδοι A και B ή απλώς παραμένει σταθερή από την προηγούμενη κατάσταση. Επομένως, το ελάττωμα αυτό ανιχνεύεται αν θέσουμε στις εισόδους AB τα εξής διαδοχικά διανύσματα ("00", "01") και παρατηρήσουμε στην έξοδο Z τις τιμές ("1", "1") αντί της ορθής σειράς που είναι ("1", "0").



Σχήμα 1.6. CMOS πύλη NOR δύο εισόδων.

Πρόβλημα επίσης υπάρχει και στην περίπτωση των μόνιμα αγώγιμων τρανζίστορ. Ας υποθέσουμε αυτήν τη φορά ότι το τρανζίστορ του προηγούμενου παραδείγματος είναι μόνιμα αγώγιμο. Πρόβλημα παρουσιάζεται για το διάνυσμα εισόδου $AB=“00”$. Σε αυτήν την περίπτωση έχουμε τα 2 τρανζίστορ pMOS M1 και M2 καθώς και το nMOS M4 να άγουν ταυτόχρονα και η τιμή στη έξοδο εξαρτάται από τις αντιστάσεις που παρουσιάζει η εν σειρά συνδεσμολογία των τριών τρανζίστορ. Έχει δειχθεί [16] ότι ένα τέτοιο ελάττωμα μπορεί είτε να είναι λογικά ανιχνεύσιμο είτε όχι και αυτό εξαρτάται από το λόγο των αντιστάσεων των τρανζίστορ pMOS και nMOS. Στην εργασία [16] έχει δειχθεί επίσης ότι τα διανύσματα δοκιμής για τα μόνιμα αγώγιμα τρανζίστορ μπορούν και ανιχνεύουν τα μόνιμα μη αγώγιμα ενώ το αντίθετο δεν είναι πάντα δυνατό.

Η περίπτωση των *μόνιμα μη αγώγιμων τρανζίστορ* μελετάται εκτενώς στην βιβλιογραφία λόγω της ιδιάζουσας σημασίας για τα ολοκληρωμένα κυκλώματα σε τεχνολογία CMOS. Όπως έχει ήδη τονιστεί, τέτοια σφάλματα μπορούν να μετατρέψουν ένα συνδυαστικό κύκλωμα σε ακολουθιακό, με αποτέλεσμα η ανίχνευση να απαιτεί συνδυασμό διανυσμάτων δοκιμής. Ο Timoc [17] μελέτησε το φαινόμενο για την περίπτωση μικροεπεξεργαστή σε τεχνολογία CMOS, ο οποίος τροφοδοτήθηκε με 512000 ψευδοτυχαία ανύσματα δοκιμής. Τα αποτελέσματα έδειξαν ότι με το μοντέλο των μη αγώγιμων τρανζίστορ το ποσοστό κάλυψης είναι 85%.

1.4.2 Μοντέλα σφαλμάτων σε επίπεδο λογικών πυλών.

Τα παλαιότερα και περισσότερο δημοφιλή μοντέλα σφαλμάτων είναι τα μοντέλα σφαλμάτων σε επίπεδο λογικής πύλης. Η σχεδίαση σε επίπεδο λογικών πυλών είναι περισσότερο διαδεδομένη από την αντίστοιχη σε επίπεδο τρανζίστορ, και κατ' επέκταση τα μοντέλα αυτά είναι πιο προσιτά στους σχεδιαστές ψηφιακών κυκλωμάτων. Σε αυτό συμβάλουν η δυνατότητα της χρήσης των ίδιων μοντέλων για διάφορες τεχνολογίες καθώς και η δυνατότητα χρήσης της άλγεβρας σε επίπεδο πυλών που μπορεί να οδηγήσει με σχετική ευκολία στην εύρεση κατάλληλων διανυσμάτων δοκιμής.

Ένα από τα παλαιότερα μοντέλα το οποίο χρησιμοποιείται μέχρι σήμερα είναι το μοντέλο σφάλματος μόνιμης τιμής (*stuck-at fault model*). Η παρουσία κατασκευαστικών ελαττωμάτων σύμφωνα με το μοντέλο αυτό, οδηγεί γραμμές εισόδου και εξόδου των υπό εξέταση πυλών είτε μόνιμα στη λογική τιμή “1” είτε στη λογική τιμή “0”. Το παραπάνω μοντέλο είναι εξαιρετικά απλό και έχει την δυνατότητα να καλύπτει σε ικανοποιητικό βαθμό σφάλματα σε επίπεδο τρανζίστορ. Στη συνέχεια του κεφαλαίου θα

δειχτεί ότι βρίσκοντας διανύσματα δοκιμής για τα σφάλματα μόνιμης τιμής είναι δυνατόν να καλύπτονται και σφάλματα σε επίπεδο τρανζίστορ. Συνηθέστερα χρησιμοποιούμε το μοντέλο απλού σφάλματος μόνιμης τιμής (single stuck-at fault – SSAF), σύμφωνα με το οποίο είναι δυνατό να παρουσιαστεί σφάλμα μόνο σε μια γραμμή στο κύκλωμα. Το μοντέλο αυτό συναντάται με τις ονομασίες κλασσικό (classical) ή καθιερωμένο (standard) [18].

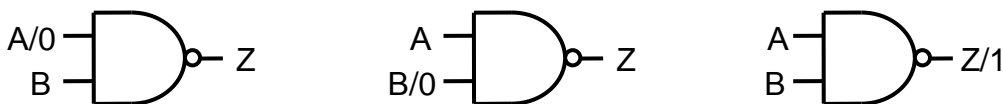
Το απλό σφάλμα μόνιμης τιμής έχει τις εξής ιδιότητες [19]:

- α) Μόνο μια γραμμή του κυκλώματος παρουσιάζει το σφάλμα
- β) Η γραμμή αυτή έχει ως μόνιμη τιμή μία εκ των “0”, “1”
- γ) Το σφάλμα μπορεί να παρουσιαστεί μόνο στην είσοδο ή στην έξοδο μιας πύλης και όχι στο εσωτερικό της.

Με βάση τις παραπάνω ιδιότητες, ο αριθμός των πιθανών σφαλμάτων απλής μόνιμης τιμής εξαρτάται από τον αριθμό των γραμμών του κυκλώματος. Αν υπάρχουν n γραμμές στο κύκλωμα, τότε ο αριθμός των σφαλμάτων είναι ίσος με $2 \cdot n$. Ο αριθμός αυτός μπορεί να μειωθεί αν χρησιμοποιηθούν οι έννοιες της ισοδυναμίας σφαλμάτων (fault equivalence) και της επικράτησης (ή κυριαρχίας) σφαλμάτων (fault dominance), όπως αυτές περιγράφονται στο [19].

Στη συνέχεια θα εξετάσουμε τα διάφορα σφάλματα απλής μόνιμης τιμής, καθώς και την έννοια της *ισοδυναμίας σφαλμάτων*. Για το σκοπό αυτό θα χρησιμοποιήσουμε ως παράδειγμα την λογική πύλη NAND του σχήματος 1.7. Κάθε γραμμή μπορεί να παρουσιάζει δύο διαφορετικά σφάλματα. Παραδείγματος χάριν, η γραμμή A μπορεί να παρουσιάζει το σφάλμα της μόνιμης τιμής “0” εάν βρίσκεται πάντα σε λογικό “0” και το σφάλμα της μόνιμης τιμής “1” εάν βρίσκεται πάντα σε λογικό “1”. Για ευκολία θα χρησιμοποιούνται οι συμβολισμοί A/0 και A/1 αντίστοιχα. Στις δύο άλλες γραμμές B και Z παρουσιάζονται αντίστοιχα σφάλματα μόνιμης τιμής. Συνολικά παρουσιάζονται έξι διακριτά σφάλματα απλής μόνιμης τιμής - τα A/0, A/1, B/0, B/1, Z/0 και Z/1.

Ισοδύναμα σφάλματα ονομάζονται τα σφάλματα τα οποία δεν είναι δυνατό να διακριθούν μεταξύ τους. Παράδειγμα ισοδύναμων σφαλμάτων αποτελούν τα σφάλματα A/0, B/0 και το σφάλμα Z/1 του σχήματος 1.7. Εάν οποιοδήποτε διάνυσμα δοκιμής ικανό να εντοπίσει το πρώτο σφάλμα (έστω το Σ1) εντοπίζει και το δεύτερο σφάλμα (έστω το Σ2), χωρίς ωστόσο να ισχύει και το αντίθετο, τότε το σφάλμα Σ1 καλείται *κυρίαρχο* του Σ2. Ως παράδειγμα αναφέρουμε ότι το σφάλμα A/1 του σχήματος 1.7 είναι κυρίαρχο (dominant) του σφάλματος Z/0. Ομοίως και το σφάλμα B/1 είναι κυρίαρχο (ή επικρατέστερο) του σφάλματος Z/0. Οι έννοιες της ισοδυναμίας και της κυριαρχίας οδηγούν στη ομαδοποίηση των σφαλμάτων μιας λογικής πύλης σε κλάσεις. Οι έννοιες της ισοδυναμίας, της κυριαρχίας και της κλάσης σφαλμάτων επεκτείνονται και σε γραμμές οι οποίες δεν ανήκουν στην ίδια λογική πύλη. Για την πύλη NAND του παραδείγματός μας, οι κλάσεις φαίνονται στον πίνακα 1.2.



Σχήμα 1.7. Πύλη NAND με ισοδύναμα σφάλματα.

Πίνακας 1.2. Κλάσεις σφαλμάτων πύλης NAND

ΔΙΑΝΥΣΜΑΤΑ ΔΟΚΙΜΗΣ		ΕΞΟΔΟΣ	
A	B	Z	Κλάσεις σφαλμάτων
0	1	1	A/1, Z/0
1	0	1	B/1, Z/0
1	1	0	A/0, B/0, Z/1

Στη συνέχεια θα ασχοληθούμε με τις τυχόν σχέσεις που ενδεχομένως υπάρχουν μεταξύ των σφαλμάτων σε επίπεδο τρανζίστορ και του απλού σφάλματος μόνιμης τιμής. Για την τεχνολογία CMOS έχει δειχθεί ότι παρότι δεν μπορούμε πάντα να αναπαραστήσουμε τα σφάλματα σε επίπεδο τρανζίστορ με απλά σφάλματα μόνιμης τιμής, το πρόβλημα μπορεί να αντιμετωπιστεί με τη χρήση πολλαπλών σφαλμάτων μόνιμης τιμής [20].

Για ορισμένα απλά σφάλματα μόνιμης τιμής υπάρχουν ενδείξεις ότι σπάνια παρουσιάζονται σε πραγματικά κυκλώματα. Επομένως, για να έχουμε μία ρεαλιστική εκτίμηση της κάλυψης σφαλμάτων που παρέχει ένα σύνολο διανυσμάτων δοκιμής, πρέπει να λάβουμε υπ' όψιν την πιθανότητα παρουσίας κάθε σφάλματος.

Ας πάρουμε για παράδειγμα μια πύλη NAND τριών εισόδων και την υλοποίησή της σε επίπεδο τρανζίστορ με τεχνολογία nMOS, για λόγους απλότητας, όπως αυτή φαίνεται στο σχήμα 1.8. Οι κλάσεις σφαλμάτων και τα αντίστοιχα διανύσματα δοκιμής φαίνονται στον ακόλουθο πίνακα 1.3.

Με διάστικτες γραμμές απεικονίζονται κάποια πιθανά βραχυκυκλώματα (όχι όλα) και συγκεκριμένα, το βραχυκύκλωμα 1 ανάμεσα σε πύλη και απαγωγό του τρανζίστορ M2 και το βραχυκύκλωμα 2 ανάμεσα σε πύλη και πηγή για το τρανζίστορ M3 αντίστοιχα. Προφανώς τα σφάλματα αυτά δεν μπορούν να αναπαρασταθούν με το μοντέλο μόνιμης τιμής σε επίπεδο πύλης. Ας θεωρήσουμε όμως ότι τροφοδοτούμε την υπό μελέτη πύλη με τα διανύσματα δοκιμής που παίρνουμε με χρήση του μοντέλου απλού σφάλματος μόνιμης τιμής. Στον πίνακα 1.4 που ακολουθεί δίνονται τα διανύσματα και οι αντίστοιχες τιμές εξόδου. Στη στήλη Z δίνονται οι τιμές εξόδου χωρίς την παρουσία σφαλμάτων, ενώ στις στήλες Z1 και Z2 δίνονται οι τιμές της εξόδου υπό την παρουσία των σφαλμάτων 1 και 2 αντίστοιχα.

Πίνακας 1.3. Διανύσματα δοκιμής για πύλη NAND τριών εισόδων

ΔΙΑΝΥΣΜΑΤΑ ΔΟΚΙΜΗΣ			ΕΞΟΔΟΣ	
A	B	C	Z	Κλάσεις σφαλμάτων
0	1	1	1	A/1, Z/0
1	0	1	1	B/1, Z/0
1	1	0	1	C/1, Z/0
1	1	1	0	A/0, B/0, C/0, Z/1

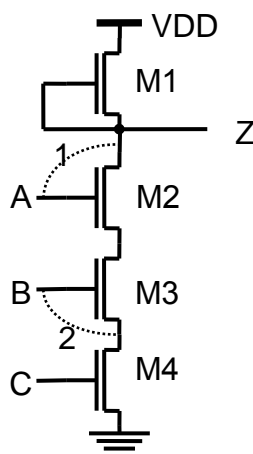
Πίνακας 1.4. Έξοδοι παρουσία σφαλμάτων πύλης NAND

A	B	C	Z	Z1	Z2
0	1	1	1	0	1
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	0	<i>i</i>	1

Με *i* συμβολίζουμε την ενδιάμεση κατάσταση στη οποία οδηγείται η έξοδος στην περίπτωση που, παρουσία του σφάλματος 1, η είσοδος είναι η ABC="111". Από τον πίνακα παρατηρούμε ότι τα διανύσματα δοκιμής ABC="011" και ABC="111" μπορούν να εντοπίσουν τα σφάλματα 1 και 2 αντίστοιχα. Γίνεται επομένως φανερό ότι με τα διανύσματα δοκιμής που εξάγονται με τη χρήση του μοντέλου απλού σφάλματος μόνιμης τιμής, μπορούν να καλυφθούν κατασκευαστικά ελαττώματα που δεν αναπαριστά το μοντέλο αυτό όπως τα βραχυκυκλώματα του σχήματος 1.8.

Από τα προηγούμενα παραδείγματα γίνεται φανερό, ότι το μοντέλο απλού σφάλματος μόνιμης τιμής, παρά την αδυναμία του να αναπαραστήσει πολλά από τα σφάλματα σε επίπεδο τρανζίστορ, δίνει παρόλα αυτά διανύσματα δοκιμής ικανά να τα καλύψουν, γεγονός που έχει επιβεβαιωθεί και πειραματικά. Έχει δειχθεί [21] ότι και στη γενική περίπτωση τυχαίων σφαλμάτων σε επίπεδο τρανζίστορ, το σύνολο των διανυσμάτων δοκιμής που παράγονται με τη χρήση του μοντέλου μόνιμης τιμής παρέχει ικανοποιητική κάλυψη.

Μερικά ακόμη σπουδαία πλεονεκτήματα του μοντέλου αυτού είναι τα εξής: α) είναι ανεξάρτητο από την τεχνολογία υλοποίησης, καθώς η έννοια «κάποια γραμμή να είναι μόνιμα σε κάποια τιμή» μπορεί να χρησιμοποιηθεί σε ένα οποιοδήποτε δομικό μοντέλο (structural model) αναπαράστασης του κυκλώματος, β) σε σύγκριση με άλλα μοντέλα σφαλμάτων, ο αριθμός των σφαλμάτων που είναι δυνατό να υπάρξουν στο κύκλωμα είναι πολύ μικρός (για κύκλωμα *n* κόμβων είναι $2 \cdot n$) και μπορεί να μειωθεί περαιτέρω.



Σχήμα 1.8. Πύλη NAND τριών εισόδων με δύο σφάλματα.

1.4.3 Σφάλματα γεφύρωσης.

Σφάλματα γεφύρωσης (ή βραχυκύκλωσης) έχουμε όταν δύο ή περισσότερες γραμμές βραχυκυκλώνονται. Όταν το σφάλμα αφορά r γραμμές με $r > 2$ καλείται σφάλμα γεφύρωσης με πολλαπλότητα r , διαφορετικά πρόκειται για απλό σφάλμα γεφύρωσης. Πολλαπλά σφάλματα γεφύρωσης συμβαίνουν συνήθως στις κύριες (primary inputs) εισόδους των κυκλωμάτων. Ο συνολικός αριθμός όλων των δυνατών απλών βραχυκυκλωμάτων σε ένα κύκλωμα είναι εξαιρετικά μεγάλος και εξαρτάται από τον αριθμό των γραμμών ή κόμβων του κυκλώματος. Στην πράξη ο αριθμός των πιθανών απλών βραχυκυκλωμάτων είναι πολύ μικρότερος και εξαρτάται από τη φυσική σχεδίαση (layout).

Για την κάλυψη σφαλμάτων που προέρχονται από βραχυκυκλώματα μεταξύ διαφορετικών γραμμών διασύνδεσης σε ένα κύκλωμα, το μοντέλο απλού σφάλματος μόνιμης τιμής επεκτείνεται με την προσθήκη του μοντέλου σφαλμάτων γεφύρωσης (*bridging fault model*). Σύμφωνα με αυτό το μοντέλο, παρουσία ενός τέτοιου σφάλματος οι γραμμές έχουν σαν λογική τιμή το λογικό “ΚΑΙ” ή το λογικό “Η” των τιμών τους σε κανονική λειτουργία. Τα προκύπτοντα διανύσματα δοκιμής με τη χρήση αυτού του μοντέλου έχουν τη δυνατότητα να ανιχνεύσουν και σφάλματα γεφύρωσης μεταξύ γραμμών που οδηγούν την ίδια πύλη αλλά και σφάλματα που οδηγούν σε ανάδραση που περιέχει περιττό αριθμό αναστροφών [22].

1.4.4 Σφάλματα καθυστέρησης

Τα σφάλματα καθυστέρησης διάδοσης σήματος αναφέρονται σε καθυστερήσεις είτε σε επίπεδο πύλης (gate delay faults) είτε σε επίπεδο διαδρομής σήματος (path delay faults). Η ανίχνευσή τους απαιτεί την εφαρμογή ακολουθίας διανυσμάτων δοκιμής για την αρχικοποίηση του κυκλώματος σε κατάλληλη κατάσταση και την τελική ενεργοποίηση του σφάλματος με οδήγηση της λανθασμένης (χρονικά) απόκρισης σε κάποια κύρια έξοδο ή στοιχείο μνήμης. Το μοντέλο αυτό μπορεί να ειδωθεί ως το πιο γενικό μοντέλο σφαλμάτων στα ψηφιακά κυκλώματα, με πολύ υψηλή δυνατότητα κάλυψης σφαλμάτων που ανήκουν σε άλλα μοντέλα.

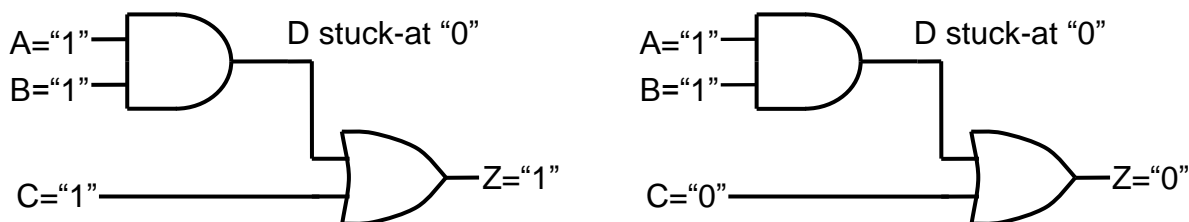
1.5 Ανίχνευση και ενεργοποίηση σφαλμάτων

Όπως έχει ήδη αναφερθεί και στις προηγούμενες παραγράφους, σε μερικές περιπτώσεις το σφάλμα σε ένα ολοκληρωμένο κύκλωμα δεν είναι ανιχνεύσιμο με ένα μόνο διάνυσμα δοκιμής. Για παράδειγμα, σε μια πύλη AND δύο εισόδων με σφάλμα απλής μόνιμης τιμής “0” στη μία είσοδο (stuck at “0”), υπάρχει μόνο ένα διάνυσμα δοκιμής (το “11”) που το ανιχνεύει, ενώ για οποιοδήποτε άλλο διάνυσμα η πύλη φαίνεται να λειτουργεί σωστά. Αν οποιαδήποτε είσοδος πάρει την τιμή “0”, η ορθή τιμή της εξόδου του κυκλώματος (της πύλης) ταυτίζεται με την τιμή που θα είχε η έξοδος παρουσία σφάλματος, με αποτέλεσμα να παρουσιάζεται το φαινόμενο της απόκρυψης σφαλμάτων (fault masking). Ένα διάνυσμα δοκιμής πρέπει λοιπόν να δημιουργεί τέτοιες συνθήκες στο κύκλωμα ώστε η τιμή μιας υπό εξέταση γραμμής σε συνθήκες ορθής λειτουργίας να είναι διαφορετική από την τιμή που λαμβάνει η γραμμή σε περίπτωση παρουσίας ενός σφάλματος σε αυτή. Πρέπει δηλαδή το διάνυσμα δοκιμής να ενεργοποιεί το σφάλμα (fault activation) [23].

Η ενεργοποίηση όμως ενός σφάλματος από μόνη της δεν είναι αρκετή. Για παράδειγμα, αν εξετάσουμε το κύκλωμα του σχήματος 1.9 όπου η γραμμή D είναι μόνιμα στο “0”, (D stuck-at 0, ή D/0). Η ενεργοποίηση του σφάλματος απαιτεί $A=B=“1”$. Αν υποθέσουμε ότι

και η είσοδος C έχει την τιμή “1”, τότε με αυτές τις συνθήκες εισόδου η έξοδος Z θα λάβει την τιμή “1”, που είναι η αναμενόμενη απόκριση της ορθής λειτουργίας του κυκλώματος, ανεξάρτητα της τιμής της γραμμής D, και του αν αυτή παρουσιάζει κάποιο σφάλμα ή όχι, όπως φαίνεται στο αριστερό τμήμα του σχήματος 1.9.

Αν όμως η είσοδος C έχει την τιμή “0”, τότε αν το κύκλωμα έχει το σφάλμα στη γραμμή D η τιμή της εξόδου είναι στο “0”, η οποία είναι διαφορετική από την αναμενόμενη απόκριση του κυκλώματος. Συνεπώς σε αυτή την περίπτωση το σφάλμα ανιχνεύεται, όπως φαίνεται στο δεξί τμήμα του σχήματος 1.9.



Σχήμα 1.9. Ενεργοποίηση και διάδοση σφάλματος.

Με άλλα λόγια θέτοντας τη γραμμή C στο “0” καταφέρνουμε να διαδώσουμε το αποτέλεσμα της παρουσίας του σφάλματος στην έξοδο του κυκλώματος. Επομένως, ένα διάνυσμα εκτός από την ενεργοποίηση ενός σφάλματος πρέπει να παράγει τις κατάλληλες συνθήκες για τη διάδοση του λανθασμένου αποτελέσματος, υπό την παρουσία του σφάλματος, στις εξόδους του κυκλώματος (fault propagation).

1.6 Δοκιμή ολοκληρωμένου κυκλώματος

Η διαδικασία της δοκιμής χωρίζεται σε δύο κατηγορίες, ανάλογα με την κατάσταση του κυκλώματος τη στιγμή που εφαρμόζεται. Στην πρώτη κατηγορία η δοκιμή εκτελείται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος (on-line testing). Σε αυτή τη περίπτωση χρησιμοποιούνται ειδικές τεχνικές, όπως επιπρόσθετα κυκλώματα που λειτουργούν παράλληλα (υλικός πλεονασμός) ή χρησιμοποιούνται κώδικες, επιτυγχάνοντας υψηλή αξιοπιστία αφού καθίσταται δυνατή η ανίχνευση μεταβατικών σφαλμάτων. Στη δεύτερη κατηγορία η δοκιμή γίνεται εκτός λειτουργίας του κυκλώματος (off-line testing) και μπορεί να χωριστεί περαιτέρω στις παρακάτω τρεις υποκατηγορίες ανάλογα με το βαθμό συμμετοχής του εξωτερικού συστήματος υποστήριξης της δοκιμής (automatic test equipment – ATE) στην όλη διαδικασία: α) την εξωτερική δοκιμή (off-chip), όπου το σύστημα υποστήριξης αναλαμβάνει εξολοκλήρου τη διαδικασία, β) την ενσωματωμένη αυτοδοκιμή (Built-In Self-Test – BIST) όπου η συμμετοχή του εξωτερικού ελεγκτή είναι η ελάχιστη δυνατή και γ) την ενσωματωμένη (embedded) δοκιμή όπου υπάρχει συνδυασμός χρήσης εξωτερικών συστημάτων υποστήριξης και ενσωματωμένων δομών δοκιμής στο κύκλωμα.

Οι παραπάνω μεθοδολογίες μπορούν να εφαρμοστούν για τους διάφορους τύπους δοκιμής, μερικοί από τους οποίους είναι οι εξής:

- δοκιμή όταν το κύκλωμα δεν έχει αποκοπεί από το δισκίο πυριτίου (wafer sort) ή όταν έχει κοπεί και τοποθετηθεί σε κάποια συσκευασία (package test ή fabrication test),
- δοκιμή αποδοχής (acceptance test), όπου διαπιστώνεται η συμμόρφωση με τις προδιαγραφές ή τις απαιτήσεις του πελάτη,

- δοκιμή κάτω από ακραίες συνθήκες θερμοκρασίας, τροφοδοσίας, κραδασμών και άλλων παραγόντων για να βρεθούν τα κυκλώματα με μικρό χρόνο ζωής (burn-in test),
- δοκιμή για να εξακριβωθεί ποιο σφάλμα και σε ποιο σημείο του κυκλώματος ευθύνεται για τη μη λειτουργία του κυκλώματος (diagnostic test).

1.7 Εξωτερική δοκιμή

Στην εξωτερική δοκιμή μια εξωτερική μονάδα υποστήριξης αναλαμβάνει τη διαδικασία δοκιμής, εφαρμόζοντας τα κατάλληλα διανύσματα στο κύκλωμα, συλλέγοντας τις αποκρίσεις του σε αυτά και συγκρίνοντάς τες με τις αναμενόμενες, αποφασίζει αν το υπό δοκιμή κύκλωμα λειτουργεί άψογα ή όχι.

Ένα εξωτερικό σύστημα υποστήριξης δοκιμής είναι ένα σύστημα που αποτελείται από υλικό (hardware) και λογισμικό (software) και συνοδεύεται από έναν αριθμό κεφαλών (heads). Η κάθε κεφαλή έχει ειδικού τύπου ακίδες (pins) που έρχονται σε επαφή με τις κύριες εισόδους και εξόδους του κυκλώματος. Η κάθε ακίδα έχει συγκεκριμένη λογική έτσι ώστε να μπορεί να οδηγεί την είσοδο του κυκλώματος στην οποία έχει συνδεθεί, να δειγματοληπτεί τις εξόδους και να μετρά τις τιμές των σημάτων που εμφανίζονται ή να συμπεριφέρεται ως χωρητικό φορτίο (capacitive load). Οι ακίδες της κεφαλής συνδέονται με το σύστημα μετρήσεων του ελεγκτή μέσω ενός κατάλληλου συστήματος καλωδιώσεων. Το υλικό του συστήματος υποστήριξης δοκιμής αποτελείται από κάποιον υπολογιστή ο οποίος έχει αποθηκευμένα τα διανύσματα δοκιμής και, κατά τη διάρκεια της δοκιμής, αποθηκεύει τις αντίστοιχες αποκρίσεις, ενώ το λογισμικό αποτελείται από προγράμματα εκφρασμένα σε μια γλώσσα προγραμματισμού τέτοιων συστημάτων (standard test interface language), τα οποία περιγράφουν τη διαδικασία της δοκιμής.

Τα εξωτερικά συστήματα υποστήριξης δοκιμής κατηγοριοποιούνται ανάλογα με το είδος των κυκλωμάτων που καλούνται να θέσουν υπό δοκιμή. Ειδικότερα, υπάρχουν εξωτερικά συστήματα υποστήριξης δοκιμής για αναλογικά κυκλώματα, για ψηφιακά κυκλώματα και για μνήμες, καθώς κάθε κατηγορία κυκλωμάτων έχει διαφορετικούς απαιτήσεις και μεθόδους δοκιμής και διαφορετικά χαρακτηριστικά. Ιδιαίτερα τα αναλογικά κυκλώματα έχουν ιδιαίτερες δυσκολίες, καθώς τα αναλογικά σήματα επηρεάζονται από τον θόρυβο, τις παρεμβολές (crosstalk) ή τις παραμορφώσεις στο πλάτος ή στην φάση που μπορεί να εισάγει το σύστημα μέτρησης και όλα αυτά λαμβάνονται υπόψιν σε ολόκληρο το εύρος τάσεων, ρευμάτων αλλά και του εύρους ζώνης συχνοτήτων λειτουργίας. Τα κυκλώματα μνημών πάλι μπορούν να τεθούν υπό δοκιμή παράλληλα ενώ πρέπει να δίνεται ιδιαίτερη προσοχή στο φαινόμενο της ηλεκτρομαγνητικής παρεμβολής μεταξύ γειτονικών γραμμών του κυκλώματος (crosstalk) που εμφανίζεται λόγω της κανονικής δομής αυτών των κυκλωμάτων.

Από τα σημαντικά μειονεκτήματα της εξωτερικής δοκιμής είναι η περιορισμένη δυνατότητα πλήρους δοκιμής ολοκληρωμένων συστημάτων, δηλαδή ολοκληρωμένων κυκλωμάτων που ενσωματώνουν διάφορους πυρήνες (cores) όπως επεξεργαστές, μνήμες, επεξεργαστές ψηφιακού σήματος, αναλογικά κυκλώματα, συνδεδεμένα μεταξύ τους με κάποια λογική (user defined logic). Αυτό οφείλεται κυρίως σε δύο παράγοντες: α) στον πολύ μεγάλο όγκο δεδομένων που πρέπει να αποσταλούν στο ολοκληρωμένο και β) στο ότι είναι δύσκολη η πρόσβαση στους πυρήνες που είναι τοποθετημένοι «βαθιά» στο ολοκληρωμένο.

Ο μεγάλος όγκος δεδομένων καθυστερεί σημαντικά τη διαδικασία δοκιμής καθώς αυτή πρέπει να διακόπτεται ώστε ο εξωτερικός ελεγκτής να μεταφέρει δεδομένα στην

κεντρική του μνήμη από κάποια σημαντικά βραδύτερη περιφερειακή μνήμη όπως είναι ένας σκληρός δίσκος. Επίσης, ένα σύστημα σε πυρίτιο (system-on-chip – SoC) που περιέχει πυρήνες μνήμης, ψηφιακά αλλά και αναλογικά κυκλώματα, πρέπει να τεθεί υπό δοκιμή από τρία διαφορετικά συστήματα υποστήριξης δοκιμής, γεγονός που επιμηκύνει το συνολικό χρόνο δοκιμής. Τέλος, δεδομένου ότι απαιτείται η δοκιμή κυκλωμάτων τεχνολογίας αιχμής σε συχνότητα ίση με τη συχνότητα κανονικής λειτουργίας του υπό δοκιμή κυκλώματος (at-speed testing), έτσι ώστε να εντοπιστούν πιθανά σφάλματα καθυστέρησης διάδοσης σήματος, η χρήση εξωτερικών συστημάτων υποστήριξης δεν μπορεί να προσφέρει πάντα τις απαραίτητες λύσεις.

Στα παραπάνω μειονεκτήματα πρέπει να προστεθεί και το κόστος του εξωτερικού συστήματος υποστήριξης δοκιμής, το οποίο εξαρτάται άμεσα από το πλήθος των ειδικών ακίδων εισόδου/εξόδου που απαιτούνται για τα κυκλώματα που πρόκειται να δοκιμαστούν. Έτσι, για να διατηρείται το κόστος δοκιμής σε χαμηλά επίπεδα, πρέπει να διαμοιράζεται το κόστος απόκτησης του εξωτερικού συστήματος υποστήριξης δοκιμής σε όσο το δυνατόν μεγαλύτερο αριθμό κυκλωμάτων, που σημαίνει ότι ο χρόνος περάτωσης της δοκιμής πρέπει να είναι ο μικρότερος δυνατός.

2. ΕΝ-ΛΕΙΤΟΥΡΓΙΑ ΔΟΚΙΜΗ ΚΑΙ ΑΥΤΟΕΛΕΓΧΟΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

2.1 Εισαγωγή

Τα συστήματα υψηλής αξιοπιστίας στηρίζονται στην *ανίχνευση* και τον *εντοπισμό* των σφαλμάτων. Με τον όρο *ανίχνευση* του σφάλματος αναφερόμαστε στη δυνατότητα των συστημάτων αυτών να αναγνωρίζουν την ύπαρξη κάποιου λάθους στις αποκρίσεις των εξόδων τους. *Εντοπισμός* του σφάλματος είναι αντίστοιχα η διαδικασία εκείνη που αποσκοπεί στο να μας πληροφορεί πού βρίσκεται το εσφαλμένο στοιχείο. Ένας ακριβής εντοπισμός μπορεί να μας υποδεικνύει είτε το στοιχείο που πρέπει να αντικατασταθεί είτε τη λειτουργική μονάδα ή υπομονάδα στην οποία υπάρχει το εσφαλμένο στοιχείο [24].

Σε πολλές περιπτώσεις η δοκιμή ενός κυκλώματος θα πρέπει να γίνεται σε ολόκληρη τη διάρκεια της ωφέλιμης ζωής του. Η διαδικασία αυτή μπορεί να γίνεται είτε ταυτόχρονα με τη λειτουργία του κυκλώματος (*concurrent on-line testing*) είτε περιοδικά οπότε απαιτείται η πρότερη διακοπή της κανονικής λειτουργίας του (*periodic on-line testing*).

Το χρονικό διάστημα που απαιτείται για την ανίχνευση ενός σφάλματος που εκδηλώνεται με λάθος είναι ιδιαίτερα κρίσιμο στα συστήματα υψηλής αξιοπιστίας, επομένως αυτό το χρονικό διάστημα θα πρέπει να είναι όσο το δυνατόν μικρότερο. Οι τυχόν συνέπειες του σφάλματος θα εκδηλωθούν μέσα σε αυτό το χρονικό διάστημα. Μια γρήγορη ανίχνευση μπορεί να οδηγήσει σε μία πετυχημένη ανάκαμψη από το λάθος. Στην περίπτωση που το σύστημα υψηλής αξιοπιστίας χρησιμοποιείται σε εφαρμογή πραγματικού χρόνου υπάρχει η απαίτηση για ακαριαία ανίχνευση του σφάλματος που έχει εκδηλωθεί με ένα λάθος. Σε τέτοια συστήματα, εκτός από την απαίτηση για ακαριαία ανίχνευση, θα πρέπει επίσης και ο χρόνος εντοπισμού του σφάλματος να είναι όσο το δυνατόν μικρότερος. Από αυτό εξαρτάται ο χρόνος που θα απαιτηθεί για την επιδιόρθωση του συστήματος και κατ' επέκταση η διαθεσιμότητα του συστήματος.

2.2 Η ανάγκη συστημάτων υψηλής αξιοπιστίας

Ένα από τα σημαντικότερα προβλήματα που αντιμετώπιζαν τα πρώτα υπολογιστικά συστήματα ήταν αυτό της αξιοπιστίας. Από τα τέλη της δεκαετίας του 1940 είχε αρχίσει η έρευνα για το σχεδιασμό αυτοελεγχόμενων κυκλωμάτων. Οι πρώτες αυτοελεγχόμενες λειτουργικές μονάδες που κατασκευάστηκαν ήταν αθροιστές και απαριθμητές και από τους πρώτους υπολογιστές που χρησιμοποίησαν αυτοελεγχόμενα κυκλώματα ήταν οι RAYDAC [25], UNIVAC [26], και IBM 650 [27] και αργότερα οι ESS-1, και ESS-2 της BELL, ο UDET 7116 [28], [29] και οι 360 και 370 της IBM χρησιμοποίησαν ολικά αυτοελεγχόμενα κυκλώματα.

Η πρώτη μεγάλη βελτίωση στην αξιοπιστία των υπολογιστών συντελέστηκε με τη χρήση των ολοκληρωμένων κυκλωμάτων. Εξαιτίας όμως της αύξησης της πολυπλοκότητας και της μείωσης του κόστους κατασκευής, το ενδιαφέρον για αυτοελεγχόμενα συστήματα συνεχίστηκε και διατηρείται έως σήμερα με τα ολικά αυτοελεγχόμενα κυκλώματα, τα οποία αποτελούν και τη σημαντικότερη κατηγορία αυτοελεγχόμενων κυκλωμάτων. Τα

αυτοελεγχόμενα κυκλώματα χρησιμοποιούνται στην πλειονότητα των συστημάτων υψηλής αξιοπιστίας εξαιτίας των πλεονεκτημάτων τους αλλά και λόγω της ραγδαίας εξέλιξης της τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων. Σήμερα, είναι πλέον εφικτή η υλοποίηση ολικά αυτοελεγχόμενων κυκλωμάτων για ένα πλήθος από εφαρμογές, χάρις στις δυνατότητες ενσωμάτωσής τους σε ολοκληρωμένα κυκλώματα.

Πρώτοι οι W.Carter και P.Schneider, το 1968 [30] παρουσίασαν τη θεωρητική θεμελίωση των αυτοελεγχόμενων κυκλωμάτων. Την θεμελίωση αυτή ολοκλήρωσε ο Anderson το 1971 [31]. Ο J.Wakerly στην συνέχεια [32] συνόψισε την πρότερη έρευνα και περιέγραψε τις δυνατότητες εφαρμογής των ολικά αυτοελεγχόμενων κυκλωμάτων. Οι δημοσιεύσεις αυτές περιλαμβάνουν εργασίες προς την κατεύθυνση ενός γενικού σχεδιασμού ολικά αυτοελεγχόμενων κυκλωμάτων [33], [34], [35], για τη σχεδίαση ολικά αυτοελεγχόμενων συνδυαστικών κυκλωμάτων [36], [37] και τη σχεδίαση ολικά αυτοελεγχόμενων ακολουθιακών κυκλωμάτων [38], [39], [40].

Μεγάλο ενδιαφέρον παρουσιάζει η σχεδίαση μιας ειδικής κατηγορίας ολικά αυτοελεγχόμενων κυκλωμάτων, των ολικά αυτοελεγχόμενων ελεγκτών. Τα κυκλώματα αυτά χρησιμοποιούνται για να διαπιστώνουν εάν η λέξη που δέχονται στην είσοδό τους ανήκει ή όχι σε συγκεκριμένο κώδικα. Στον τομέα αυτό έχουν γίνει εργασίες για κώδικες απλής ισοτιμίας [30], [31], [33], για κώδικες διπλού συρμού (two-rail codes) [30], [31], για διαχωρίσιμους κώδικες [41], για αριθμητικούς κώδικες χαμηλού κόστους [42], [43], [44], [45], για κώδικες m-από-n [46], [47], για κώδικες Berger [48], [49], για κώδικες Borden [50], [51], [52], [53], για κώδικες χωρίς διάταξη [54] και τέλος για ελεγκτές περιοδικών σημάτων [55]. Προσπάθεια έχει γίνει και για την ανεύρεση ενός ολικά αυτοελεγχόμενου ενδείκτη λάθους [56].

Τα τελευταία χρόνια το ερευνητικό ενδιαφέρον στρέφεται στη δυνατότητα χρήσης ολικά αυτοελεγχόμενων κυκλωμάτων ενσωματωμένων στα σύγχρονα ολοκληρωμένα κυκλώματα. Ιδιαίτερο ενδιαφέρων παρουσιάζουν οι σχεδιαστικοί κανόνες σύμφωνα με τους οποίους πρέπει να σχεδιάζεται το ολικά αυτοελεγχόμενο κύκλωμα, έτσι ώστε να διατηρεί τις ιδιότητές του σε σχέση με ένα ρεαλιστικό μοντέλο σφαλμάτων.

Εργασίες που σχετίζονται με το σχεδιασμό αυτοελεγχόμενων κυκλωμάτων είναι εκείνες που αναφέρονται σε αυτοελεγχόμενες μονάδες ελέγχου [35], [57], [58], [59], [60], [61], [62], [63], [64], [65], [66], [67], σε αυτοελεγχόμενους mini και micro υπολογιστές [32], [68], [69], [70] και σε αυτοελεγχόμενους υπολογιστές αεροδιαστημικών εφαρμογών [71].

Στα συστήματα όπου απαιτείται αυξημένη αξιοπιστία, η σχεδίαση με ανοχή στα σφάλματα εξαρτάται άμεσα από την εφαρμογή. Στη συνέχεια περιγράφονται συνοπτικά τα διάφορα πεδία εφαρμογών που κάνουν χρήση των κυκλωμάτων με ανοχή στα σφάλματα. Οι εφαρμογές αυτές συνοψίζονται επίσης στον πίνακα 2.1.

- *Συστήματα μεγάλης διάρκειας ζωής.* Σε μερικά συστήματα η επισκευή/αντικατάσταση είναι είτε πολύ δύσκολη είτε πολύ δαπανηρή όπως για παράδειγμα σε συσκευές που βρίσκονται στο διάστημα ή εμφυτευμένες στο εσωτερικό του ανθρώπινου οργανισμού. Στις περιπτώσεις αυτές χρησιμοποιούνται τεχνικές πλεονασμού για να μεγιστοποιήσουν τον μέσο χρόνο μεταξύ των αστοχιών (MTTF) ώστε να έχουν όσο το δυνατόν μεγαλύτερη διάρκεια ζωής χωρίς την ανάγκη επισκευής. Τα συστήματα αυτά περιέχουν εφεδρικά κυκλώματα και σε περίπτωση αστοχίας κάποιας μονάδας, γίνεται αντικατάστασή της από εφεδρική.
- *Αξιόπιστα συστήματα πραγματικού χρόνου.* Μερικά συστήματα πρέπει να λειτουργούν αδιάλειπτα και αν κάποια μονάδα αστοχήσει (παρουσιάσει βλάβη) θα πρέπει να αποκριθούν χωρίς καμία καθυστέρηση. Σε τέτοια συστήματα πραγματικού χρόνου όπως στα ηλεκτρονικά βοηθήματα ενός αεροσκάφους, δεν

είναι δυνατόν να διατεθεί χρόνος για διάγνωση και εντοπισμό βλάβης. Στα συστήματα αυτά τα σφάλματα καλύπτονται (mask faults) χρησιμοποιώντας π.χ. τεχνικές τριπλασιασμού (TMR -Triple Modular Redundancy). Σε κάποια μελλοντική χρονική στιγμή που θα υπάρξει η δυνατότητα (πχ. μετά την προσγείωση του αεροσκάφους) η ελαττωματική μονάδα μπορεί να αντικατασταθεί με ασφάλεια προκειμένου να αποκατασταθεί η πλήρης λειτουργία του συστήματος.

- *Συστήματα υψηλής διαθεσιμότητας.* Σε μερικά συστήματα ο χρόνος που παραμένει εκτός λειτουργίας μια συσκευή (πχ. ένας server σε ηλεκτρονικό κατάστημα) είναι εξαιρετικά δαπανηρός (οικονομική απώλεια σε επιχείρηση ή απώλεια πελατών). Παραδείγματα αποτελούν τα συστήματα κρατήσεων, οι αγοραπωλησίες μετοχών στο χρηματιστήριο, οι τηλεφωνικές συνδιαλέξεις κλπ. Ο στόχος των συστημάτων αυτών είναι η υψηλή διαθεσιμότητα και για την επίτευξη του πρέπει να αποφευχθεί κάθε πιθανή αιτία διακοπής της λειτουργίας του. Κατά την σχεδίαση των συστημάτων αυτών χρησιμοποιούνται ζεύγη αυτοελεγχόμενων κυκλωμάτων σε όλες τις επιμέρους βαθμίδες, ακόμη και στην μονάδα τροφοδοσίας καθώς και στις συνδέσεις. Αν κάποιο από τα αυτοελεγχόμενα κυκλώματα αποτύχει, γίνεται αυτόματα μεταγωγή στο εφεδρικό και αποστέλλεται μήνυμα στο διαχειριστή ή τον συντηρητή. Στη περίπτωση αυτή η απομόνωση των σφαλμάτων (fault isolation) είναι ιδιαίτερης σημασίας όσον αφορά στον γρήγορο εντοπισμό των βλαβών και την επιδιόρθωση.
- *Συστήματα υψηλής ακεραιότητας.* Σε κάποια συστήματα η απώλεια (π.χ. σε τραπεζικές συναλλαγές) ή η αλλοίωση των δεδομένων είναι εξαιρετικά δαπανηρή. Στις περιπτώσεις αυτές είναι θεμελιώδες να εξασφαλιστεί η ακεραιότητα των δεδομένων. Στα συστήματα αυτά τίθενται σημεία ελέγχου (check pointing) πριν από κάποια ενέργεια, έτσι ώστε τα συστήματα να μπορούν επιστρέψουν σε αυτά στην περίπτωση σφαλμάτων ή λάθους. Συχνά χρησιμοποιείται χρονικός πλεονασμός, με πολλαπλές επαναλήψεις μιας ενέργειας, πριν καταχωρηθεί στη βάση δεδομένων. Με τη χρήση κωδικών ανίχνευσης και διόρθωσης λαθών καθώς και με χρήση αντιγράφων ασφαλείας, προστατεύονται και τα δεδομένα στις βάσεις δεδομένων. Συνήθως υπάρχει η απαίτηση στα συστήματα υψηλής ακεραιότητας να είναι ταυτόχρονα και υψηλής διαθεσιμότητας.
- *Καταναλωτικές συσκευές χαμηλού κόστους.* Στις προηγούμενες εφαρμογές το μεγαλύτερο βάρος δινόταν στην αξιοπιστία και, ως εκ τούτου, το αυξημένο κόστος ήταν αναμενόμενο και αποδεκτό. Το ζητούμενο όμως στις περισσότερες εφαρμογές είναι η διατήρηση του κόστους σε όσο το δυνατόν πιο χαμηλό επίπεδο, με τον ρυθμό εμφάνισης αστοχίας να κυμαίνεται μέσα σε λογικά επίπεδα. Για παράδειγμα, οι χρήστες των ηλεκτρονικών υπολογιστών δεν θα επιθυμούσαν να πληρώσουν το διπλάσιο κόστος για να αποκτήσουν έναν αξιόπιστο υπολογιστή με ενσωματωμένη ανοχή στα σφάλματα. Ο κανόνας είναι στις συσκευές ευρείας κατανάλωσης να μη χρησιμοποιείται κανενός είδους ανοχή στα σφάλματα. Αυτό όμως έχει πλέον αρχίσει να αλλάζει καθώς η τεχνολογία κλιμακώνεται και ο ρυθμός εμφάνισης αστοχίας αυξάνει. Για παράδειγμα οι προσωπικοί υπολογιστές έχουν αρχίσει να χρησιμοποιούν κυκλώματα ανίχνευσης και διόρθωσης λαθών στις μνήμες που περιέχουν, διότι με τον τρόπο αυτό αυξάνουν σημαντικά την αξιοπιστία της μνήμης με μικρό κόστος [72]. Άλλη μια τεχνική χαμηλού κόστους που χρησιμοποιείται συχνά είναι η ενσωμάτωση επιπλέον γραμμών ισότητας (parity line) σε διαύλους μεταφοράς δεδομένων. Με την εξέλιξη της τεχνολογίας, ο ρυθμός εμφάνισης ήπιων λαθών (soft error) αυξάνει διότι τα κυκλώματα γίνονται πιο επιρρεπή στην ακτινοβολία

και γενικότερα σε περιβαλλοντικούς παράγοντες. Αν αυτό συνεχιστεί με τον ίδιο ρυθμό, τότε οι συσκευές θα εμφανίζουν συχνότερα αστοχίες με αποτέλεσμα να υπάρχει απαίτηση στο μέλλον για κάποιου είδους ανοχή στα σφάλματα ακόμη και στις συσκευές ευρείας κατανάλωσης.

Πίνακας 2.1. Εφαρμογές συστημάτων με ανοχή σε σφάλματα (Fault Tolerance) [72]

Τύπος Συστήματος	Προβλήματα	Στόχος	Παραδείγματα	Τεχνικές
Μεγάλης διάρκειας ζωής	Δύσκολη ή δαπανηρή επισκευή	Μεγιστοποίηση του MTTF (Mean Time To Failure)	Δορυφόροι, διαστημόπλοια, βιοιατρικά εμφυτεύματα	Πλεονασμός (αυτόματη αντικατάσταση)
Αξιόπιστα Συστήματα Πραγματικού χρόνου	Η εμφάνιση σφάλματος ή καθυστέρησης είναι καταστροφική	Κάλυψη (masking) σφαλμάτων	Αεροσκάφη, ραντάρ, ηλεκτρονικά αερόσακων, πυρηνικά εργοστάσια	TMR (Triple Modular Redundancy)
Συστήματα υψηλής διαθεσιμότητας	Χρόνος εκτός λειτουργίας με πολύ υψηλό κόστος	Υψηλή διαθεσιμότητα	Κρατήσεις εισιτηρίων, χρηματιστήριο, τηλεφωνικά κέντρα	Απομόνωση σφαλμάτων, αυτοελεγχόμενα συστήματα
Συστήματα υψηλής ακεραιότητας	Απώλεια ή αλλοίωση δεδομένων με πολύ υψηλό κόστος	Υψηλή ακεραιότητα δεδομένων	Τραπεζικές συναλλαγές, βάσεις δεδομένων	Πλεονασμός σε αποθηκευτικά μέσα, ECC (Error Correcting Code)
Καταναλωτικές συσκευές, gadgets, συστήματα χαμηλού κόστους	Ένα λογικό επίπεδο αστοχιών θεωρείται αποδεκτό	Επίτευξη του επιθυμητού ρυθμού σφαλμάτων με χαμηλό κόστος	PC, καταναλωτικά ηλεκτρονικά	Συνήθως καμία, ECC στις μνήμες, τεχνικές ισοτιμίας

Για κάθε εφαρμογή που απαιτεί ανοχή σε σφάλματα χρειάζεται να χρησιμοποιηθεί η κατάλληλη σχεδίαση ανάλογα με το είδος των σφαλμάτων αυτών. Για παράδειγμα χρειάζεται άλλου είδους σχεδίαση όταν απαιτείται ανοχή σε ένα μόνιμο σφάλμα και διαφορετική σχεδίαση για ένα προσωρινό σφάλμα. Η σχεδίαση διαφοροποιείται ακόμη περισσότερο όταν λάβουμε υπόψιν και τις απαιτήσεις για επιφάνεια πυριτίου, κατανάλωση και ταχύτητα.

2.3 Περιοδικά και ταυτόχρονα αυτοελεγχόμενα κυκλώματα

Η ανίχνευση σφαλμάτων σε ένα κύκλωμα μπορεί να γίνεται είτε κατά τρόπο **περιοδικό** είτε **ταυτόχρονα** με τη λειτουργία του συστήματος. Στη περίπτωση της περιοδικής δοκιμής έχουμε διακοπή της κανονικής λειτουργίας του συστήματος, προκειμένου να εκτελεστούν κατάλληλα διαγνωστικά προγράμματα ανίχνευσης και εντοπισμού σφαλμάτων. Δυστυχώς η περιοδική δοκιμή των σφαλμάτων συνοδεύεται από προβλήματα όπως:

- Μείωση της απόδοσης λόγω διακοπής της κανονικής λειτουργίας του συστήματος για τη διάγνωση των σφαλμάτων.
- Αδυναμία διασφάλισης ορθότητας των αποτελεσμάτων που λαμβάνουμε μεταξύ δύο διαδοχικών δοκιμών. Μετά από μια επιτυχή δοκιμή και μέχρι να γίνει η επόμενη δεν μπορούμε να διασφαλίσουμε την ορθότητα των αποτελεσμάτων.
- Μη αποτελεσματική αντιμετώπιση των μεταβατικών σφαλμάτων για ευνόητους λόγους.

- Αν έχουμε ανίχνευση σφάλματος σε κάποια από τις περιοδικές δοκιμές τότε όλα τα αποτελέσματα που έχουμε πάρει από την προηγούμενη επιτυχή μέχρι τώρα δοκιμή θεωρούνται μη έγκυρα και πρέπει να υπολογιστούν εκ νέου.

Συνήθως, η πλειοψηφία των συστημάτων υψηλής αξιοπιστίας είναι συστήματα στα οποία δεν υπάρχει δυνατότητα διακοπής της λειτουργίας τους, οπότε κατά κανόνα απαιτείται ο άμεσος εντοπισμός του σφάλματος. Σε αυτά τα συστήματα, λοιπόν, είναι ακατάλληλη η περιοδική δοκιμή για σφάλματα και επομένως απαιτείται η διάγνωση των σφαλμάτων στο σύστημα να γίνεται ταυτόχρονα με την κανονική λειτουργία του.

Για την **ταυτόχρονη** διάγνωση σφαλμάτων που οφείλονται στην ύπαρξη κατασκευαστικών ελαττωμάτων (σε επίπεδο υλικού) σε συστήματα υψηλής αξιοπιστίας, απαιτείται η χρήση πλεονασμού τόσο σε υλικό όσο και σε λογισμικό/δεδομένα. Οι τεχνικές οι οποίες χρησιμοποιούνται στην περίπτωση αυτή για την ανίχνευση ή και την διάγνωση σφαλμάτων παρουσιάζουν τα εξής μειονεκτήματα:

- α) Η διάγνωση – ανίχνευση επιτυγχάνεται σε επίπεδο συστήματος γεγονός που δυσχεραίνει τον ακριβή εντοπισμό του εσφαλμένου εξαρτήματος και επομένως μειώνει την διαθεσιμότητα του κυκλώματος μέχρι την επισκευή του και
- β) Τα κυκλώματα διάγνωσης ή ανίχνευσης σφαλμάτων δεν αυτοελέγχονται, με αποτέλεσμα τυχόν σφάλμα σε αυτό το κύκλωμα να οδηγεί ενδεχόμενα σε εσφαλμένη διάγνωση ή σε αδυναμία εντοπισμού των σφαλμάτων στο συνολικό σύστημα. Στην περίπτωση αυτή, το σύστημα μπορεί να εμφανίζει λάθος αποκρίσεις χωρίς να το γνωρίζουμε, με αποτέλεσμα τη μείωση της αξιοπιστίας του.

Για να ξεπεραστούν τα ανωτέρω μειονεκτήματα προτείνεται η λύση της χρήσης Ολικά ΑυτοΕλεγχόμενων κυκλωμάτων (Totally Self Checking – TSC circuits). Τα ολικά αυτοελεγχόμενα κυκλώματα μπορούν να χρησιμοποιηθούν ανεξάρτητα από την τεχνική αύξησης της αξιοπιστίας σε όλα τα συστήματα υψηλής αξιοπιστίας και η χρήση τους παρουσιάζει τα ακόλουθα σημαντικά πλεονεκτήματα:

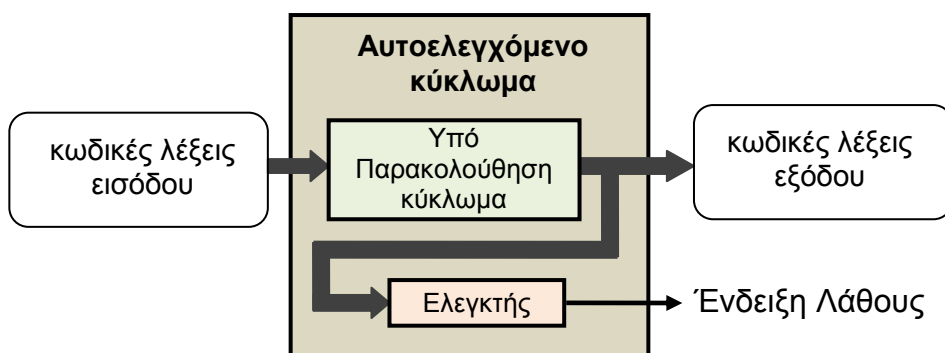
- α) Η διάγνωση είναι ακαριαία, ακόμη και σε επίπεδο χαμηλότερο από αυτό του συστήματος.
- β) Παρέχουν τη δυνατότητα να ανιχνευθούν και τα μεταβατικά σφάλματα αμέσως μόλις αυτά εκδηλωθούν με την εμφάνιση ενός λάθους.
- γ) Διαθέτουν κυκλώματα διάγνωσης σφαλμάτων που στην πλειοψηφία τους είναι επίσης ολικά αυτοελεγχόμενα (ολικά αυτοελεγχόμενοι ελεγκτές).
- δ) Δεν απαιτούν διαγνωστικά προγράμματα ή τα απαιτούμενα προγράμματα είναι σημαντικά απλοποιημένα.

Η διάγνωση σφαλμάτων σε χαμηλό επίπεδο (χαμηλότερο του επιπέδου συστήματος) επιταχύνει την επισκευή του συστήματος. Η γνώση της περιοχής στην οποία βρίσκεται το σφάλμα διευκολύνει τον εντοπισμό του εξαρτήματος που πρέπει να επισκευαστεί και οδηγεί με τη σειρά του σε μείωση του απαιτούμενου χρόνου και κόστους. Η ακαριαία διάγνωση οδηγεί σε μηδενισμό του μέσου χρόνου ανίχνευσης και σε περιορισμό των συνεπειών του σφάλματος. Συνεπώς, η χρήση των Ολικά Αυτοελεγχόμενων κυκλωμάτων οδηγεί σε σημαντική αύξηση της διαθεσιμότητας και της αξιοπιστίας ενός κυκλώματος. Τα πλεονεκτήματα αυτά καθιστούν τα Ολικά ΑυτοΕλεγχόμενα κυκλώματα απαραίτητα στην μεγάλη πλειοψηφία των συστημάτων υψηλής αξιοπιστίας.

2.4 Ολικά αυτοελεγχόμενα κυκλώματα

Τα αυτοελεγχόμενα κυκλώματα (**Self-Checking Circuits**) (**SCC**) [73], τα οποία μπορούν να ανιχνεύουν τυχόν λάθη που εμφανίζονται στο εσωτερικό τους ή στις εισόδους τους και λειτουργούν ταυτόχρονα (on line) με το υπόλοιπο σύστημα, αποτελούν την πλέον ενδεδειγμένη λύση στις σύγχρονες τεχνολογίες, όπου οι εφαρμογές απαιτούν ολοένα και μεγαλύτερη αξιοπιστία.

Ένα αυτοελεγχόμενο κύκλωμα, όπως αυτό του σχήματος 2.1, αποτελείται από τον ελεγκτή (checker) και από το υπό παρακολούθηση κύκλωμα (Circuit Under Monitoring) η έξοδος του οποίου παρακολουθείται από τον ελεγκτή. Το υπό παρακολούθηση κύκλωμα σχεδιάζεται με τέτοιον τρόπο ώστε όταν λειτουργεί υπό κανονικές συνθήκες (fault free case) να παρέχει στην έξοδό του κωδικές λέξεις (codewords) οι οποίες ανήκουν σε ένα γνωστό και συγκεκριμένο σύνολο κωδικών λέξεων ενός κώδικα με δυνατότητα ανίχνευσης λάθους (error detecting code). Αν η έξοδος του κυκλώματος δώσει κωδική λέξη που ανήκει στο σύνολο, το κύκλωμα θεωρείται ότι λειτουργεί κανονικά. Στην περίπτωση που η κωδική λέξη δεν ανήκει στο σύνολο, έχουμε λάθος το οποίο ανιχνεύεται από τον ελεγκτή. Ο ελεγκτής σε αυτή την περίπτωση παράγει ένα σήμα ένδειξης λάθους.



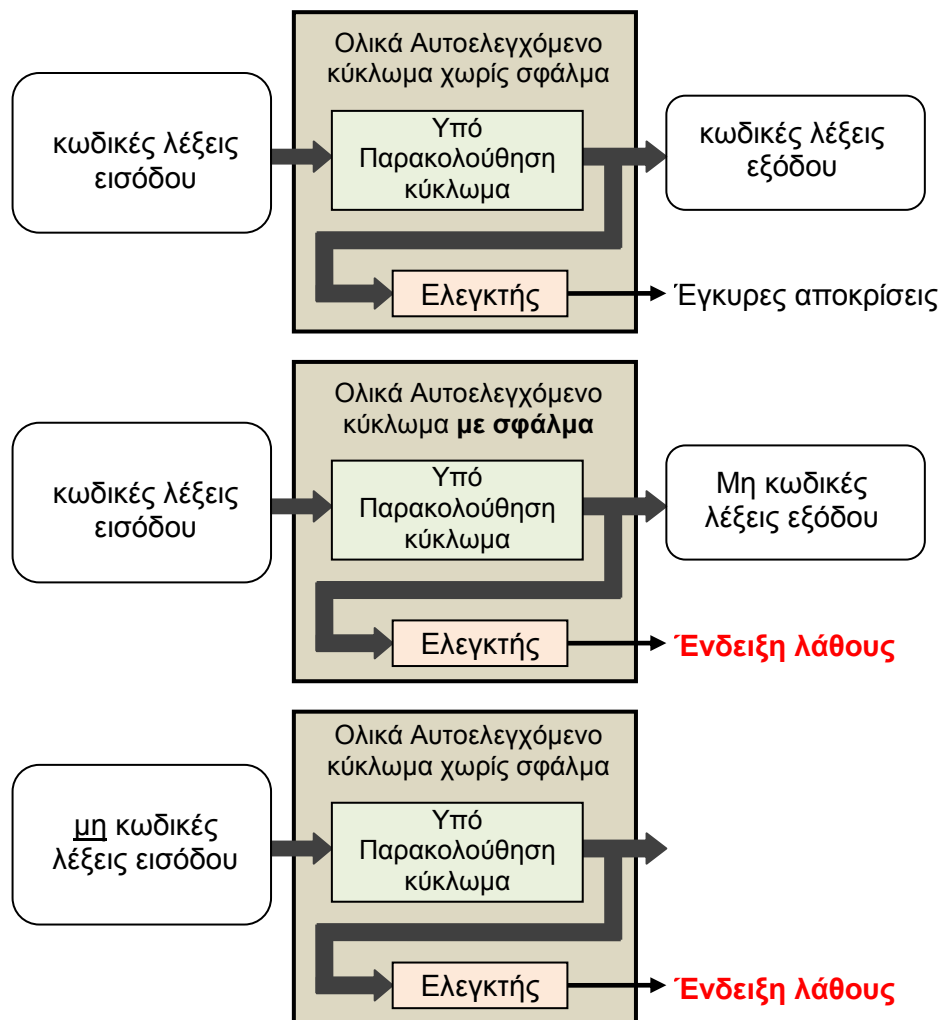
Σχήμα 2.1. Αυτοελεγχόμενο κύκλωμα.

Στην περίπτωση του ολικά αυτοελεγχόμενου κυκλώματος θα πρέπει να ανιχνεύονται και τα εσωτερικά σφάλματα του ίδιου του ελεγκτή και στην περίπτωση που συμβεί κάποιο σφάλμα τότε ο ελεγκτής θα πρέπει είτε να παρέχει μια ένδειξη λάθους, είτε να συνεχίσει να ελέγχει κανονικά το κύκλωμα. Ένα τέτοιο ολικά αυτοελεγχόμενο κύκλωμα, στο οποίο οι εισοδοί και οι εξοδοί του είναι κωδικοποιημένες σε κάποιο κώδικα ανίχνευσης λαθών, φαίνεται στο σχήμα 2.2. Στην περίπτωση που στο ολικά αυτοελεγχόμενο κύκλωμα δεν υπάρχει σφάλμα και στις εισόδους του εμφανιστεί λέξη που ανήκει στον κώδικα εισόδου, τότε στις εξόδους του παράγεται η αντίστοιχη κωδική λέξη του κώδικα εξόδου (έγκυρη κωδική λέξη).

Στη συνέχεια δίνονται οι ορισμοί δύο ιδιοτήτων, αυτής του *ασφαλούς από σφάλματα* (*fault secure*) κυκλώματος και αυτής του *αυτοδοκιμαζόμενου* (*self testing*) κυκλώματος.

Ορισμός : Έστω ένα κύκλωμα G και ένα σύνολο πιθανών σφαλμάτων F σε αυτό. Το κύκλωμα G καλείται ασφαλές ως προς τα σφάλματα f που ανήκουν στο F (**Fault Secure FS**), αν υπό την παρουσία ενός σφάλματος $f \in F$, το κύκλωμα δεν παράγει ποτέ μια λανθασμένη κωδική λέξη στις εξόδους του για όλες τις κωδικές λέξεις που εφαρμόζονται στις εισόδους του.

Η ιδιότητα της ασφάλειας από σφάλματα (FS) μας εγγυάται ότι σε περίπτωση ύπαρξης σφάλματος, η έξοδος του ολικά αυτοελεγχόμενου κυκλώματος θα είναι είτε η σωστή (σαν να μην υπήρχε σφάλμα) είτε κάποια μη κωδική λέξη (βλέπε σχήμα 2.3). Και στις δύο περιπτώσεις το σύστημα λειτουργεί με ασφάλεια και αυτό γιατί στην πρώτη περίπτωση το σφάλμα δεν οδηγεί σε λάθος ενώ στη δεύτερη το λάθος είναι ανιχνεύσιμο.

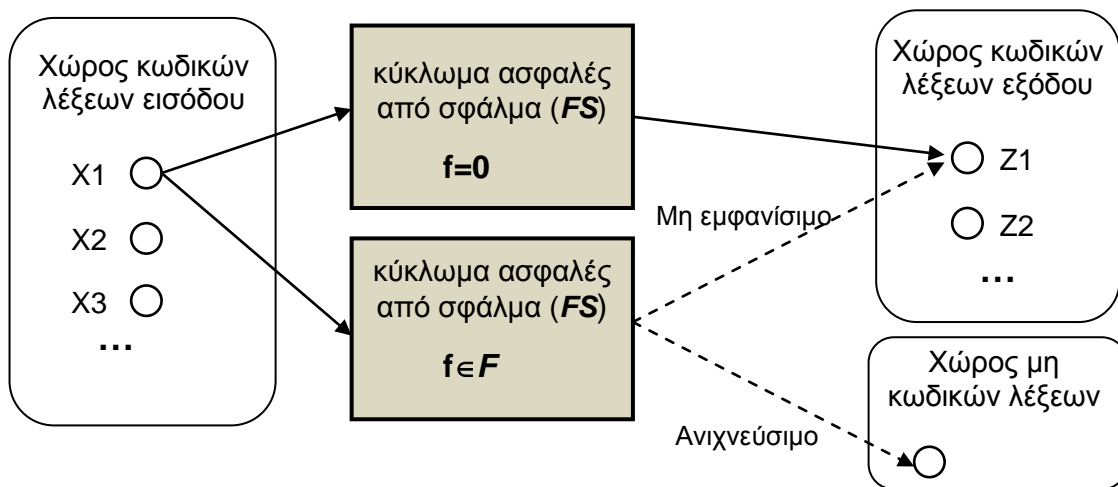


Σχήμα 2.2. Ανίχνευση λάθους σε ολικά αυτοελεγχόμενο κύκλωμα.

Η σχεδίαση ενός κυκλώματος κατά τρόπο τέτοιο ώστε να πληροί την ιδιότητα της ασφάλειας από σφάλματα προϋποθέτει τη θεώρηση συγκεκριμένου συνόλου σφαλμάτων. Προφανώς το σύνολο σφαλμάτων που θα θεωρήσουμε εξαρτάται τόσο από τη συγκεκριμένη τεχνολογία στην οποία θα υλοποιηθεί το ολικά αυτοελεγχόμενο κύκλωμα, όσο και από το βαθμό στον οποίο απαιτείται να είναι αξιόπιστο αλλά και από τις δυνατότητες που έχουμε για επιτυχή σχεδίαση του.

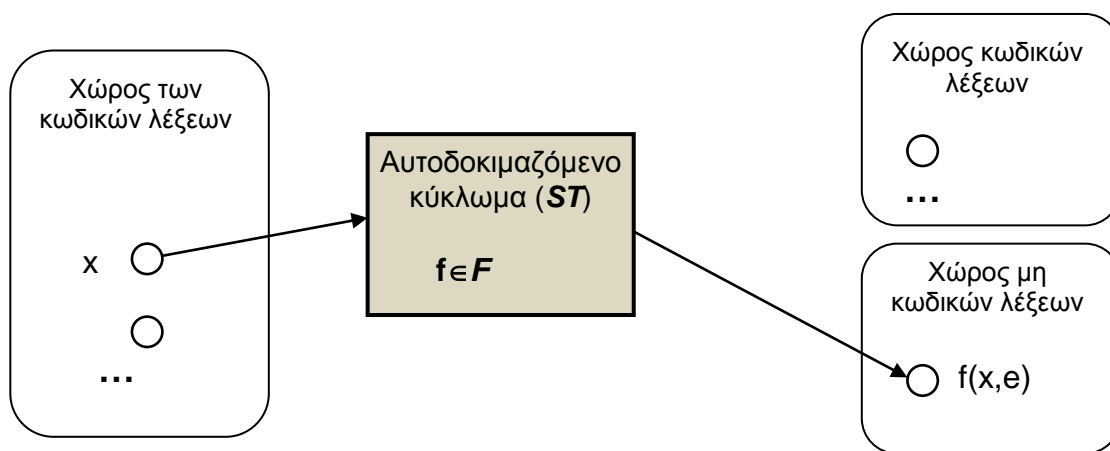
Ορισμός : Έστω ένα κύκλωμα G και ένα σύνολο πιθανών σφαλμάτων F σε αυτό. Το κύκλωμα G καλείται **αυτοδοκιμαζόμενο (Self Testing – ST)** ως προς το F , εάν για κάθε σφάλμα $f \in F$ το κύκλωμα παράγει μία μη κωδική λέξη στις εξόδους για τουλάχιστον μία κωδική λέξη στις εισόδους του (με άλλα λόγια υπάρχει τουλάχιστον μία κωδική λέξη η

οποία, όταν εφαρμοστεί στην είσοδο του κυκλώματος, στην έξοδο θα παραχθεί μη κωδική λέξη).



Σχήμα 2.3. Η ιδιότητα της ασφάλειας από σφάλματα.

Η ιδιότητα της αυτοδοκιμής (ST) εξασφαλίζει ότι, για τη δοκιμή ενός ολικά αυτοελεγχόμενου κυκλώματος, μπορεί κανείς να αρκестεί μόνο στη χρήση κωδικών λέξεων, όπως φαίνεται στο σχήμα 2.4.



Σχήμα 2.4. Η ιδιότητα της αυτοδοκιμής.

Ορισμός : Τα ολικά αυτοελεγχόμενα (**Totally Self-Checking – TSC**) κυκλώματα είναι τα κυκλώματα εκείνα που χαρακτηρίζονται από τις ακόλουθες δύο ιδιότητες:

- α) την ιδιότητα της ασφάλειας από σφάλματα και
- β) την ιδιότητα της αυτοδοκιμής.

Με την ιδιότητα της ασφάλειας από σφάλματα εξασφαλίζεται βραχυπρόθεσμα η σωστή λειτουργία του ολικά αυτοελεγχόμενου κυκλώματος. Στην περίπτωση όμως που ένα σφάλμα δεν ανιχνευθεί έγκαιρα, τότε αυτό μπορεί να οδηγήσει σε συνδυασμό με επόμενο σφάλμα, σε απώλεια των ιδιοτήτων του ολικά αυτοελεγχόμενου κυκλώματος. Αυτό οφείλεται στο ότι ο συνδυασμός των σφαλμάτων αποτελεί με τη σειρά του ένα νέο σφάλμα που πιθανότατα δεν ανήκει στο σύνολο των σφαλμάτων για τα οποία το ολικά

αυτοελεγχόμενο κύκλωμα πληροί τις ιδιότητες της ασφάλειας από σφάλματα και της αυτοδοκιμής.

Για να συνεχίσει το κύκλωμά μας να είναι αυτοελεγχόμενο πρέπει τα λάθη να ανιχνεύονται έγκαιρα. Δηλαδή, πρέπει σε συγκεκριμένο χρονικό διάστημα να δέχεται στην είσοδό του το υποσύνολο εκείνων των κωδικών λέξεων εισόδου που μπορούν να εγγυηθούν την ανίχνευση τυχόν σφάλματος. Το υποσύνολο αυτό των κωδικών λέξεων το καλούμε σύνολο δοκιμής (test set). Προφανώς, το χρονικό διάστημα μέσα στο οποίο πρέπει να εφαρμοστούν στις εισόδους του ολικά αυτοελεγχόμενου κυκλώματος όλα τα στοιχεία του συνόλου δοκιμής πρέπει να είναι μικρότερο του Μέσου Χρόνου Μεταξύ Αστοχίας (MTTF) για το συγκεκριμένο κύκλωμα.

Όπως έχει ήδη αναφερθεί, για τη σχεδίαση ολικά αυτοελεγχόμενων κυκλωμάτων λαμβάνονται υπ' όψιν συγκεκριμένα σύνολα σφαλμάτων. Το πιο διαδεδομένο μοντέλο είναι το μοντέλο των σφαλμάτων μόνιμης τιμής. Η δημοτικότητά του οφείλεται στην απλότητα που παρουσιάζει στη χρήση του, καθώς επίσης και στο γεγονός ότι πολλές από τις πιθανές κατασκευαστικές ατέλειες ή βλάβες καλύπτονται ικανοποιητικά από το μοντέλο αυτό. Στην περίπτωση που η κατασκευαστική ατέλεια ή βλάβη θέτει μία μόνο γραμμή του κυκλώματος σε κάποια σταθερή κατάσταση τότε αυτή γίνεται αιτία ενός απλού σφάλματος (single fault). Σε διαφορετική περίπτωση έχουμε την εμφάνιση πολλαπλού σφάλματος (multiple fault). Συνήθως στην πράξη το μοντέλο που λαμβάνουμε υπ' όψιν αναφέρεται σε απλά σφάλματα. Μια ιδιαίτερη κατηγορία πολλαπλών σφαλμάτων που χρησιμοποιείται είναι αυτή στην οποία όλες οι γραμμές με σφάλμα παραμένουν μόνιμα στην ίδια τιμή είτε στο λογικό "1" είτε στο λογικό "0". Σε αυτή την περίπτωση έχουμε ομόρροπο σφάλμα.

Όπως έχει δειχθεί στις εργασίες [74], [75] το σύνολο δοκιμής που παράγεται με τη χρήση του μοντέλου σφαλμάτων μόνιμης τιμής έχει τη δυνατότητα να ανιχνεύει σφάλματα σε επίπεδο τρανζίστορ ακόμα και εάν αυτά είναι πολλαπλά. Επίσης στις εργασίες [74] και [76], έχει δειχθεί ότι το μοντέλο των σφαλμάτων μόνιμης τιμής είναι κατάλληλο για να περιγράψει τις συνηθέστερες κατασκευαστικές ατέλειες και βλάβες που εμφανίζονται σε ολοκληρωμένα κυκλώματα μεγάλης κλίμακας ολοκλήρωσης για την τεχνολογία domino-CMOS. Σε αυτή την περίπτωση απαιτείται η τήρηση συγκεκριμένων σχεδιαστικών κανόνων κατά τη σχεδίαση του ολικά αυτοελεγχόμενου κυκλώματος που οδηγούν σε εμφάνιση μόνο των σφαλμάτων που συμπεριφέρονται σαν απλά σφάλματα μόνιμης τιμής [77], [78], [79], [80].

2.5 Ολικά αυτοελεγχόμενοι ελεγκτές

Πριν παρουσιάσουμε τους ολικά αυτοελεγχόμενους ελεγκτές δίνονται οι απαραίτητοι ορισμοί για το κωδικά διαχωρίσιμο (code disjoint) κύκλωμα.

Ορισμός : Ένα κύκλωμα G καλείται *κωδικά διαχωρίσιμο (Code Disjoint CD)* αν, εφόσον είναι ελεύθερο από σφάλματα, ικανοποιεί την ακόλουθη ιδιότητα: Η εφαρμογή κωδικών λέξεων στις εισόδους του συνεπάγεται την εμφάνιση κωδικών λέξεων στις εξόδους του, ενώ η εφαρμογή μη κωδικών λέξεων στις εισόδους του συνεπάγεται την εμφάνιση μη κωδικών λέξεων στις εξόδους του.

Ορισμός : Ως ολικά αυτοελεγχόμενους ελεγκτές (**Totally Self-Checking checkers – TSC checkers**) ορίζουμε τα κυκλώματα εκείνα που:

- α) είναι ολικά αυτοελεγχόμενα κυκλώματα και

β) είναι κωδικά διαχωρίσιμα.

Η έννοια του κωδικά διαχωρίσιμου ουσιαστικά ταυτίζεται με την έννοια του ελεγκτή.

2.5.1 Ο κώδικας διπλού συρμού

Για την ανίχνευση ή και τη διόρθωση λαθών που ενδεχομένως εμφανίζονται στα δεδομένα, χρησιμοποιείται κατάλληλη κωδικοποίηση εισάγοντας περισσότερα δυαδικά ψηφία από όσα είναι απαραίτητα για τα δεδομένα (με άλλα λόγια εισάγεται πλεονασμός). Υπάρχουν πολλά είδη κωδικοποίησης για την ανίχνευση λαθών [81] και τα είδη αυτά κατατάσσονται σε διάφορες κατηγορίες ανάλογα με τον αριθμό των επιπλέον bits κωδικοποίησης (πλεονασμός - για n συνολικά bits τα k bits αντιστοιχούν στα δεδομένα πληροφορίας και τα υπόλοιπα $n-k$ bits στον κώδικα ανίχνευσης λαθών), ανάλογα με τα λάθη που μπορούν να ανιχνεύσουν και ανάλογα με το πόσο εύκολα υλοποιείται το κύκλωμα κωδικοποίησης και αποκωδικοποίησης.

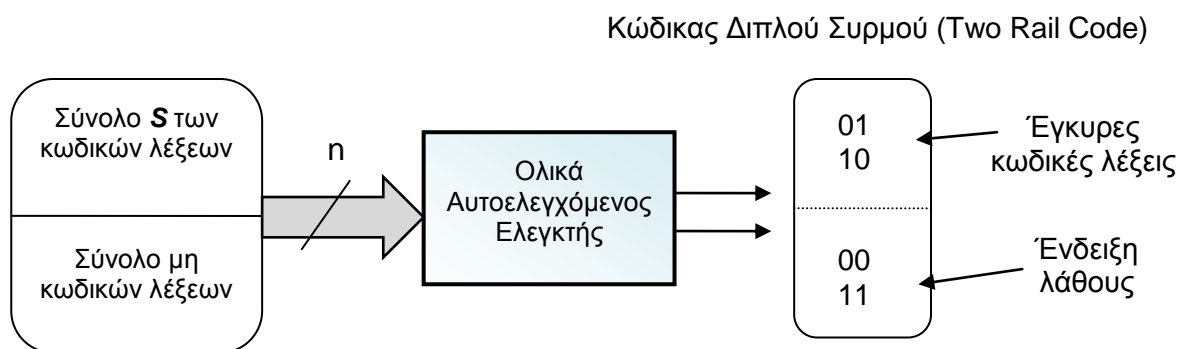
Στην περίπτωση που εισάγουμε πλεονασμό και επίσης θεωρούμε ότι κάθε τμήμα (block ή κωδική λέξη) της πληροφορίας (ή των δεδομένων) αποτελείται από n bits τότε υπάρχουν 2^n κωδικές λέξεις (blocks). Οι κωδικές αυτές λέξεις σύμφωνα με τον κώδικα διαχωρίζονται σε έγκυρες κωδικές λέξεις (codewords ή λέξεις που ανήκουν στον κώδικα) και σε μη έγκυρες κωδικές λέξεις (non codewords). Η εμφάνιση ενός λάθους μπορεί να μετατρέψει μια έγκυρη κωδική λέξη σε μια μη κωδική λέξη και τότε το λάθος ανιχνεύεται. Στην περίπτωση που τα λάθη προκαλούν μεταβολές μόνο από “1”→“0” ή μόνο από “0”→“1” αλλά όχι και τα δύο ταυτόχρονα μέσα στην ίδια κωδική λέξη τότε τα λάθη ονομάζονται ομόρροπα (unidirectional errors). Η πιο απλή κωδικοποίηση ανίχνευσης λαθών η οποία μάλιστα χρησιμοποιείται, στη συντριπτική πλειονότητα των περιπτώσεων, είναι ο **κώδικας διπλού συρμού (Two-Rail Code – TRC)**. Στον κώδικα αυτό σε κάθε bit (ψηφίο) δεδομένων αντιστοιχεί και ένα bit (ψηφίο) ελέγχου με συμπληρωματική τιμή. Ο κώδικας διπλού συρμού είναι ένας διψήφιος κώδικας με κωδικές λέξεις τις “01” και “10”, και μη κωδικές λέξεις τις “00” και “11”. Για παράδειγμα ένα τμήμα δεδομένων με τιμή 010 θα γινόταν σύμφωνα με τον κώδικα διπλού συρμού 010101, δηλαδή τα τρία πρώτα ψηφία θα ήταν η πληροφορία και τα 3 τελευταία θα ήταν τα ψηφία ελέγχου. Στην πράξη χρησιμοποιούνται δύο γραμμές (δηλαδή ο πλεονασμός είναι και στο υλικό) όπου η μία γραμμή μεταφέρει τα δεδομένα και η άλλη το συμπλήρωμά τους που είναι τα ψηφία ελέγχου. Ο κώδικας διπλού συρμού έχει τη δυνατότητα να ανιχνεύει σφάλματα που εκδηλώνονται με αλλαγή μόνο σε ένα ψηφίο, αλλά και σφάλματα που εκδηλώνονται με πολλαπλά ομόρροπα λάθη. Πράγματι, η μεταβολή μόνο των “0” σε “1” είτε στα δεδομένα είτε στο ψηφίο ελέγχου ανιχνεύεται άμεσα από έναν ελεγκτή διπλού συρμού καθώς στα ομόρροπα λάθη αλλάζει μόνο το ένα από τα δύο διότι έχουν συμπληρωματικές τιμές.

Οι είσοδοι ενός ολικά αυτοελεγχόμενου ελεγκτή μπορεί να ανήκουν στον κώδικα διπλού συρμού ή σε ένα διαφορετικό κώδικα ανίχνευσης λαθών, όπως θα αναφερθεί αργότερα, αλλά οι έξοδοί του, στην συντριπτική τους πλειοψηφία, χρησιμοποιούν τον κώδικα διπλού συρμού όπως παρουσιάζεται στο σχήμα 2.5 ([30], [31], [46], [82], [83], [90], [91], [92], [93], [94]). Οι ελεγκτές κώδικα διπλού συρμού ή απλά ελεγκτές TRC αξιοποιούνται συνήθως για να ελέγξουν την εγκυρότητα των δεδομένων σε ένα δίαυλο των n -bits. Το πλήθος των γραμμών είναι $2n$ διότι χρησιμοποιούνται 2 γραμμές για κάθε bit. Κάθε ζεύγος έχει συμπληρωματικές τιμές (“01” ή “10”), στην περίπτωση έγκυρου bit και οι τιμές “00” και “11” αποτελούν μη κωδικές λέξεις και ανιχνεύονται από τον ελεγκτή ως λάθος. Η επιλογή του TRC ελεγκτή επιβλήθηκε στην πράξη διότι ο κώδικας διπλού συρμού είναι ο απλούστερος, έχει τη δυνατότητα να ανιχνεύει μονά λάθη και τέλος ικανοποιεί και την απαίτηση να ανιχνεύει ομόρροπα λάθη.

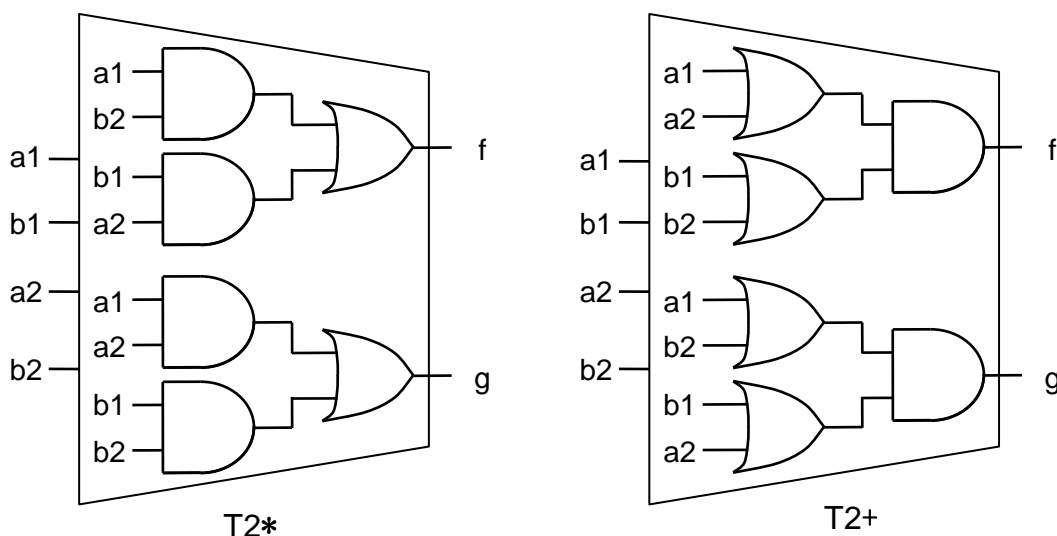
Ένα παράδειγμα υλοποίησης ελεγκτών διπλού συρμού σε επίπεδο λογικών πυλών φαίνεται στο σχήμα 2.6 [84]. Οι ελεγκτές αυτοί είναι ολικά αυτοελεγχόμενοι ελεγκτές κώδικα διπλού συρμού οι οποίοι δέχονται στην είσοδό τους δύο λέξεις κωδικοποιημένες με τον ανωτέρω κώδικα, (πχ. τις $a1b1$ και $a2b2$) και παράγουν στις δύο εξόδους τους, f και g , λέξεις του κώδικα διπλού συρμού μόνο εάν και τα δύο ζεύγη εισόδου είναι κωδικές λέξεις.

Μια πρώτη σχεδίαση ενός τέτοιου ελεγκτή δόθηκε από τους W. Carter και P. Schneider το 1968 [30], ενώ ο D. Anderson το 1971 [31] έδωσε μία επέκταση για την περίπτωση όπου στην είσοδο υπήρχαν περισσότερες από δύο κωδικές λέξεις του κώδικα διπλού συρμού. Στο σχήμα 2.6 φαίνονται τα κυκλώματα σε επίπεδο πυλών που πρότεινε ο D. Anderson και συμβολίζονται με $T2^*$ και $T2+$. Ο πίνακας αληθείας φαίνεται στον Πίνακα 2.2. Οι ανωτέρω ελεγκτές είναι ολικά αυτοελεγχόμενοι όταν το χρησιμοποιούμενο μοντέλο σφαλμάτων είναι αυτό των απλών σφαλμάτων μόνιμης τιμής.

Μια από τις αρχικές υλοποιήσεις του αυτοελεγχόμενου ελεγκτή σε επίπεδο τρανζίστορ είναι αυτή που φαίνεται στο σχήμα 2.7 και έχει προταθεί από τους N. Jha και J. Abraham στην εργασία [77]. Η υλοποίηση αυτή του ολικά αυτοελεγχόμενου ελεγκτή (με τεχνολογία nMOS) εξασφαλίζει ότι η πλειοψηφία των ελαττωμάτων εκδηλώνεται με τη μορφή σφαλμάτων μόνιμης τιμής.



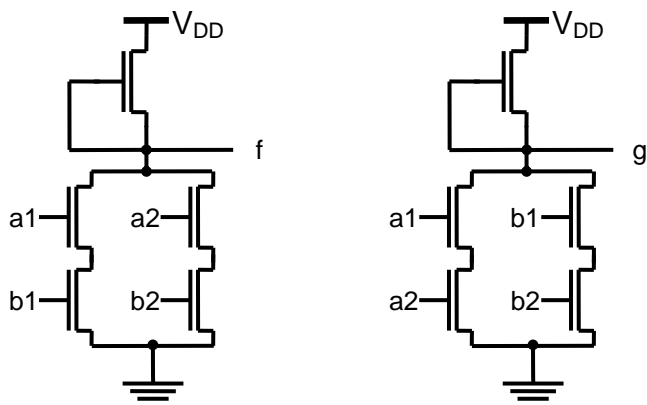
Σχήμα 2.5. Ολικά αυτοελεγχόμενος ελεγκτής με έξοδο σε κώδικα διπλού συρμού.



Σχήμα 2.6. Δύο υλοποιήσεις του ολικά αυτοελεγχόμενου ελεγκτή.

Πίνακας 2.2. Πίνακας αληθείας του ολικά αυτοελεγχόμενου ελεγκτή.

a1	a2	b1	b2	f	g
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	1
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	1	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	1
1	1	0	0	0	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	1	1



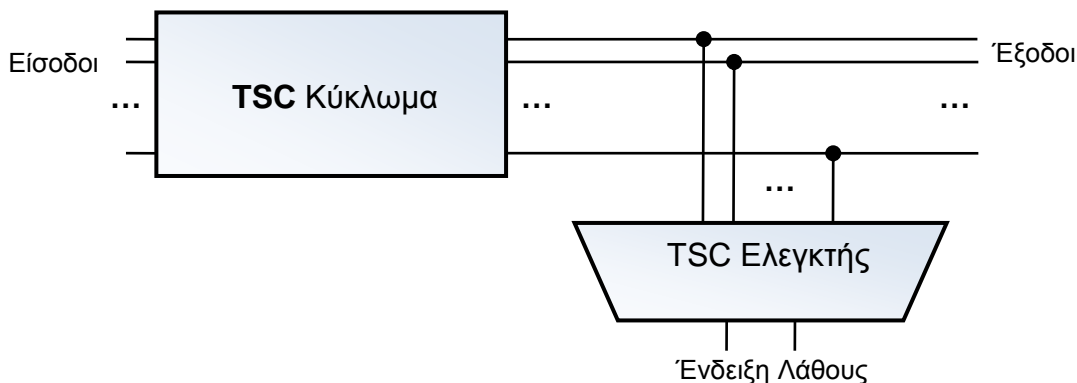
Σχήμα 2.7. Ο T2* ολικά αυτοελεγχόμενος ελεγκτής σε nMOS τεχνολογία.

2.6 Ολικά αυτοελεγχόμενα δικτυώματα

Ένα ολικά αυτοελεγχόμενο δικτύωμα αποτελείται από ένα ολικά αυτοελεγχόμενο (TSC) λειτουργικό κύκλωμα και έναν ολικά αυτοελεγχόμενο ελεγκτή (TSC-Checker). Το γενικό μοντέλο ενός ολικά αυτοελεγχόμενου δικτυώματος που φαίνεται στο σχήμα 2.8, προτάθηκε από τον D. Anderson το 1971. Ο ρόλος του ελεγκτή είναι να εξετάζει διαρκώς τις κωδικοποιημένες εξόδους του λειτουργικού κυκλώματος και να παράγει μία ένδειξη λάθους στη περίπτωση που η έξοδος του λειτουργικού κυκλώματος δεν είναι κωδική λέξη ή στη περίπτωση που παρουσιάζεται σφάλμα στον ελεγκτή. Με τη χρήση του ολικά αυτοελεγχόμενου ελεγκτή μπορούμε να εγγυηθούμε ότι στην περίπτωση που ο ελεγκτής δώσει κωδική λέξη στη έξοδό του, και εφόσον το λειτουργικό κύκλωμα πληροί την ιδιότητα της ασφάλειας από σφάλματα, η κωδική αυτή λέξη είναι και η σωστή. Πρέπει ωστόσο στο σημείο αυτό να τονιστεί ότι η ένδειξη λάθους του ελεγκτή δεν μας δίνει καμία πληροφορία σχετικά με το που βρίσκεται η βλάβη ή το σφάλμα (δηλαδή εάν βρίσκεται στο κύκλωμα ή στον ελεγκτή).

Η υψηλή αξιοπιστία σε ένα ολικά αυτοελεγχόμενο δικτύωμα εξασφαλίζεται όταν ισχύουν οι ακόλουθες συνθήκες:

- α) Οι έξοδοι του ολικά αυτοελεγχόμενου λειτουργικού κυκλώματος εξετάζονται από ολικά αυτοελεγχόμενο ελεγκτή ή το ίδιο το λειτουργικό κύκλωμα είναι κωδικά διαχωρισίμο.
- β) Στις κωδικές εισόδους του ολικά αυτοελεγχόμενου λειτουργικού κυκλώματος περιλαμβάνεται ένα σύνολο δοκιμής και το κύκλωμα λαμβάνει όλα τα στοιχεία αυτού του συνόλου σε χρόνο μικρότερο του Μέσου Χρόνου Μεταξύ Αστοχίας του λειτουργικού κυκλώματος.
- γ) Στις κωδικές εξόδους του λειτουργικού κυκλώματος που είναι και οι εισόδους του ολικά αυτοελεγχόμενου ελεγκτή, πρέπει να περιλαμβάνεται ένα σύνολο δοκιμής αυτού του ελεγκτή. Επίσης, όλα τα στοιχεία αυτού του συνόλου πρέπει να λαμβάνονται στις εισόδους του ελεγκτή σε χρόνο μικρότερο του Μέσου Χρόνου Μεταξύ Αστοχίας του ελεγκτή.

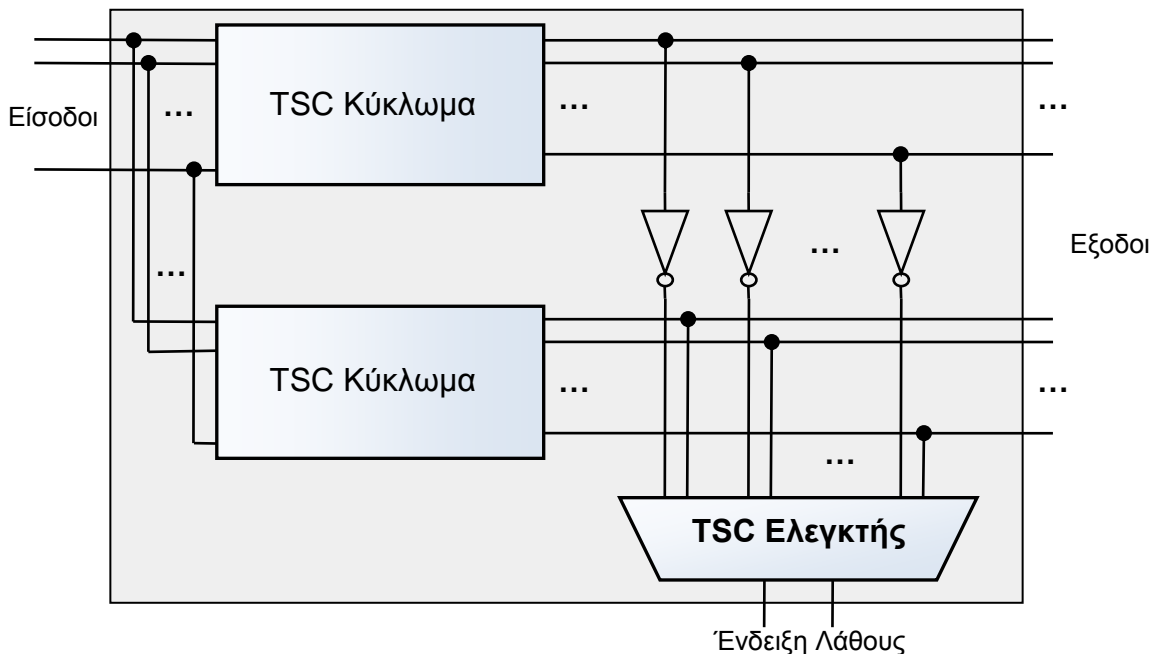


Σχήμα 2.8. Ολικά αυτοελεγχόμενο δικτύωμα με ένδειξη λάθους στον κώδικα διπλού συρμού.

Ένας συνήθης τρόπος για να έχουμε τις εξόδους ενός λειτουργικού κυκλώματος κωδικοποιημένες, είναι να έχουμε ένα δεύτερο αντίγραφο του λειτουργικού μας κυκλώματος (διπλασιασμός). Ένας άλλος τρόπος διπλασιασμού είναι η χρήση του δυϊκού κυκλώματος. Το δυϊκό κύκλωμα έχει τις εισόδους και τις εξόδους του αναστραμμένες σε σχέση με το αρχικό κύκλωμα. Σε αυτή την περίπτωση και οι εισόδους και οι εξόδους του κυκλώματος είναι κωδικοποιημένες στον κώδικα διπλού συρμού. Το δυϊκό κύκλωμα το λαμβάνουμε με τη βοήθεια των θεωρημάτων της άλγεβρας Boole. Στη περίπτωση που χρησιμοποιούμε αντίγραφο του κυκλώματος χρησιμοποιείται ένας ελεγκτής ισότητας ενώ στη περίπτωση που χρησιμοποιείται το δυϊκό κύκλωμα χρησιμοποιείται ένας ελεγκτής διπλού συρμού. Ο ελεγκτής ισότητας είναι ένας ελεγκτής διπλού συρμού του οποίου οι εισόδους που προέρχονται από το ένα από τα δύο αντίγραφα του λειτουργικού κυκλώματος αναστρέφονται, όπως εικονίζεται και στο σχήμα 2.9. Προφανώς, προκειμένου να διατηρεί το ολικά αυτοελεγχόμενο δικτύωμα τις ιδιότητες του, είναι απαραίτητο να λαμβάνει το σύνολο δοκιμής του σε χρονικό διάστημα μικρότερο του Μέσου Χρόνου Μεταξύ Αστοχίας [85].

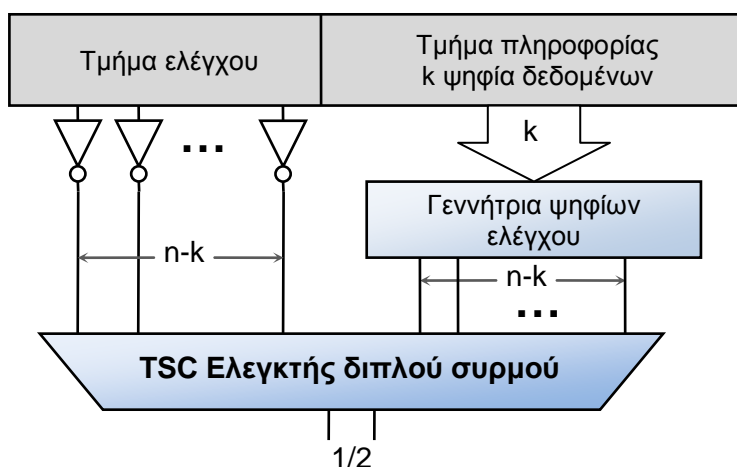
Ένας εναλλακτικός τρόπος υλοποίησης ολικά αυτοελεγχόμενων δικτυωμάτων είναι η χρήση ολικά αυτοελεγχόμενων λειτουργικών κυκλωμάτων των οποίων η έξοδος είναι κωδικοποιημένη σε ένα συστηματικό κώδικα. Από τα συνολικά n ψηφία κάθε λέξης του κώδικα τα k περιέχουν την πληροφορία, ενώ τα υπόλοιπα $n-k$ ψηφία είναι τα ψηφία ελέγχου. Προφανώς ένας συστηματικός κώδικας μπορεί να αποτελείται από 2^k το πολύ διαφορετικές κωδικές λέξεις. Στην περίπτωση που κάθε μία από τις 2^{n-k} δυνατές λέξεις

ελέγχου εμφανίζεται σε μία τουλάχιστον λέξη του κώδικα ο κώδικας ονομάζεται πλήρης. Πρώτοι οι M. Ashajee και S. Reddy πρότειναν το 1977 το σχεδιασμό ολικά αυτοελεγχόμενου δικτύωματος το οποίο να περιλαμβάνει ολικά αυτοελεγχόμενη λειτουργική μονάδα που οι έξοδοί της να ανήκουν σε συστηματικό κώδικα [41].



Σχήμα 2.9. Ολικά αυτοελεγχόμενο δίκτυωμα με δύο αντίγραφα του λειτουργικού κυκλώματος.

Το διάγραμμα ενός τέτοιου ολικά αυτοελεγχόμενου δικτύωματος, φαίνεται στο σχήμα 2.10, και περιλαμβάνει αναστροφείς, μια γεννήτρια παραγωγής ψηφίων ελέγχου της κωδικής λέξης και ένα ολικά αυτοελεγχόμενο ελεγκτή του κώδικα διπλού συρμού. Με τη γεννήτρια και χρησιμοποιώντας τα k ψηφία δεδομένων της εξόδου της λειτουργικής μονάδας υπολογίζουμε τα $(n-k)$ αναμενόμενα ψηφία ελέγχου και ακολούθως τα συγκρίνουμε με αυτά που δίνει η λειτουργική μονάδα. Οι αναστροφείς και ο ελεγκτής διπλού συρμού υλοποιούν έναν ελεγκτή ισότητας.



Σχήμα 2.10. Ολικά αυτοελεγχόμενο δίκτυωμα, με λειτουργικό κύκλωμα του οποίου η έξοδος είναι κωδικοποιημένη σε ένα συστηματικό κώδικα.

Σε αυτήν την περίπτωση για να είναι ο ελεγκτής αυτοελεγχόμενος, πρέπει η γεννήτρια να λαμβάνει το σύνολο δοκιμής της σε διαστήματα μικρότερα του Μέσου Χρόνου Μεταξύ Αστοχίας του όλου κυκλώματος και ο ελεγκτής ισότητας να λαμβάνει επίσης τις 2^{n-k} κωδικές εισόδους του σε χρονικό διάστημα μικρότερο του Μέσου Χρόνου Μεταξύ Αστοχίας του όλου κυκλώματος (J. Wakerly 1978).

Στην περίπτωση που η ανωτέρω προϋπόθεση δεν μπορεί να εξασφαλιστεί για τον ελεγκτή ισότητας, τότε γίνεται μία υλοποίησή του σε μορφή δέντρου η οποία έχει μικρότερο σύνολο δοκιμής.

2.7 Ολικά αυτοελεγχόμενα συστήματα

Ως ολικά αυτοελεγχόμενο σύστημα ορίζεται το σύστημα το οποίο ως προς ένα σύνολο σφαλμάτων έχει τις εξής ιδιότητες: παρουσία σφαλμάτων, είτε παράγει τις σωστές εξόδους είτε δίνει μια ένδειξη λάθους. Κάθε ολικά αυτοελεγχόμενο σύστημα αποτελείται από ολικά αυτοελεγχόμενα δικτύωματα. Ένα ολικά αυτοελεγχόμενο δίκτυωμα αποτελείται από μία ή και περισσότερες λειτουργικές μονάδες και έναν ολικά αυτοελεγχόμενο ελεγκτή. Τα στοιχεία των ολικά αυτοελεγχόμενων δικτυωμάτων πρέπει να πληρούν τις εξής ιδιότητες [31]:

- α) να είναι κωδικά διαχωρίσιμα
- β) πλήρως δοκιμαζόμενα, και
- γ) να πληρούν την ιδιότητα της ασφαλούς απομόνωσης.

Η ιδιότητα του *κωδικού διαχωρισμού* ισχύει εξ' ορισμού για έναν ολικά αυτοελεγχόμενο ελεγκτή και είναι απαραίτητο να ισχύει για εκείνες τις λειτουργικές μονάδες που οι έξοδοι τους δεν ελέγχονται από ένα ελεγκτή.

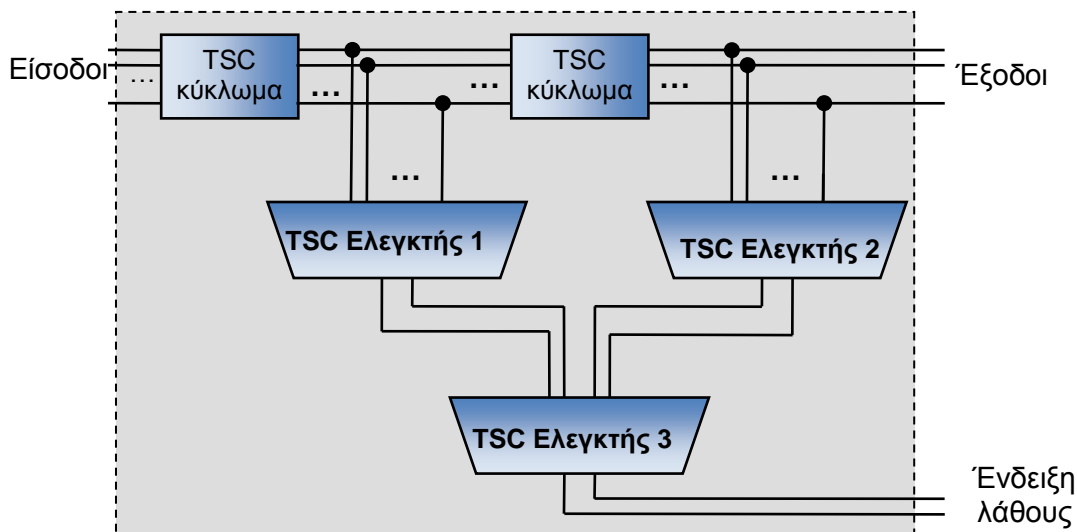
Η ιδιότητα της *πλήρους δοκιμασίας* είναι απαραίτητο να ισχύει τόσο για τα ολικά αυτοελεγχόμενα λειτουργικά κυκλώματα όσο και για τους ολικά αυτοελεγχόμενους ελεγκτές. Ένα κύκλωμα που ανήκει σε ένα δίκτυωμα είναι πλήρως δοκιμαζόμενο εάν, στην περίπτωση που το δίκτυωμα στο οποίο ανήκει λάβει όλες τις δυνατές κωδικές εισόδους του, τότε και το κύκλωμα λαμβάνει όλες τις δυνατές κωδικές εισόδους του.

Η ιδιότητα της *ασφαλούς απομόνωσης* είναι επίσης απαραίτητο να ισχύει για όλες τις μονάδες του αυτοελεγχόμενου συστήματος είτε αυτές είναι λειτουργικές μονάδες είτε πρόκειται για ελεγκτές. Η ανωτέρω ιδιότητα εξασφαλίζει ότι για τα σφάλματα που έχουμε θεωρήσει, υπάρχει για κάθε μονάδα του κυκλώματος κατάλληλη κωδική λέξη που όταν εφαρμοστεί στην είσοδό της οδηγεί στην ανίχνευση του σφάλματος.

Εδώ πρέπει να τονιστεί ότι οι ιδιότητες που περιγράφηκαν μας εξασφαλίζουν ότι το σύστημά μας είναι ολικά αυτοελεγχόμενο χωρίς όμως να αποκλείεται το σύστημα να είναι τέτοιο ακόμη και εάν αυτές οι ιδιότητες δεν πληρούνται. Δηλαδή οι ανωτέρω συνθήκες είναι ικανές και όχι αναγκαίες.

Όπως φαίνεται και στο σχήμα 2.11 οι έξοδοι των ολικά αυτοελεγχόμενων ελεγκτών είναι κωδικοποιημένες με τον κώδικα διπλού συρμού. Υπάρχει επίσης και ένας ελεγκτής (ο TSC ελεγκτής 3 στο σχήμα), ο οποίος δέχεται ως είσοδο όλες τις εξόδους των επιμέρους ελεγκτών και δίνει έγκυρη κωδική έξοδο όταν όλοι οι επιμέρους ολικά αυτοελεγχόμενοι ελεγκτές δίνουν κωδική έξοδο. Ο ελεγκτής αυτός δίνει ένδειξη λάθους εάν σε οποιοδήποτε τμήμα του κυκλώματος εκδηλωθεί, με εμφάνιση λάθους ένα οποιοδήποτε σφάλμα από το σύνολο σφαλμάτων που έχουμε θεωρήσει. Για να είναι το

συνολικό σύστημα ολικά αυτοελεγχόμενο απαιτείται ο τελικός αυτός ελεγκτής να είναι πλήρως δοκιμαζόμενος.



Σχήμα 2.11. Ολικά αυτοελεγχόμενο σύστημα.

Με τον εντοπισμό της παρουσίας σφάλματος μέσα σε ένα κύκλωμα εκτελείται μια ακολουθία ενεργειών ανάλογα με το σχεδιασμό του συστήματος και τον επιτελούμενο σκοπό. Το σύστημα μπορεί να εκτελέσει μια διαδικασία επαναδοκιμής για να διαπιστωθεί εάν το σφάλμα είναι μόνιμο ή μεταβατικό. Λαμβάνοντας υπ' όψιν τη μεγάλη πιθανότητα ένα σφάλμα να είναι μεταβατικό, η εκτέλεση αυτού του βήματος μπορεί να οδηγήσει στη συνέχιση της λειτουργίας του συστήματος χωρίς την ανάγκη περαιτέρω ενεργειών.

Το επόμενο βήμα είναι το σύστημα να αδρανοποιηθεί σταματώντας τη λειτουργία του. Αυτό το βήμα μπορεί να ακολουθεί το προηγούμενο ή και να είναι το πρώτο βήμα μετά την ανίχνευση ενός σφάλματος. Στη συνέχεια πρέπει να ακολουθήσει μία διαδικασία επισκευής του συστήματος, εφόσον αυτό πρόκειται να επαναλειτουργήσει.

2.7.1 Αναδιαρθρώσιμο και ολικά αυτοελεγχόμενο σύστημα

Ένα σύστημα είναι αναδιαρθρώσιμο όταν α) σε κάθε επιμέρους μονάδα του υπάρχει ένας TSC ελεγκτής που σε περίπτωση εσφαλμένης λειτουργίας παρέχει ένδειξη λάθους και β) για κάθε επιμέρους μονάδα υπάρχει η δυνατότητα αντικατάστασής της με εφεδρική. Επίσης, υπάρχει και μια συνολική ένδειξη, η οποία αντιπροσωπεύει ολόκληρο το σύστημα και παρέχεται από έναν TSC ελεγκτή, στους οποίους τις εισόδους συνδέονται οι έξοδοι των ελεγκτών της κάθε μονάδας του συστήματος. Παράδειγμα αναδιαρθρώσιμου συστήματος αποτελεί το σχήμα 2.12. Στη μονάδα 1 του σχήματος 2.12 φαίνεται η ύπαρξη ενός ελεγκτή ο οποίος δέχεται ως είσοδο τις εξόδους των επιμέρους ελεγκτών και δίνει στη έξοδο μια λέξη που αντιπροσωπεύει συνολικά τη μονάδα. Είναι φανερό ότι απαιτείται ο ελεγκτής αυτός να είναι πλήρως δοκιμαζόμενος για να είναι συνολικά το σύστημα ολικά αυτοελεγχόμενο. Για τις μονάδες 2 και 3 δεν υπάρχουν επιμέρους ελεγκτές και η έξοδος του μοναδικού ελεγκτή αντιπροσωπεύει συνολικά τη μονάδα. Ο τελικός ελεγκτής δέχεται στη είσοδό του τις εξόδους των ελεγκτών που αντιπροσωπεύουν τις επιμέρους μονάδες και από την έξοδο του παράγεται ένδειξη λάθους που αντιστοιχεί στο συνολικό σύστημα.

ελεγκτές που έχουν σχεδιαστεί λαμβάνοντας υπ' όψιν το μοντέλο των σφαλμάτων μόνιμης τιμής, ενώ πιθανά σφάλματα τα οποία εξετάζονται είναι τα σφάλματα γεφύρωσης (bridging faults), τα σφάλματα μετάβασης (transition faults) καθώς και τα σφάλματα των μόνιμα μη αγώγιμων τρανζίστορ (stuck-open faults).

Ενώ στις περιπτώσεις σφαλμάτων μόνιμης τιμής και σφαλμάτων γεφύρωσης το σφάλμα είναι ανιχνεύσιμο με ένα απλό διάνυσμα δοκιμής, στη περίπτωση των μεταβατικών σφαλμάτων καθώς και στην περίπτωση των σφαλμάτων μόνιμα μη αγώγιμων τρανζίστορ απαιτείται ένα ζεύγος ή μία ακολουθία διανυσμάτων δοκιμής για την ανίχνευση του σφάλματος. Αυτή η επιμήκυνση του χρόνου αναμονής μέχρι να εμφανιστεί και να εφαρμοστεί η κατάλληλη ακολουθία ανυσμάτων δοκιμής, μπορεί να οδηγήσει σε χρόνους μεγαλύτερους του μέσου χρόνου μεταξύ αστοχίας με αποτέλεσμα να μην μπορούμε να εξασφαλίσουμε ότι ο ελεγκτής συνεχίζει να είναι αυτοελεγχόμενος. Για τη μελέτη του παραπάνω προβλήματος οι Millman-McCluskey εργάστηκαν πιθανοθεωρητικά. Θεώρησαν ότι εάν ένας ολικά αυτοελεγχόμενος ελεγκτής λαμβάνει στις εισόδους του όλες τις δυνατές ακολουθίες δύο διανυσμάτων τότε τα μεταβατικά σφάλματα μπορούν να ανιχνευτούν [87].

Η εμφάνιση μεταβατικών φαινομένων (spikes, transients) κατά την εναλλαγή των διανυσμάτων δοκιμής ενδέχεται να μην επιτρέπει σε ορισμένες ακολουθίες διανυσμάτων να ανιχνεύουν σφάλματα μόνιμα μη αγώγιμων τρανζίστορ. Όπως όμως έδειξαν μελέτες που έγιναν με τη χρήση προσομοιωτή (SPICE), στις περισσότερες περιπτώσεις συμβαίνει το αντίθετο. Ακολουθίες διανυσμάτων που δεν θα είχαν την ικανότητα ανίχνευσης αυτών των σφαλμάτων εάν απουσίαζαν τα μεταβατικά φαινόμενα, μπορούν τελικά να ανιχνεύουν σφάλματα ακριβώς λόγω της παρουσίας των φαινομένων αυτών. Αυτό οφείλεται στο ότι οι αναμενόμενες χρονικές καθυστερήσεις στις αλλαγές των τιμών των εισόδων οδηγούν στην εμφάνιση ενδιάμεσων τιμών. Οι χρονικές διάρκειες αυτών των τιμών είναι μεν αρκετά μικρές, ωστόσο επιτρέπουν στο κύκλωμα να αντιδράσει και μπορούν να παίξουν το ρόλο διανυσμάτων δοκιμής. Εξαιτίας του φαινομένου αυτού, ο απαιτούμενος αριθμός διανυσμάτων δοκιμής μπορεί να μειωθεί κατά δύο τάξεις μεγέθους σε σύγκριση με αυτόν που απαιτείται για τα μεταβατικά σφάλματα.

Πολλές φορές στην πράξη υπάρχει, δυστυχώς, η πιθανότητα να μη λαμβάνει ο ελεγκτής στις εισόδους του όλες τις δυνατές κωδικές λέξεις. Έστω S το σύνολο όλων των δυνατών κωδικών λέξεων που πρέπει να εφαρμοστούν στην είσοδο του ελεγκτή. Μία περίπτωση είναι οι εισοδοί του ελεγκτή κατά τη διάρκεια της κανονικής λειτουργίας να μην είναι διαθέσιμες (διότι συνδέονται σε εσωτερικούς κόμβους (ή γραμμές) του κυκλώματος). Σε αυτήν την περίπτωση δεν μπορούμε να εγγυηθούμε ότι ο ελεγκτής διατηρεί την ιδιότητα της αυτοδοκιμής καθώς ενδέχεται ορισμένα από τα σφάλματα να μην ανιχνεύονται. Συνεπώς, είναι απαραίτητο να υπάρχει πρόβλεψη ώστε με τη χρήση επιπλέον κυκλωμάτων και σημάτων ελέγχου ο ελεγκτής να ελέγχεται πλήρως.

Στη συνέχεια θα δοθούν οι ορισμοί των *ισχυρά ασφαλών από σφάλματα* (Strongly Fault Secure - SFS) και των *ισχυρά αυτοδοκιμαζόμενων* (Strongly Self Test - SST) κυκλωμάτων όπως προτείνονται από τον Jha στην εργασία [88].

Ορισμός: Ένα κύκλωμα G θεωρείται *ισχυρά ασφαλές από σφάλματα* (**Strongly Fault Secure**) που ανήκουν σε ένα σύνολο σφαλμάτων F εάν:

- α) είτε το κύκλωμα είναι ολικά αυτοελεγχόμενο,
- β) είτε το κύκλωμα είναι ασφαλές από σφάλματα και στην περίπτωση που παρουσιαστεί και επόμενο σφάλμα τότε αληθεύει είτε το (α) είτε το (β) για το πολλαπλό σφάλμα.

Ορισμός : Ένα κύκλωμα G είναι *ισχυρά κωδικά διαχωρίσιμο* (**Strongly Code Disjoint SCD**) ως προς ένα σύνολο σφαλμάτων F , εάν πριν από την εμφάνιση οποιουδήποτε σφάλματος που ανήκει στο F , το κύκλωμα είναι κωδικά διαχωρίσιμο και για κάθε σφάλμα που ανήκει στο F :

- α) είτε το κύκλωμα είναι *αυτοδοκιμαζόμενο*
- β) είτε το κύκλωμα δίνει για μη κωδικές εισόδους μη κωδικές εξόδους και στην περίπτωση που θα παρουσιαστεί και επόμενο σφάλμα από το δεδομένο σύνολο σφαλμάτων F , θα ισχύει είτε το (α) είτε το (β) για το πολλαπλό σφάλμα.

Για την περίπτωση που το κύκλωμα G είναι ένας ελεγκτής ορίζεται και η ακόλουθη ιδιότητα [73], [89].

Ορισμός : Ένα κύκλωμα G το οποίο λειτουργεί ως ελεγκτής είναι *ισχυρά αυτοελεγχόμενο* (**Strongly Self-Checking – SSC**) για ένα σύνολο σφαλμάτων F , εάν πριν την εμφάνιση σφάλματος το κύκλωμα είναι κωδικά διαχωρίσιμο και επιπλέον για κάθε σφάλμα που ανήκει στο σύνολο F ισχύει:

- α) είτε το κύκλωμα είναι αυτοδοκιμαζόμενο και ασφαλές από σφάλματα,
- β) είτε το κύκλωμα είναι ασφαλές από σφάλματα και κωδικά διαχωρίσιμο, δηλαδή για μη κωδική λέξη στην είσοδο δίνει μη κωδική λέξη στην έξοδο, και στην περίπτωση που παρουσιαστεί επόμενο σφάλμα από το δεδομένο σύνολο σφαλμάτων F , ισχύει είτε το (α) είτε το (β).

Ένας ολικά αυτοελεγχόμενος ελεγκτής (TSC) είναι ικανός να ανιχνεύσει όλα τα εσωτερικά σφάλματα εάν είναι διαθέσιμες στην είσοδό του όλες οι δυνατές κωδικές λέξεις από το σύνολο των κωδικών λέξεων S . Στην περίπτωση όμως που ο ελεγκτής είναι ενσωματωμένος σε ένα κύκλωμα, οι εισοδοί του δεν είναι διαθέσιμες καθώς αυτές συνδέονται υποχρεωτικά στην έξοδο του κυκλώματος που ελέγχει. Στην πράξη επομένως ένας ενσωματωμένος ελεγκτής ελέγχει ένα κύκλωμα το οποίο παράγει στην έξοδό του ένα προκαθορισμένο σύνολο κωδικών λέξεων, το οποίο συνήθως είναι ένα υποσύνολο του πλήρους συνόλου κωδικών λέξεων S . Θα πρέπει λοιπόν ο ελεγκτής να σχεδιαστεί με τέτοιο τρόπο ώστε να είναι πλήρως ελέγξιμος μόνο με αυτό το μικρότερο σύνολο κωδικών λέξεων [90], [91], [92], [93], [94], [95], [96].

Μια σχεδιαστική προσέγγιση είναι να χρησιμοποιηθεί πρόσθετο υλικό (και ίσως πρόσθετα σήματα) για την παραγωγή όλων των απαραίτητων κωδικών λέξεων που κάνουν έναν ελεγκτή Ολικά Αυτοελεγχόμενο (TSC) ως προς ένα γνωστό και συμφωνημένο σύνολο σφαλμάτων [90], [97], [98]. Υπάρχει ωστόσο μια σειρά μειονεκτημάτων αυτής της προσέγγισης όπως η μειωμένη απόδοση αλλά και το πρόβλημα της επιπλέον ελεγκσιμότητας του πρόσθετου υλικού. Ένας εναλλακτικός τρόπος είναι να εφαρμοστεί εκτός λειτουργίας (off-line) το πλήρες σύνολο S των κωδικών λέξεων [99], αλλά και αυτό πολλές φορές (όπως έχει αναφερθεί και στις προηγούμενες παραγράφους) δεν αποτελεί λύση η οποία να μπορεί να εφαρμοστεί στην πράξη για τις εφαρμογές υψηλής αξιοπιστίας και πραγματικού χρόνου (real time).

Τέλος σε εφαρμογές υψηλής αξιοπιστίας επιθυμούμε ο ελεγκτής να είναι και ολικά αυτοελεγχόμενος αλλά να έχει και την ιδιότητα του *ισχυρά κωδικά διαχωρίσιμου* [100].

Όπως έχει δείχθει στις εργασίες [101], [102] δεν είναι απαραίτητη για έναν ελεγκτή η ιδιότητα της ασφάλειας από σφάλματα. Αυτό συμβαίνει διότι από τον ελεγκτή παίρνουμε

την ένδειξη ότι το κύκλωμα μας δεν λειτουργεί σωστά και δεν μας απασχολεί ποια ήταν η μη κωδική λέξη στην έξοδο του ελεγκτή με την οποία έγινε αυτό αντιληπτό. Το παραπάνω όμως ισχύει για την περίπτωση που οι έξοδοι του ελεγκτή αποτελούν κύριες εξόδους του κυκλώματος. Εάν όμως χρησιμοποιείται ως δομικό στοιχείο μέσα στο κύκλωμα τότε απαιτείται να ισχύει η ιδιότητα της ασφάλειας από σφάλματα.

Στη συνέχεια δίνονται μερικές προϋποθέσεις που θεωρούμε ότι ισχύουν:

- α) Τα σφάλματα εμφανίζονται ένα κάθε φορά.
- β) Εάν εμφανιστεί σφάλμα σε κάποιον ελεγκτή πριν την εμφάνιση του επόμενου σφάλματος στον ελεγκτή ή στο λειτουργικό κύκλωμα το οποίο ελέγχει, περνάει αρκετό χρονικό διάστημα έτσι ώστε να τροφοδοτηθεί ο ελεγκτής με τα απαιτούμενα διανύσματα δοκιμής.

Αντίστοιχα και για το λειτουργικό κύκλωμα:

- γ) Εάν εμφανιστεί σφάλμα σε κάποιο λειτουργικό κύκλωμα, τότε πριν την εμφάνιση του επόμενου σφάλματος στο λειτουργικό κύκλωμα ή στον ελεγκτή, περνάει αρκετό χρονικό διάστημα, έτσι ώστε να τροφοδοτηθεί το λειτουργικό κύκλωμα με όλα τα απαιτούμενα διανύσματα δοκιμής.

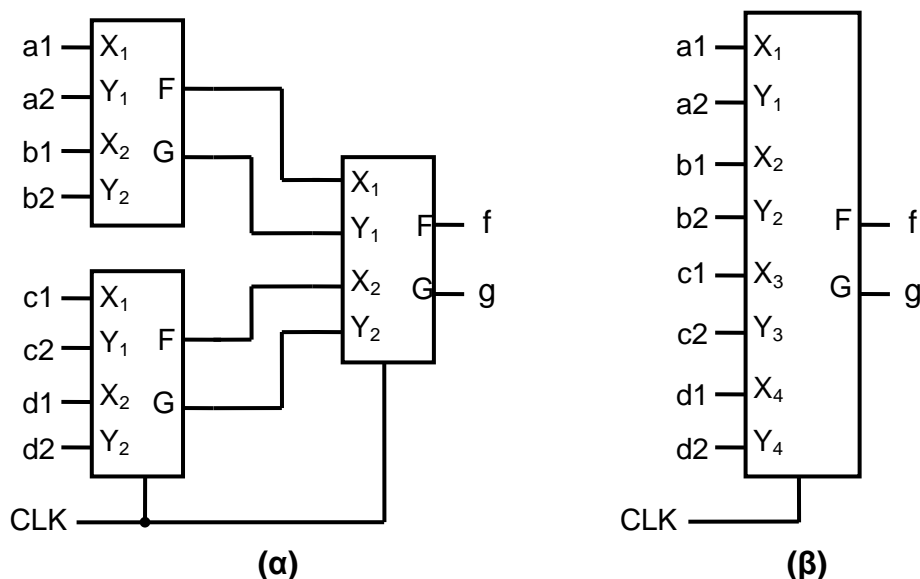
2.9 Υλοποιήσεις αυτοελεγχόμενων ελεγκτών διπλού συρμού με περιοδική έξοδο

Ένας ελεγκτής διπλού συρμού που ελέγχει ένα δίαυλο με n -bits ονομάζεται n -μεταβλητών TRC ελεγκτής ή TRC_n ελεγκτής. Συνήθως οι n -μεταβλητών TRC ελεγκτές, με $n > 2$, υλοποιούνται ως δέντρο (Σχήμα 2.13α) αποτελούμενο από 2-μεταβλητών TRC ελεγκτές ή TRC_2 ελεγκτές (π.χ. [91]). Μια εναλλακτική λύση η οποία έχει προταθεί στις εργασίες [99], [103], [104], [105] και χρησιμοποιεί διαφορετική σχεδίαση από την δεντρική δομή, είναι οι ελεγκτές με περιοδική έξοδο. Οι ελεγκτές αυτοί δέχονται άρτιο πλήθος ζευγών στην είσοδό τους και σε κάθε ημιπερίοδο ελέγχουν τα μισά από τα ζεύγη αυτά. Επομένως σε μία περίοδο έχουν ελεγχθεί παράλληλα όλα τα ζεύγη και για τον λόγο αυτό ανήκουν στην κατηγορία των παράλληλων ελεγκτών.

Οι έξοδοι των TRC ελεγκτών με περιοδική έξοδο είναι πάντα συμπληρωματικές και μεταβάλλονται σε κάθε ημιπερίοδο του ρολογιού του κυκλώματος. Στο σχήμα 2.13(α) ο ελεγκτής με δεντρική δομή στην περίπτωση που υλοποιηθεί με δομή διοχέτευσης (pipeline), για βελτίωση της ταχύτητας, χρειάζεται δύο κύκλους ρολογιού για να εμφανίσει το αποτέλεσμα του ελέγχου στην έξοδό του. Αντίθετα, ο παράλληλος ελεγκτής του σχήματος 2.13(β), υλοποιείται σε ένα επίπεδο και χρειάζεται πάντα ένα κύκλο ρολογιού, ανεξάρτητα από τον αριθμό των εισόδων, για να εμφανίσει το αποτέλεσμα του ελέγχου.

Κατ' αναλογία με τους ελεγκτές που βασίζονται στην δεντρική δομή, και στους ελεγκτές με περιοδική έξοδο η απόδοσή τους μειώνεται καθώς αυξάνει το πλήθος n των bit του διαύλου που παρακολουθούν. Ειδικότερα, η αύξηση της τιμής του n συνεπάγεται τα εξής:

- α) μείωση της συχνότητας λειτουργίας και
- β) αύξηση της απαιτούμενης επιφάνειας πυριτίου.



Σχήμα 2.13. (α) αυτοελεγχόμενος ελεγκτής με δενδρική δομή και (β) παράλληλος αυτοελεγχόμενος με 4 εισόδους κώδικα διπλού συρμού.

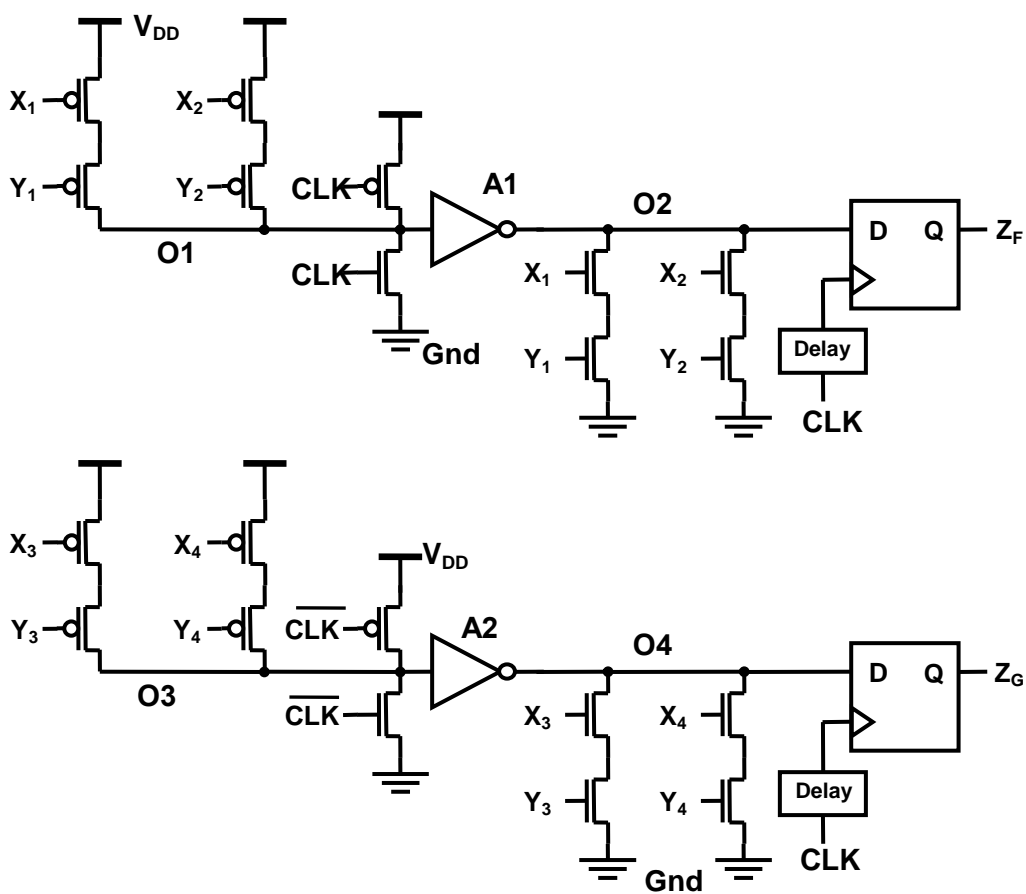
Οι παράλληλοι TRC ελεγκτές με περιοδική έξοδο παρουσιάζουν μια σειρά από πλεονεκτήματα σε σχέση με τους ελεγκτές δενδρικής δομής. Επειδή οι τελευταίοι αποτελούνται από διαδοχικές βαθμίδες ελεγκτών TRC δύο εισόδων ($X_1, Y_1 - X_2, Y_2$) ή πιο σύντομα TRC_2 , παρουσιάζουν μεγαλύτερη καθυστέρηση σε σχέση με τους TRC ελεγκτές με περιοδική έξοδο. Ένα ακόμη μειονέκτημά τους είναι η δυσκολία της πλήρους δοκιμής καθώς πρέπει να εφαρμοστούν όλα τα διανύσματα ελέγχου στις εισόδους των εσωτερικών TRC_2 βαθμίδων του ελεγκτή σε αντίθεση με τους TRC παράλληλους ελεγκτές με περιοδική έξοδο, που δοκιμάζονται πλήρως με ένα μικρό συνήθως σύνολο διανυσμάτων ελέγχου. Οι παράλληλοι ελεγκτές με περιοδική έξοδο, επειδή είναι πιο γρήγοροι και ελέγχονται με μικρό σύνολο κωδικών λέξεων, είναι κατάλληλοι να ενσωματωθούν μαζί με το κύκλωμα που ελέγχουν στο ολοκληρωμένο κύκλωμα (embedded checkers) σε αντίθεση με τους ελεγκτές δενδρικής δομής που η μεγάλη απαιτούμενη επιφάνεια πυριτίου και η χαμηλότερη ταχύτητα λειτουργίας τους καθιστούν μη αποδοτικούς για τις σημερινές εφαρμογές. Στη συνέχεια θα παρουσιαστεί ένας παράλληλος TRC ελεγκτής με περιοδική έξοδο που έχει ήδη προταθεί στη βιβλιογραφία, ενώ στο επόμενο κεφάλαιο της διατριβής θα παρουσιαστεί μια νέα, πιο αποδοτική και πιο γρήγορη υλοποίηση παράλληλου ελεγκτή.

Στο σχήμα 2.14 απεικονίζεται ο παράλληλος ελεγκτής περιοδικής εξόδου για τέσσερα ζεύγη σημάτων σύμφωνα με την τεχνική που προτάθηκε από τους M. Omana κ.α. [105]. Αυτός ο ελεγκτής ήταν ο ταχύτερος στη διεθνή βιβλιογραφία.

Στο κύκλωμα αυτό οι εισοδοί του ελεγκτή είναι τα σήματα (X_i, Y_i), $i=1,2,3,4$ και οι έξοδοι είναι τα σήματα Z_F, Z_G . Το κύκλωμα αποτελείται από δύο όμοια τμήματα που το καθένα ελέγχει τα μισά από τα σήματα εισόδου. Το κύκλωμα του σχήματος 2.14 έχει σχεδιαστεί έτσι ώστε να ελέγχει συνολικά τέσσερα ζεύγη εισόδων κώδικα διπλού συρμού ενώ το κάθε ένα τμήμα ελέγχει από δύο ζεύγη.

Για μεγαλύτερο πλήθος ζευγών αρκεί στο πρώτο τμήμα να συνδεθούν ζεύγη pMOS τρανζίστορ μεταξύ του κόμβου $O1$ και της τροφοδοσίας V_{DD} και ζεύγη nMOS τρανζίστορ μεταξύ του κόμβου $O2$ και της γης. Ακριβώς τα ίδια ζεύγη θα προστεθούν και στο δεύτερο τμήμα στους αντίστοιχους κόμβους $O3$ και $O4$. Το πρώτο τμήμα του κυκλώματος ενεργοποιείται από το σήμα ρολογιού CLK , ενώ το δεύτερο τμήμα

οδηγείται από το συμπληρωματικό του \overline{CLK} . Με τον τρόπο αυτό ελέγχονται σε κάθε ημιπερίοδο από το κάθε τμήμα τα μισά ζεύγη και ταυτόχρονα οι έξοδοι του κυκλώματος έχουν πάντοτε συμπληρωματικές τιμές. Πιο συγκεκριμένα, στο σχήμα 2.14 τα δύο σε σειρά συνδεδεμένα pMOS τρανζίστορ τα οποία οδηγούνται από σήματα εισόδου X_1 , Y_1 και X_2 , Y_2 , έχουν τέτοιες διαστάσεις, ώστε να είναι πιο αγώγιμα (κυρίαρχα) από τον αναστροφέα που οδηγείται από το σήμα του ρολογιού (CLK) και επομένως με την εμφάνιση της μη κωδικής λέξης "00" στην είσοδό τους, να φορτίζουν τον κόμβο $O1$ στο V_{DD} . Όμοια τα δύο σε σειρά συνδεδεμένα nMOS που οδηγούνται από τα ίδια σήματα εισόδου, έχουν τέτοιες διαστάσεις ώστε να είναι πιο αγώγιμα (κυρίαρχα) από τον αναστροφέα $A1$, οπότε με την εμφάνιση της μη κωδικής λέξης "11" στην είσοδό τους, θα αποφορτίσουν τον κόμβο $O2$.



Σχήμα 2.14. Παράλληλος ελεγκτής διπλού συρμού 4 εισόδων [105].

Η δοκιμή αυτού του ελεγκτή πραγματοποιείται με δύο μόνο διανύσματα εισόδου και οι πλήρεις επιδόσεις αυτού του κυκλώματος θα παρουσιαστούν στο επόμενο κεφάλαιο όπου θα γίνει και σύγκριση με ένα νέο κύκλωμα παράλληλου ελεγκτή περιοδικής εξόδου.

3. ΠΑΡΑΛΛΗΛΟΣ ΟΛΙΚΑ ΑΥΤΟΕΛΕΓΧΟΜΕΝΟΣ ΕΛΕΓΚΤΗΣ ΓΙΑ ΚΩΔΙΚΑ ΔΙΠΛΟΥ ΣΥΡΜΟΥ

3.1 Εισαγωγή

Ο ελεγκτής που παρουσιάζεται σε αυτό το κεφάλαιο ανήκει στην κατηγορία των παράλληλων ελεγκτών με περιοδικές εξόδους. Η λειτουργία του βασίζεται σε αναλογικές τεχνικές και ειδικότερα στην τεχνική του καθρεπτισμού ρεύματος γι' αυτό και αναφέρεται ως ελεγκτής σε λειτουργία ρεύματος (Current Mode Checker). Έχει τη δυνατότητα να παρακολουθεί έναν μεγάλο αριθμό γραμμών κώδικα διπλού συρμού (Two Rail Code) στην είσοδό του. Ο νέος αυτός ελεγκτής είναι ολικά αυτοελεγχόμενος, λειτουργεί σε υψηλές συχνότητες και καταλαμβάνει μικρή επιφάνεια πυριτίου. Η λειτουργία του έχει επιβεβαιωθεί με προσομοιώσεις λαμβάνοντας υπόψιν τις διακυμάνσεις τόσο της θερμοκρασίας όσο και των ηλεκτρικών παραμέτρων (process variations). Επίσης, έχει γίνει φυσική σχεδίαση του ελεγκτή σε τεχνολογία 0,18μm της ST Microelectronics.

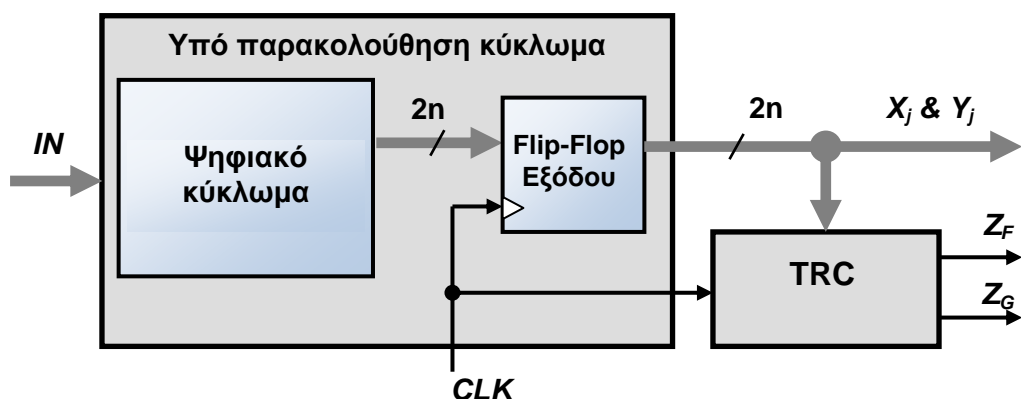
Ο ελεγκτής αυτός είναι κατάλληλος να ενσωματωθεί στο υπό παρακολούθηση κύκλωμα διότι απαιτεί μικρή επιφάνεια πυριτίου και είναι σε θέση να παρακολουθεί μεγάλο πλήθος ζευγών (μεγάλο fan-in). Αποδεικνύεται πως είναι ολικά αυτοελεγχόμενος (TSC) ή ισχυρά κωδικά διαχωρίσιμος (SCD) για ένα ευρύ σύνολο ρεαλιστικών σφαλμάτων, ενώ μια τροποποιημένη σχεδίασή του είναι σε θέση να ανιχνεύσει ακόμη και σφάλματα μόνιμα μη αγώγιμων τρανζίστορ (Transistor Stuck Open Faults). Ο ελεγκτής αυτός ανήκει στην κατηγορία των παράλληλων ελεγκτών κώδικα διπλού συρμού με περιοδική έξοδο και ένα σημαντικό μειονέκτημα αυτής της κατηγορίας ήταν η αδυναμία ανίχνευσης όλων των σφαλμάτων μη αγώγιμων τρανζίστορ [99], [105]. Οι μόνοι ελεγκτές διπλού συρμού που είχαν την δυνατότητα να είναι ολικά αυτοελεγχόμενοι (με δοκιμή και των μη αγώγιμων τρανζίστορ) ήταν οι ελεγκτές με δένδρική δομή όπως έχει αναφερθεί και στο προηγούμενο κεφάλαιο. Στο σημείο αυτό πρέπει να τονιστεί ότι τα σφάλματα των μη αγώγιμων τρανζίστορ παρουσιάζουν ένα ιδιαίτερο ενδιαφέρον για τις υπομικρονικές τεχνολογίες [106], [107], [108] διότι με την κλιμάκωση της τεχνολογίας οι διασυνδέσεις των κόμβων ενός κυκλώματος εμφανίζουν υψηλή ωμική αντίσταση ικανή να ληφθεί ως ανοικτό κύκλωμα. Όμως, οι ελεγκτές με δένδρική δομή εκτός από την μεγάλη επιφάνεια πυριτίου, απαιτούν και ένα μεγάλο πλήθος διανυσμάτων δοκιμής για να είναι ολικά αυτοελεγχόμενοι για το πλήρες σύνολο σφαλμάτων. Τα διανύσματα αυτά θα πρέπει να τα παρέχει το υπό παρακολούθηση κύκλωμα γεγονός που εισάγει μια επιπλέον απαίτηση στον σχεδιασμό ενός συστήματος υψηλής αξιοπιστίας. Ο ελεγκτής που προτείνεται σε αυτό το κεφάλαιο απαιτεί μόνο δύο κωδικές λέξεις στην είσοδό του από το συνολικό πλήθος των 2ⁿ κωδικών λέξεων, για να ικανοποιήσει την ιδιότητα του ολικά αυτοελεγχόμενου ελεγκτή (TSC) ή του ισχυρά κωδικά διαχωρίσιμου ελεγκτή (SCD) για το πλήρες σύνολο σφαλμάτων [99], [103], [104], [105].

Αρχικά, θα παρουσιαστεί ο προτεινόμενος ελεγκτής και στη συνέχεια θα δοθούν συγκρίσεις με τον παράλληλο ελεγκτή που προτάθηκε στην εργασία [105], ο οποίος είναι μέχρι στιγμής ο καλύτερος που υπάρχει στην βιβλιογραφία σε επιδόσεις. Στη συνέχεια θα δοθεί μια τροποποιημένη έκδοση αυτού του ελεγκτή η οποία έχει την δυνατότητα να ανιχνεύει σφάλματα που οφείλονται σε μόνιμα μη αγώγιμα τρανζίστορ.

Εξετάζεται επίσης η ανίχνευση σφαλμάτων γεφύρωσης σε όλους τους πιθανούς κόμβους του κυκλώματος και προτείνεται μέθοδος φυσικής σχεδίασης για τον παραμετροποιημένο σχεδιασμό των σχετικών ελεγκτών και την ελάχιστη δυνατή επιφάνεια πυριτίου, έτσι ώστε ο ελεγκτής αυτός να μπορεί να χρησιμοποιηθεί ως ενσωματωμένος στο κύκλωμα.

3.2 Ο προτεινόμενος ελεγκτής κώδικα διπλού συρμού (Two Rail Code Checker)

Η γενική τοπολογία ενός κυκλώματος που ελέγχεται από έναν ελεγκτή κώδικα διπλού συρμού (TRC) παρουσιάζεται στο σχήμα 3.1. Το υπό παρακολούθηση κύκλωμα σχεδιάζεται κατάλληλα ώστε να παραγάγει n ζεύγη γραμμών με συμπληρωματικές τιμές στον κώδικα διπλού συρμού ($X_j, Y_j, j \in [1, \dots, n]$). Στην περίπτωση που δεν υπάρχει σφάλμα (fault-free) ισχύει $X_j = \overline{Y_j}$ για να είναι έγκυρη η τιμή του j -ιστού bit. Στην περίπτωση που υπάρχει εσωτερικό σφάλμα θα ισχύει $X_j \neq \overline{Y_j}$ στο j -ιστό bit. Ο ελεγκτής TRC ελέγχει εάν οι λέξεις που παράγονται από το υπό παρακολούθηση κύκλωμα είναι έγκυρες, δηλαδή αν έχουν συμπληρωματικές τιμές ή όχι, και παράγει στην έξοδο τα σήματα Z_F και Z_G (κωδικοποιημένα στον ίδιο κώδικα) τα οποία δηλώνουν την ορθή λειτουργία του κυκλώματος.



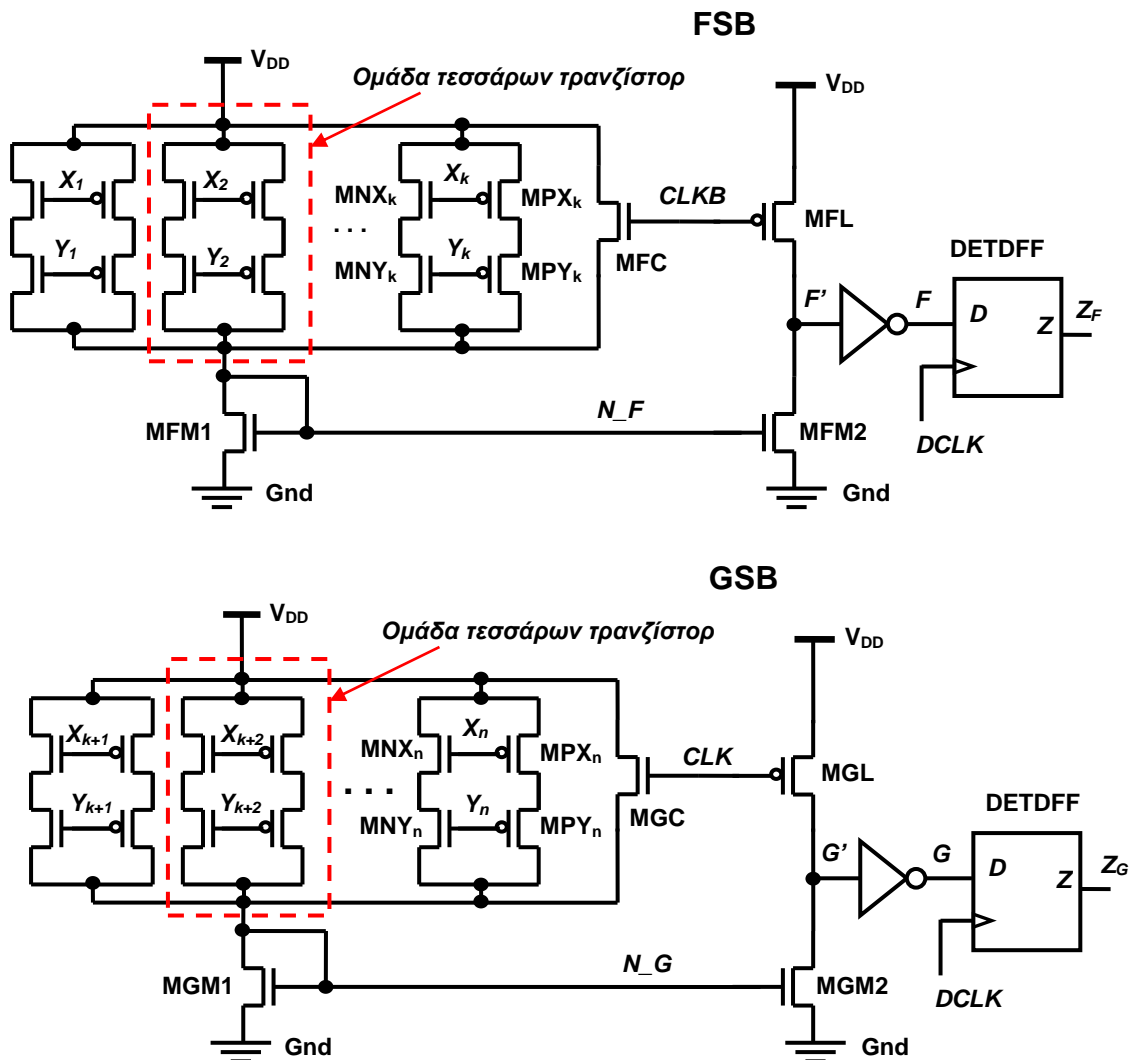
Σχήμα 3.1. Αυτοελεγχόμενο κύκλωμα με ελεγκτή διπλού συρμού (TRC).

3.2.1 Τοπολογία του ελεγκτή

Το κύκλωμα του ελεγκτή διπλού συρμού n -ζευγών (n -variable) που σχεδιάστηκε στο πλαίσιο αυτής της διατριβής φαίνεται στο σχήμα 3.2 και βασίζεται στην λειτουργία του καθρεπτισμού ρεύματος, η οποία είναι μια καθαρά αναλογική τεχνική [109], [110]. Το κύκλωμα διαιρείται σε δύο όμοια υποκύκλωμα (sub-blocks) τα οποία τα ονομάζουμε FSB (F Sub Block) και GSB (G Sub Block). Ο ελεγκτής δέχεται στην είσοδό του n ζεύγη κωδικοποιημένα στον κώδικα διπλού συρμού ($X_j, Y_j, j \in [1, \dots, n]$) και δίνει στην έξοδό του τα Z_F και Z_G , μία έξοδο από κάθε υποκύκλωμα, κωδικοποιημένα πάλι στον κώδικα διπλού συρμού.

Όπως έχει αναφερθεί ο ελεγκτής ανήκει στην κατηγορία των ελεγκτών διπλού συρμού με περιοδική έξοδο και έχει σχεδιαστεί έτσι ώστε οι έξοδοι Z_F και Z_G (και επίσης οι αντίστοιχοι εσωτερικοί κόμβοι κάθε υποκύκλωματος) να παρουσιάζουν εναλλασσόμενες συμπληρωματικές τιμές σε κάθε ημιπερίοδο ρολογιού. Με αυτό τον τρόπο ο ελεγκτής αφενός εξασφαλίζει ότι δεν θα υπάρχει σφάλμα μόνιμης τιμής στο εσωτερικό του, αφετέρου ελέγχει παράλληλα την εγκυρότητα των σημάτων στην είσοδό του.

Το πρώτο υποκύκλωμα τροφοδοτείται από τα μισά από τα ζεύγη με κώδικα διπλού συρμού ($X_r, Y_r, r \in [1, \dots, k]$) όπου $k = n/2$) και τροφοδοτείται επίσης και από το συμπληρωματικό σήμα ρολογιού $CLKB$. Το δεύτερο υποκύκλωμα οδηγείται από το σήμα ρολογιού CLK και από τα υπόλοιπα ζεύγη ($X_s, Y_s, s \in [k+1, k+2, \dots, n]$) όπου $k = n/2$).



Σχήμα 3.2. Ο προτεινόμενος ελεγκτής κώδικα διπλού συρμού, $k = n/2$.

Κάθε ζεύγος εισόδου (X_j, Y_j) οδηγεί δύο nMOS τρανζίστορ συνδεδεμένα σε σειρά (MNX_j και MNY_j) και δύο pMOS τρανζίστορ συνδεδεμένα σε σειρά (MPX_j και MPY_j), όπως φαίνεται στο σχήμα 3.2 σχηματίζοντας μια ομάδα 4 τρανζίστορ ανά ζεύγος εισόδου. Σε κάθε υποκύκλωμα FSB και GSB υπάρχουν $n/2$ τέτοιες ομάδες των 4 τρανζίστορ ή αλλιώς n ζεύγη τρανζίστορ. Σε κάθε υποκύκλωμα οι $n/2$ ομάδες των 4 τρανζίστορ συνδέονται μεταξύ τους παράλληλα και μεταξύ της τροφοδοσίας V_{DD} και της εισόδου του αντίστοιχου καθρέπτη κάθε υποκυκλώματος (στο FSB οι $n/2$ ομάδες συνδέονται μεταξύ V_{DD} και του κόμβου N_F ενώ στο GSB μεταξύ V_{DD} και του κόμβου N_G). Αν εμφανιστεί μια μη κωδική λέξη σε ένα από τα ζεύγη εισόδου (τουλάχιστον ένα $j: X_j = Y_j$) τότε σχηματίζεται ένα αγωγίμο μονοπάτι μεταξύ της τροφοδοσίας V_{DD} και της εισόδου του καθρέπτη N_F ή N_G , σε άλλη περίπτωση ο καθρέπτης δεν τροφοδοτείται με ρεύμα.

Δύο ακόμη nMOS τρανζίστορ τα MFC και MGC, συνδέονται και αυτά μεταξύ του V_{DD} και της εισόδου του αντίστοιχου καθρέπτη σε κάθε υποκύκλωμα. Το τρανζίστορ MFC του υποκυκλώματος FSB οδηγείται από το σήμα $CLKB$, ενώ το τρανζίστορ MGC του υποκυκλώματος GSB οδηγείται από το σήμα CLK . Οι δύο καθρέπτες σχηματίζονται από τα ζεύγη των nMOS τρανζίστορ MFM1 - MFM2 για το υποκύκλωμα FSB και αντίστοιχα το ζεύγος MGM1 - MGM2 για το GSB. Επιπρόσθετα, ως φορτία χρησιμοποιούνται τα δύο pMOS τρανζίστορ, τα MFL και MGL τα οποία συνδέονται στις αντίστοιχες εξόδους F' και G' των καθρεπτών. Το τρανζίστορ MFL οδηγείται από σήμα $CLKB$ και το MGL από σήμα CLK . Οι δύο έξοδοι F και G των αναστροφένων μανδαλώνονται στην άνοδο αλλά και στην κάθοδο του παλμού μιας καθυστερημένης έκδοσης του ρολογιού DCLK με τη βοήθεια δύο τροποποιημένων D Flip-Flop διπλής ακμής (DETDFD Doubled Edge Triggered DFF). Τα τροποποιημένα D Flip-Flop φαίνονται στο σχήμα 3.3 και είναι τα ίδια με αυτά που προτείνονται στην εργασία [105]. Στις εξόδους Z_F και Z_G των DETDFD έχουμε τον ζητούμενο κώδικα διπλού συρμού από τον ελεγκτή. Το σήμα DCLK φαίνεται και αυτό στο σχήμα 3.3 και είναι το σήμα CLK καθυστερημένο κατά ένα χρονικό διάστημα το οποίο ισούται με την καθυστέρηση απόκρισης των εξόδων F και G του ελεγκτή συν την καθυστέρηση (setup time) των DETDFD.

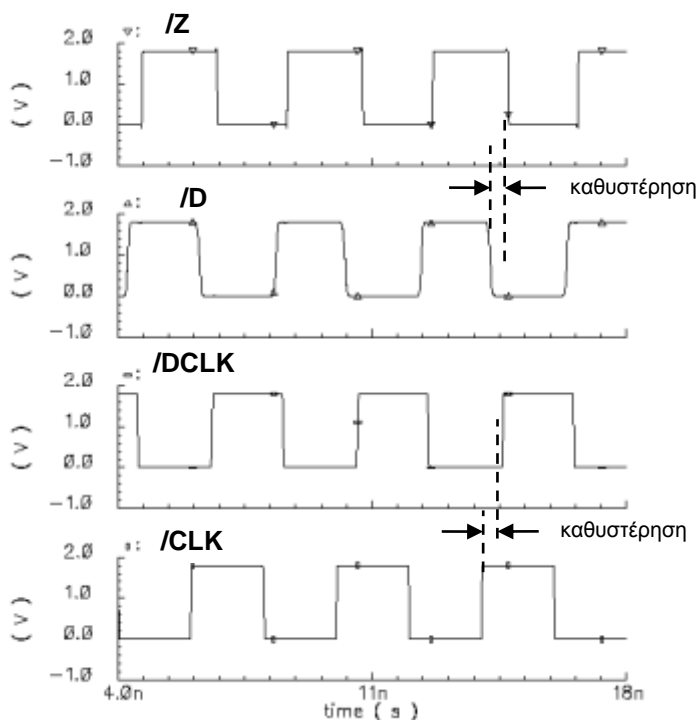
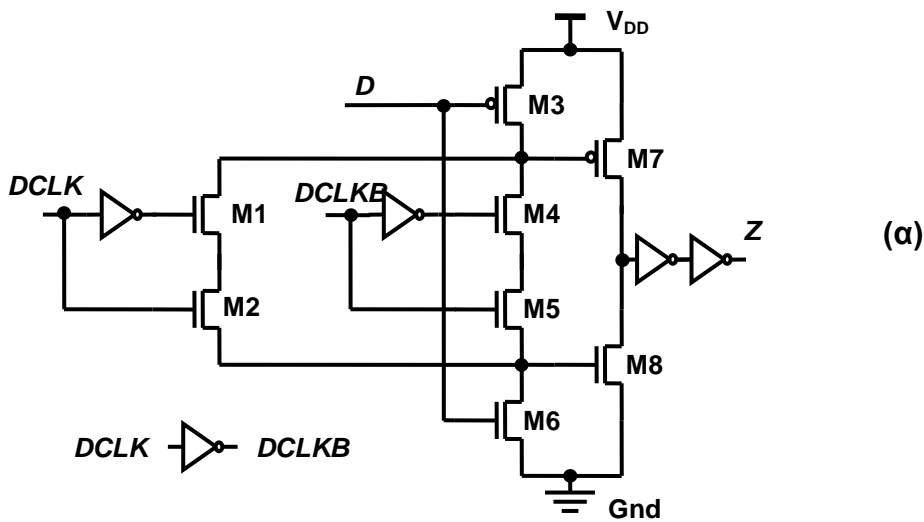
Σε κάθε ακμή του ρολογιού $DCLK$ οι κόμβοι εξόδου του ελεγκτή F και G , παρουσιάζουν πάντοτε συμπληρωματικές τιμές στην περίπτωση απουσίας σφαλμάτων στο υπό παρακολούθηση κύκλωμα και μη συμπληρωματικές τιμές στην περίπτωση παρουσίας σφάλματος. Το ίδιο ακριβώς θα ισχύει και για τις τελικές εξόδους του κυκλώματος, τις Z_F και Z_G , οι οποίες παρέχουν και την ένδειξη ορθής ή μη λειτουργίας του συστήματος.

3.2.2 Λειτουργία του ελεγκτή

Η λειτουργία του ελεγκτή μπορεί να χωριστεί σε δύο φάσεις, σύμφωνα με την ημιπερίοδο του ρολογιού CLK , εντελώς διαφανείς στο υπό παρακολούθηση κύκλωμα. Τα σήματα στις εισόδους του ελεγκτή υποθέτουμε ότι θα είναι σύγχρονα, διαφορετικά θα πρέπει να επιβληθεί μια επιπλέον καθυστέρηση στο ρολόι τέτοια ώστε τα σήματα στις εισόδους του ελεγκτή να έχουν σταθερές τιμές. Στην περίπτωση απουσίας σφάλματος ($X_j = \bar{Y}_j \quad \forall j \in [1, \dots, n]$) ισχύουν για κάθε ημιπερίοδο του ρολογιού τα εξής:

- Στην πρώτη ημιπερίοδο, όταν $CLK=“1”$ τα παράλληλα ζεύγη τρανζίστορ στο υποκύκλωμα FSB και το τρανζίστορ MFC είναι μη αγώγιμα με συνέπεια να μην διέρχεται ρεύμα από τον αντίστοιχο καθρέπτη και ο κόμβος F' να φορτίζεται μέσω του αγώγιμου pMOS τρανζίστορ MFL στην τάση τροφοδοσίας V_{DD} . Στο υποκύκλωμα GSB το τρανζίστορ MGC βρίσκεται στην αγώγιμη κατάσταση και παρέχει ρεύμα στην είσοδο του καθρέπτη. Επίσης, το pMOS τρανζίστορ MGL βρίσκεται σε μη αγώγιμη κατάσταση και ο κόμβος G' εκφορτίζεται αποκτώντας τελικά δυναμικό μηδέν. Επομένως, στο τέλος της πρώτης ημιπεριόδου του ρολογιού οι έξοδοι F και G θα έχουν συμπληρωματικές τιμές (η F θα έχει τιμή “0” και η G θα έχει τιμή “1”)
- Στη δεύτερη ημιπερίοδο όπου το $CLK=“0”$ το τρανζίστορ MFC, στο υποκύκλωμα FSB, άγει και τροφοδοτεί με ρεύμα την είσοδο του αντίστοιχου καθρέπτη. Το pMOS τρανζίστορ MFL δεν άγει, με αποτέλεσμα ο κόμβος F' να εκφορτίζεται προς την γη (GND). Αντιθέτως τα παράλληλα ζεύγη των τρανζίστορ στο υποκύκλωμα GSB καθώς και το τρανζίστορ MGC δεν άγουν (βρίσκονται στην αποκοπή) με αποτέλεσμα να μη διέρχεται ρεύμα από τον καθρέπτη ρεύματος. Ο

κόμβος G' φορτίζεται μέσω του αγώγιμου τώρα pMOS τρανζίστορ MGL και αποκτά δυναμικό VDD. Τελικά, στο τέλος και της δεύτερης ημιπεριόδου του ρολογιού, οι κόμβοι F' και G' θα παρουσιάζουν συμπληρωματικές τιμές και οι αντίστοιχες έξοδοι του ελεγκτή έχουν η μεν F τιμή "1", η δε G έχει τιμή "0".



Σχήμα 3.3. (α) κύκλωμα D Flip-Flop διπλής ακμής και (β) κυματομορφές εισόδου και εξόδου του.

Στην περίπτωση απουσίας σφάλματος, επομένως, οι κόμβοι F και G καθώς και οι έξοδοι του κυκλώματος Z_F και Z_G , θα παρουσιάζουν πάντοτε συμπληρωματικές τιμές (κώδικας διπλού συρμού) στο τέλος κάθε ημιπεριόδου.

Όταν σε κάποια ή κάποιες από τις εισόδους του κυκλώματος εμφανιστεί μια μη κωδική λέξη τότε τουλάχιστον ένα ζεύγος (X_j, Y_j) από τις εισόδους του κυκλώματος θα έχει ίδιες τιμές (δηλαδή $X_j = Y_j$ και επομένως δεν ανήκει στον κώδικα διπλού συρμού). Διακρίνουμε τις εξής τρεις περιπτώσεις:

- i. το ζεύγος ή τα ζεύγη των μη κωδικών λέξεων τροφοδοτούν μόνο το υποκύκλωμα FSB,
- ii. το ζεύγος ή τα ζεύγη των μη κωδικών λέξεων τροφοδοτούν μόνο το GSB και
- iii. κάποια από τα μη κωδικά ζεύγη τροφοδοτούν το FSB και τα υπόλοιπα τροφοδοτούν το GSB.

Στην περίπτωση (i) θα υπάρχει τουλάχιστον ένα ζεύγος τρανζίστορ συνδεδεμένων σε σειρά στην είσοδο του FSB το οποίο θα τροφοδοτείται με μη κωδική λέξη με αποτέλεσμα το ζεύγος να είναι αγώγιμο. Αυτό συμβαίνει διότι το ζεύγος των pMOS τρανζίστορ θα άγει αν $X_j = Y_j = "0"$ ή το παράλληλα συνδεδεμένο ζεύγος των nMOS τρανζίστορ θα άγει αν $X_j = Y_j = "1"$. Επομένως, στην πρώτη ημιπερίοδο του ρολογιού θα υπάρχει μια ροή ρεύματος στην είσοδο του καθρέπτη του υποκυκλώματος FSB η οποία θα εκφορτίζει, ή θα διατηρεί εκφορτισμένο τον κόμβο F'. Αυτό γίνεται διότι ο καθρέπτης έχει σχεδιαστεί να είναι κυρίαρχος (δηλαδή να άγει περισσότερο) έναντι του τρανζίστορ φόρτου MFL. Το αποτέλεσμα θα είναι τελικά ο κόμβος F να μεταβεί στο "1" και εφόσον η απόκριση του υποκυκλώματος GSB δεν εξαρτάται από τις τιμές των εισόδων του στην πρώτη ημιπερίοδο και οι δύο έξοδοι F και G θα είναι στο "1".

Παρόμοια στην περίπτωση (ii) θα υπάρχει τουλάχιστον ένα ζεύγος τρανζίστορ συνδεδεμένων σε σειρά στην είσοδο του GSB το οποίο θα οδηγείται με μη κωδική λέξη με αποτέλεσμα το ζεύγος να είναι αγώγιμο, οπότε στη δεύτερη ημιπερίοδο του ρολογιού θα υπάρχει μια ροή ρεύματος στην είσοδο του καθρέπτη του υποκυκλώματος GSB η οποία θα εκφορτίζει ή θα διατηρεί εκφορτισμένο τον κόμβο G'. Αυτό θα συμβαίνει διότι και εδώ ο καθρέπτης έχει σχεδιαστεί να είναι επίσης κυρίαρχος έναντι του τρανζίστορ φόρτου MGL. Το αποτέλεσμα και πάλι θα είναι ο κόμβος G να μεταβαίνει στο "1" στη δεύτερη ημιπερίοδο του ρολογιού και καθώς ο κόμβος F είναι πάντα στο "1" στη δεύτερη ημιπερίοδο, ανεξαρτήτως από τις τιμές των εισόδων του και οι δύο κόμβοι F και G να βρίσκονται στο "1" κατά τη διάρκεια της δεύτερης ημιπεριόδου.

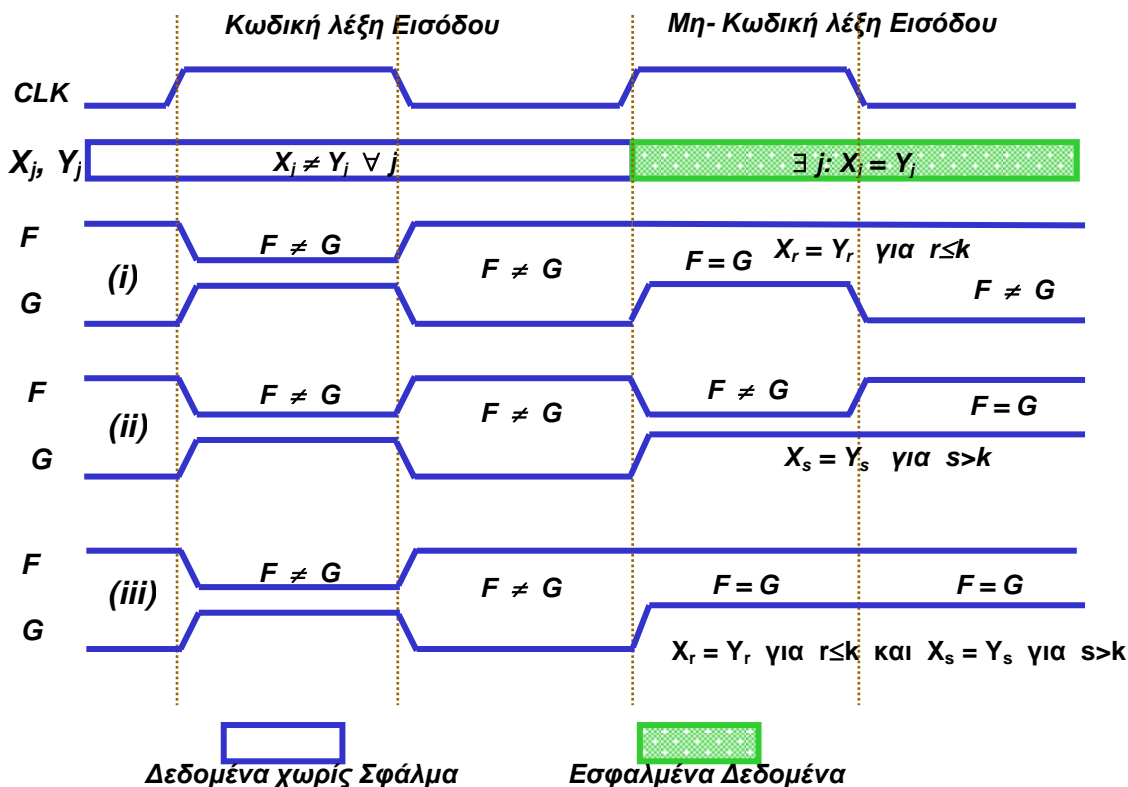
Στη περίπτωση (iii) έχουμε εσφαλμένα ζεύγη δεδομένων στις εισόδους και των δύο υποκυκλωμάτων, στο FSB και στο GSB. Σύμφωνα με τα παραπάνω θα έχουμε στις εξόδους F και G λογικό "1" στην πρώτη ημιπερίοδο λόγω της περίπτωσης (i) και επίσης λογικό "1" στην δεύτερη ημιπερίοδο λόγω της περίπτωσης (ii) οπότε οι έξοδοι θα είναι στο "1" για όλη την διάρκεια της περιόδου του ρολογιού.

Στο σχήμα 3.4 φαίνονται οι αποκρίσεις των κόμβων F και G του ελεγκτή. Αρχικά απεικονίζεται η έξοδος όταν δεν υπάρχει σφάλμα στα δεδομένα εισόδου. Έχουμε δηλαδή μια έγκυρη κωδική λέξη του κώδικα διπλού συρμού και στη συνέχεια απεικονίζεται η έξοδος παρουσία σφάλματος σε όλες τις παραπάνω περιπτώσεις. Και στις τρεις περιπτώσεις οι κόμβοι F και G του ελεγκτή μανδαλώνονται από τα DETDFF και στις εξόδους Z_F και Z_G έχουμε την ένδειξη σφάλματος για όσο χρόνο απαιτείται για την αποκατάσταση της κανονικής λειτουργίας. Από την παραπάνω ανάλυση αποδεικνύεται ότι το προτεινόμενο κύκλωμα είναι Κωδικά Διαχωρισίμο (Code Disjoint) εφόσον κωδικές λέξεις στην είσοδο αντιστοιχούν σε κωδικές λέξεις στην έξοδο και μη κωδικές λέξεις στην είσοδο δίνουν μη κωδικές λέξεις στην έξοδο.

3.3 Η ιδιότητα αυτοελέγχου του προτεινόμενου ελεγκτή

Σε αυτή την ενότητα θα μελετηθεί η ιδιότητα αυτοελέγχου (self-checking) του προτεινόμενου ελεγκτή ως προς ένα σύνολο σφαλμάτων που περιλαμβάνει: 1) σφάλματα μόνιμης τιμής κάποιας γραμμής ή κόμβου, 2) σφάλματα μόνιμα αγώγιμων τρανζίστορ, 3) σφάλματα μόνιμα μη αγώγιμων τρανζίστορ και 4) μεταβατικά σφάλματα. Έχουν γίνει αποδεκτές οι εξής δύο υποθέσεις οι οποίες είναι συνηθισμένες στους

αυτοελεγχόμενους ελεγκτές [91], [105], [111]: i) ένα μόνο σφάλμα εμφανίζεται σε κάποια χρονική στιγμή και ii) ο χρόνος μεταξύ δύο διαδοχικών σφαλμάτων είναι αρκετός ώστε να είναι δυνατή η εφαρμογή όλων των κωδικών λέξεων (ή τουλάχιστον αυτών που απαιτούνται) για την δοκιμή του κυκλώματος.



Σχήμα 3.4. Η απόκριση του ελεγκτή για κωδικές και μη κωδικές λέξεις εισόδου.

3.3.1 Σφάλματα μόνιμης τιμής γραμμής

Υπάρχουν πέντε περιπτώσεις σφαλμάτων μόνιμης τιμής γραμμής (Stuck At - SA):

- α) στις γραμμές εισόδου του ελεγκτή $X_j, Y_j, j \in [1, \dots, n]$,
- β) στις γραμμές F, G, Z_F και Z_G του ελεγκτή,
- γ) στις εσωτερικές γραμμές του ελεγκτή N_F, F', N_G και G' ,
- δ) στα σήματα ρολογιού CLK ή $CLKB$ και
- ε) στις εσωτερικές γραμμές των Flip-Flops DETDFF.

α) Σφάλματα Μόνιμης Τιμής (SA) στις γραμμές εισόδου $X_j, Y_j, j \in [1, \dots, n]$, του ελεγκτή είναι ισοδύναμα με μη κωδικές λέξεις, δηλαδή λέξεις που δεν ανήκουν στον κώδικα διπλού συρμού. Επομένως, ο ελεγκτής είναι ολικά αυτοελεγχόμενος (TSC) όσον αφορά αυτά τα σφάλματα.

β) Προφανώς, ο ελεγκτής είναι επίσης TSC ως προς τα σφάλματα SA που αφορούν τις γραμμές F, G, Z_F και Z_G .

- γ) Ένα σφάλμα SA με μόνιμη τιμή “0” ή μόνιμη τιμή “1” επάνω στους κόμβους N_F (N_G) είναι ισοδύναμο με ένα σφάλμα SA “0” ή “1” πάνω στον κόμβο F (G) του ελεγκτή. Παρόμοια, ένα σφάλμα SA με μόνιμη τιμή “0” ή μόνιμη τιμή “1” επάνω στους κόμβους F' (G') είναι ισοδύναμο με ένα SA “1” ή “0” πάνω στον κόμβο F (G) του ελεγκτή. Συνεπώς, σύμφωνα με την περίπτωση (β), ο ελεγκτής είναι TSC για αυτό το είδος σφαλμάτων.
- δ) Ένα σφάλμα SA με μόνιμη τιμή “0” πάνω στο σήμα ρολογιού CLK ($CLKB$) είναι ισοδύναμο με ένα σφάλμα SA “0” πάνω στον κόμβο G (F). Επιπλέον, ένα σφάλμα SA με μόνιμη τιμή “1” πάνω στο σήμα ρολογιού CLK ($CLKB$) είναι ισοδύναμο με ένα σφάλμα SA “1” πάνω στον κόμβο G (F). Επομένως, ο ελεγκτής είναι TSC όσον αφορά αυτά τα σφάλματα.
- ε) Τα Flip-Flops που χρησιμοποιήθηκαν (DETDFP) είναι ίδια με τα Flip-Flops που αναφέρονται στην [105] και εκτελούν την ίδια ακριβώς λειτουργία, δηλαδή μανδαλώνουν τις εξόδους F και G του ελεγκτή και στην άνοδο και στην κάθοδο μιας καθυστερημένης έκδοσης του ρολογιού DCLK. Δεδομένου ότι έχει αποδειχθεί στην [105], ότι τα SA σφάλματα στις εσωτερικές γραμμές των Flip-Flops είναι ανιχνεύσιμα, ο ελεγκτής είναι TSC για αυτό το είδος σφαλμάτων.

3.3.2 Σφάλματα μόνιμα μη αγώγιμων τρανζίστορ

Τα σφάλματα μόνιμα μη αγώγιμων τρανζίστορ (Transistor Stack Open - TSOP) μπορούν να ταξινομηθούν σε πέντε ομάδες ως εξής:

- α) σφάλματα TSOP στα τρανζίστορ που οδηγούνται από τα ζεύγη (X_j, Y_j) των σημάτων εισόδου του ελεγκτή $(X_j, Y_j, j \in \{1, \dots, n\})$,
- β) σφάλματα TSOP στα τρανζίστορ που οδηγούνται από τα σήματα ρολογιών CLK και $CLKB$,
- γ) σφάλματα TSOP στα τρανζίστορ των καθρεπτών,
- δ) σφάλματα TSOP στα τρανζίστορ των αναστροφών και
- ε) σφάλματα TSOP στα τρανζίστορ των Flip-Flops DETDFP.

- α) Τα σφάλματα TSOP του πρώτου είδους δεν είναι ανιχνεύσιμα διότι καμία από τις κωδικές λέξεις (“1”, “0”) και (“0”, “1”) δεν μπορεί να δημιουργήσει αγώγιμο δρόμο μεταξύ τροφοδοσίας και εισόδου του καθρέπτη αν κάποιο από τα ζεύγη των τρανζίστορ εισόδου είναι μόνιμα μη αγώγιμο. Συνεπώς, ο ελεγκτής δεν είναι ολικά αυτοελεγχόμενος ως προς αυτό το είδος σφαλμάτων αλλά παραμένει ασφαλής από σφάλμα (Fault Secure). Στο σημείο αυτό πρέπει να αναφέρουμε ότι υπάρχουν μη κωδικές λέξεις που αν εφαρμοστούν στην είσοδο δεν είναι ανιχνεύσιμες από τον ελεγκτή παρουσία αυτού του είδους σφαλμάτων. Πρέπει να σημειωθεί ότι και ο ελεγκτής με περιοδική έξοδο που παρουσιάζεται στην [105], επίσης αδυνατεί να ανιχνεύσει αυτού του είδους τα σφάλματα και είναι και αυτός μη ολικά αυτοελεγχόμενος ως προς αυτό το είδος σφαλμάτων για τον ίδιο αριθμό τρανζίστορ εισόδου. Συγκεκριμένα, τα τρανζίστορ που δεν ελέγχονται είναι αυτά που οδηγούνται από τα σήματα εισόδου. Όπως αναφέρεται στην [105], θα ήταν δυνατή η ανίχνευση αυτών των σφαλμάτων εκτός λειτουργίας (off line) με την εφαρμογή των κατάλληλων κωδικών λέξεων που δεν ανήκουν στον κώδικα διπλού συρμού (non Two-Rail codewords). Οι απαραίτητες αυτές λέξεις είναι εκείνες όπου $(X_i, Y_i) = (“1”, “1”)$ και στη συνέχεια (“0”, “0”) ενώ για κάθε $j \neq i$ ισχύει ότι

$(X_j, Y_j) = ("0", "1")$ ή $(“1”, “0”)$, με $i, j \in [1, \dots, n]$. Μια διαφορετική προσέγγιση είναι να χρησιμοποιηθεί ένα πρόσθετο ενσωματωμένο κύκλωμα ελέγχου (BIST) για να ανιχνεύει αυτά τα σφάλματα όπως προτείνεται στην [112]. Στην παράγραφο 3.6.5 θα παρουσιαστεί μια τροποποίηση στον ελεγκτή τέτοια ώστε αυτός να έχει τη δυνατότητα να καλύψει και αυτά τα σφάλματα.

- β) Στην περίπτωση εμφάνισης σφάλματος TSOP στο τρανζίστορ MFC (MGC) του υποκυκλώματος FSB (GSB) θα έχουμε ως αποτέλεσμα την τιμή μόνιμη “0” (ή “low”) στην έξοδο F (G) του ελεγκτή κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου του ρολογιού. Αυτό το είδος του σφάλματος όπως έχει αναφερθεί προηγουμένως είναι ανιχνεύσιμο. Το ίδιο ακριβώς ισχύει και για το τρανζίστορ MFL (MGL) αν εμφανιστεί σε αυτό ένα σφάλμα TSOP. Η έξοδος F (G) του ελεγκτή είναι μόνιμα “1” (ή “high”) κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου του ρολογιού οπότε και αυτό, όπως έχουμε δει παραπάνω, ανιχνεύεται. Συνοψίζοντας, ο ελεγκτής είναι TSC ως προς αυτά τα είδη σφαλμάτων.
- γ) Η εμφάνιση ενός σφάλματος TSOP στο τρανζίστορ MFM1 (MGM1) θα είχε ως αποτέλεσμα ο κόμβος N_F (N_G) να είναι μόνιμα φορτισμένος στο V_{DD} . Το τρανζίστορ MFM2 (MGM2) θα ήταν τότε μόνιμα σε αγώγιμη κατάσταση με αποτέλεσμα ο κόμβος F (G) να μεταβαίνει στην στάθμη “high” κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου του ρολογιού. Επομένως, ο ελεγκτής είναι TSC ως προς αυτό το είδος σφαλμάτων. Επιπρόσθετα, ένα σφάλμα TSOP στο τρανζίστορ MFM2 (MGM2) θα είχε ως αποτέλεσμα ο κόμβος F (G) του ελεγκτή να μεταβαίνει στην στάθμη “low” κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου του ρολογιού. Οπότε, ο ελεγκτής είναι TSC και ως προς αυτό το είδος σφαλμάτων.
- δ) Η εμφάνιση ενός σφάλματος TSOP στο pMOS τρανζίστορ του αναστροφέα ισοδυναμεί με σφάλμα μόνιμης τιμής (SA) “0” στην έξοδό του. Επίσης, ένα σφάλμα TSOP στο nMOS τρανζίστορ του αναστροφέα ισοδυναμεί με σφάλμα SA “1” στην έξοδό του οπότε σύμφωνα με την 3.3.1 (β) ο ελεγκτής είναι TSC ως προς αυτά τα δύο είδη σφαλμάτων.
- ε) Τέλος, τα σφάλματα τα οποία επηρεάζουν τα τρανζίστορ του DETDFF Flip-Flop όπως έχει δειχθεί και στην εργασία [105] είναι ανιχνεύσιμα και επομένως ο ελεγκτής είναι TSC ως προς αυτά τα είδη σφαλμάτων.

3.3.3 Σφάλματα μόνιμα αγώγιμων τρανζίστορ

Όπως εξετάσαμε τα σφάλματα μη αγώγιμων τρανζίστορ, έτσι μπορούμε να χωρίσουμε και τα σφάλματα των μόνιμα αγώγιμων τρανζίστορ (TSON), σε πέντε κατηγορίες ως εξής:

- α) τα τρανζίστορ που οδηγούνται από τις εισόδους των σημάτων $X_j, Y_j, j \in [1, \dots, n]$,
- β) τα τρανζίστορ που οδηγούνται από τα σήματα ρολογιών CLK και $CLKB$,
- γ) τα τρανζίστορ των καθρεφτών,
- δ) τα τρανζίστορ των αναστροφέων και
- ε) τα τρανζίστορ των DETDFF Flip-Flops.

- α) Ένα σφάλμα μόνιμα αγώγιμου (TSON) τρανζίστορ του FSB (GSB) που οδηγείται από τις εισόδους του ελεγκτή X_j ή $Y_j, j \in [1, \dots, n]$ είναι ανιχνεύσιμο διότι υπάρχει

μια κωδική λέξη με $(X_j, Y_j) = (0, 1)$ ή $(1, 0)$ αντίστοιχα για να το αναδείξει. Αυτό σημαίνει ότι στην περίπτωση που δεν υπάρχουν σφάλματα άγει μόνο το ένα από τα τρανζίστορ του ζεύγους. Στην περίπτωση παρουσίας σφάλματος, με την εφαρμογή της κωδικής λέξης στην είσοδο του ελεγκτή και τα δύο τρανζίστορ άγουν με αποτέλεσμα να περνά ρεύμα από τον καθρέπτη του FSB (GSB) το οποίο θέτει τον κόμβο F' (G') στην στάθμη “low” κατά την διάρκεια της πρώτης (δεύτερης) ημιπεριόδου του ρολογιού, εφόσον ο καθρέπτης είναι κυρίαρχος έναντι του τρανζίστορ φόρτου MFL (MGL). Επομένως, ο κόμβος F (G) θα μεταβεί στην στάθμη “high” κατά τη διάρκεια αυτής της ημιπεριόδου και το σφάλμα θα ανιχνευθεί. Επομένως, ο ελεγκτής είναι TSC ως προς αυτά τα είδη σφαλμάτων.

- β) Η εμφάνιση ενός σφάλματος TSON στο MFC (MGC) του υποκυκλώματος FSB (GSB), θα είχε ως αποτέλεσμα, όπως στην περίπτωση (α), την μετάβαση του κόμβου F (G) του ελεγκτή στην στάθμη “high” κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου του ρολογιού. Κατά συνέπεια, αυτό το σφάλμα είναι ανιχνεύσιμο και ο ελεγκτής είναι TSC ως προς αυτό το σφάλμα. Επίσης, ένα σφάλμα TSON στο τρανζίστορ MFL (MGL) είτε θα οδηγήσει τον κόμβο F (G) στην στάθμη “low” στη δεύτερη (πρώτη) περίοδο του ρολογιού ή δεν θα επηρεάσει καθόλου την λειτουργία του ελεγκτή. Ως εκ τούτου, ο ελεγκτής είναι TSC ή SCD ως προς αυτό το σφάλμα.
- γ) Η παρουσία ενός σφάλματος TSON στο τρανζίστορ MFM1 (MGM1) θα εμποδίσει και θα διακόψει οποιαδήποτε διέλευση ρεύματος στον δεξί κλάδο του καθρέπτη δηλαδή του τρανζίστορ MFM2 (MGM2), με αποτέλεσμα να έχουμε τη στάθμη “low” στον κόμβο F (G) στην έξοδο του ελεγκτή κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου του ρολογιού. Επομένως, αυτό το είδος σφάλματος είναι ανιχνεύσιμο και ο ελεγκτής είναι TSC όσον αφορά αυτό το σφάλμα. Επίσης, ένα σφάλμα TSON στο τρανζίστορ MFM2 (MGM2) θα οδηγήσει την έξοδο F (G) του ελεγκτή στη στάθμη “high” κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου του ρολογιού. Επομένως, ο ελεγκτής είναι TSC ως προς το σφάλμα TSON του τρανζίστορ MFM2 (MGM2).
- δ) Ένα σφάλμα TSON στο pMOS (nMOS) τρανζίστορ του αναστροφέα είτε θα οδηγήσει την έξοδο F ή G σε μια τέτοια στάθμη η οποία θα αντιμετωπιστεί από το αντίστοιχο Flip-Flop ως στάθμη “low” (“high”), είτε δεν θα επηρεάσει καθόλου την λογική συμπεριφορά του ελεγκτή. Επομένως, ο ελεγκτής είναι είτε TSC, είτε SCD ως προς αυτά τα είδη σφαλμάτων.
- ε) Τέλος, σφάλματα TSON τα οποία επηρεάζουν τα τρανζίστορ των Flip-Flops DETDFF έχει δειχθεί στην εργασία [105] ότι είναι ανιχνεύσιμα και επομένως ο ελεγκτής είναι TSC ως προς αυτά τα είδη σφαλμάτων.

3.3.4 Μεταβατικά σφάλματα

Για τα μεταβατικά σφάλματα, όπως για παράδειγμα εξ' αιτίας ενός single event transients σε έναν κόμβο του ελεγκτή, υπάρχουν δύο περιπτώσεις. Στην πρώτη, ο μεταβατικός παλμός εξασθενεί στους εσωτερικούς κόμβους του ελεγκτή χωρίς να επηρεάζει τον κόμβο F (ή G) δηλαδή ο παλμός δεν μανδαλώνεται στα DETDFF Flip-Flops από την ακμή σκανδαλισμού (triggering edge) του καθυστερημένου ρολογιού $DCLK$ και έτσι ο ελεγκτής είναι SCD. Στη δεύτερη περίπτωση, η επίδραση του παλμού διαδίδεται μέχρι τον κόμβο F ή G του ελεγκτή (μόνο ένας κόμβος επηρεάζεται δεδομένου ότι τα δύο υποκυκλώματα είναι ανεξάρτητα) και μανδαλώνεται από το αντίστοιχο DETDFF Flip-Flop όπου και ανιχνεύεται, με αποτέλεσμα ο ελεγκτής να είναι TSC ως προς αυτό το σφάλμα.

3.4 Σχεδιασμός και αποτελέσματα προσομοίωσης.

Ο προτεινόμενος παράλληλος ελεγκτής κώδικα διπλού συρμού έχει σχεδιαστεί σε τεχνολογία CMOS 0,18μm της ST Microelectronics για διαφορετικές τιμές της μεταβλητής n που κυμαίνονται από 8 ως 512. Η τάση τροφοδοσίας που χρησιμοποιήθηκε ήταν 1,8V. Η λειτουργία του προτεινόμενου ελεγκτή έχει επαληθευτεί με προσομοιώσεις θέτοντας α) την τάση τροφοδοσίας σε ένα διάστημα $\pm 10\%$ της κανονικής τάσης λειτουργίας, δηλαδή από 1,62V έως 1,98V, β) θέτοντας επίσης την θερμοκρασία στο διάστημα (0°C - 125°C) και γ) θέτοντας τέλος τις παραμέτρους στις ακραίες επιτρεπτές τιμές της τεχνολογίας (fast και slow corner). Η παραπάνω διαδικασία αναφέρεται και ως PVT (Process Voltage Temperature) συνθήκες προσομοίωσης. Οι διαστάσεις όλων των τρανζίστορ που χρησιμοποιήθηκαν στη σχεδίαση του ελεγκτή που προτείνεται στην διατριβή αυτή είναι σταθερές για οποιαδήποτε τιμή της μεταβλητής n , εκτός από τα δύο τρανζίστορ των καθρεπτών. Οι διαστάσεις των τρανζίστορ του ελεγκτή φαίνονται στον πίνακα 3.1. Τα μεγέθη των δύο τρανζίστορ των καθρεπτών MFM1-MFM2 (και MGM1-MGM2) εξαρτώνται από την τιμή της μεταβλητής n . Στον πίνακα 3.2 φαίνεται το πλάτος W των τρανζίστορ αυτών σε μm για διάφορες τιμές του n ($L=0,18\mu\text{m}$ παντού).

Πίνακας 3.1. Διαστάσεις των τρανζίστορ του ελεγκτή W/L σε μm.

ΔΙΑΣΤΑΣΕΙΣ ΤΩΝ ΤΑΝΣΙΣΤΟΡ FSB ΚΑΙ GSB - ΕΚΤΟΣ ΤΩΝ ΚΑΘΡΕΠΤΩΝ ΡΕΥΜΑΤΟΣ					DETD Flip-Flop					
MPXj MPYj	MNXj MNYj MFC MGC	MFL, MFG	Mirror Inverter pMOS	Mirror Inverter nMOS	M1, M2 M4, M5	M3 M7	M6	M8	Inverter pMOS	Inverter nMOS
0.5 / 0.18	0.28 / 0.18	0.5 / 0.8	1.24 / 0.18	0.7 / 0.18	1.1 / 0.26	1.54 / 0.18	0.46 / 0.18	1.02 / 0.18	0.56 / 0.18	0.28 / 0.18

Πίνακας 3.2. Διαστάσεις τρανζίστορ των καθρεπτών ρεύματος σε μm.

n -variable	8	16	32	64	128	256	512
Width (μm) {MFM1(MGM1)-MFM2(MGM2)}	0.6-2.8	1.0-3.5	1.9-4.5	3.0-6.2	4.0-9.0	4.7-12.0	5.0-14.0

Από όσα έχουν αναφερθεί μέχρι το σημείο αυτό είναι προφανές ότι για τη φυσική σχεδίαση του προτεινόμενου ελεγκτή μπορούμε να εκμεταλλευτούμε τις αυτόματες γεννήτριες φυσικού σχεδιασμού (layout), όπως αυτές που χρησιμοποιούνται στο σχεδιασμό μνημών, και να κατασκευάζουμε με αυτό τον τρόπο τον κατάλληλο ελεγκτή, χρησιμοποιώντας μια απλή και μικρή βιβλιοθήκη. Η βιβλιοθήκη θα αποτελείται από: α) το διπλό ζεύγος των τρανζίστορ (pMOS and nMOS), β) το τρανζίστορ για τα MFC και MGC, γ) το τρανζίστορ για τα MFL και MGL, δ) μία πύλη αναστροφείας (NOT), ε) ένα DETDFF Flip-Flop και στ) επτά διαφορετικούς καθρέπτες με το αντίστοιχο τρανζίστορ φόρτου για τις διάφορες τιμές του n . Στην παράγραφο (στο τέλος του κεφαλαίου) 3.6.5 θα δοθούν επιπλέον λεπτομέρειες σχετικά με αυτή τη δυνατότητα.

Η λειτουργία του προτεινόμενου ελεγκτή διπλού συρμού (TRC) έχει επαληθευτεί όταν δεν έχουμε την εμφάνιση σφάλματος στις εισόδους ή στο ίδιο το κύκλωμα του ελεγκτή. Έχει γίνει επίσης έλεγχος και για την περίπτωση που εμφανίζονται διάφορα πιθανά

σφάλματα όπως αυτά που αναφέρονται στην ενότητα 3.3. Οι παραπάνω περιπτώσεις έχουν εξεταστεί όταν στην είσοδο του ελεγκτή εμφανίζονται όλες οι κωδικές αλλά και όλες οι μη κωδικές λέξεις.

Για να συγκρίνουμε τις επιδόσεις του προτεινόμενου ελεγκτή με τον καλύτερο αντίστοιχο ελεγκτή στην βιβλιογραφία, προχωρήσαμε στη σχεδίαση του ελεγκτή που παρουσιάζεται στην εργασία [105]. Η σχεδίαση έγινε για τον ίδιο αριθμό εισόδων (ίδια τιμή της μεταβλητής n). Η βελτιστοποίηση και στις δύο σχεδιάσεις έγινε ως προς την ταχύτητα, δηλαδή στόχος της σχεδίασης ήταν η ελαχιστοποίηση του χρόνου απόκρισης. Επίσης, και οι δύο ελεγκτές σχεδιάστηκαν έτσι ώστε να λειτουργούν κάτω από το πλήρες εύρος μεταβολών PVT (process, τροφοδοσίας και θερμοκρασίας).

Τα αποτελέσματα των συγκρίσεων ανάμεσα στους δύο ελεγκτές φαίνονται στον πίνακα 3.3, όπου παρουσιάζονται οι χρόνοι καθυστέρησης, οι ανάγκες σε επιφάνεια πυριτίου και η κατανάλωση ισχύος των δύο ελεγκτών. Συγκεκριμένα, στις στήλες 2 και 3 παρουσιάζονται οι ανάγκες σε επιφάνεια πυριτίου των κυκλωμάτων μετρημένες σε μοναδιαία τρανζίστορ (Unit Size Transistor – UST). Οι αριθμοί που εμφανίζονται σε αυτές τις στήλες δηλώνουν το πλήθος των τρανζίστορ ελάχιστης διάστασης της χρησιμοποιούμενης τεχνολογίας, τα οποία καταλαμβάνουν την ίδια ακριβώς επιφάνεια πυριτίου με το κύκλωμα. Στην στήλη 4 φαίνεται η ποσοστιαία σύγκριση στην επιφάνεια μεταξύ του προτεινόμενου ελεγκτή και του ελεγκτή στην εργασία [105]. Στις επόμενες στήλες παρουσιάζονται μερικές βασικές συγκρίσεις ανάμεσα στα δύο κυκλώματα. Οι συγκρίσεις αυτές προέκυψαν από προσομοιώσεις. Στις στήλες 5 και 6 φαίνονται οι χρόνοι απόκρισης οι οποίοι επετεύχθησαν κάτω από τις δυσμενέστερες συνθήκες (worst case), δηλαδή ελάχιστη τάση τροφοδοσίας, μέγιστη θερμοκρασία και slow process corner. Στις στήλες 8 και 9 φαίνεται η κατανάλωση των κυκλωμάτων με απουσία σφάλματος. Στις στήλες 7 και 10 δίδεται η ποσοστιαία σύγκριση ανάμεσα στα δύο κυκλώματα.

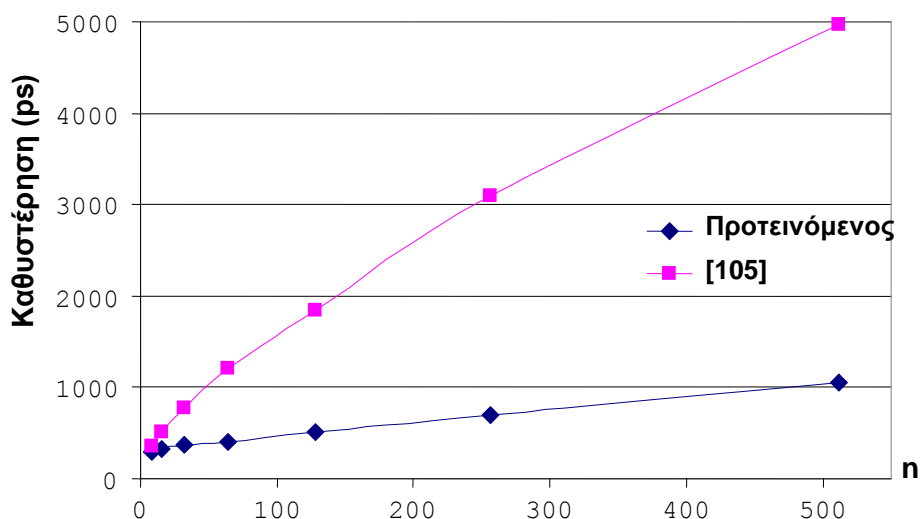
Πίνακας 3.3. Σύγκριση του προτεινόμενου ελεγκτή με τον ελεγκτή που παρουσιάζεται στην [105] ως προς i) την επιφάνεια πυριτίου, ii) την καθυστέρηση και iii) την κατανάλωση.

είσοδοι - n -	Επιφάνεια πυριτίου (UST)			Καθυστέρηση (ps)			κατανάλωση (μW)		
	Προτεινόμενος	[105]	Μείωση	Προτεινόμενος	[105]	Μείωση	Προτεινόμενος	[105]	Μείωση
8	187	252	25,8%	298	355	16,1%	64	21.3	-200,5%
16	239	415	42,4%	328	505	35,0%	95	27.7	-243,0%
32	342	776	55,9%	375	775	51,6%	109	40	-172,5%
64	540	2324	76,8%	408	1205	66,1%	119	87.1	-36,6%
128	924	7925	88,3%	517	1845	72,0%	136	245	44,5%
256	1663	34965	95,2%	695	3097	77,6%	174	976	82,2%
512	3106	135675	97,7%	1055	4965	78,8%	215	3840	94,4%

Σύμφωνα με τον πίνακα 3.3, οι επιδόσεις του προτεινόμενου ελεγκτή είναι καλύτερες από αυτές του ελεγκτή στην εργασία [105] και ως προς την επιφάνεια αλλά και την ταχύτητα λειτουργίας. Επίσης, όπως φαίνεται από τον πίνακα, για μεγάλο αριθμό εισόδων ($n > 64$) ο νέος ελεγκτής υπερέρχει επιπρόσθετα και στην κατανάλωση.

Στο σχήμα 3.5 φαίνεται ο χρόνος απόκρισης για τους δύο ελεγκτές. Η μεγάλη ταχύτητα του προτεινόμενου ελεγκτή οφείλεται στην λειτουργία ρεύματος (current mode).

Χρησιμοποιώντας την τοπολογία του καθρέπτη ρεύματος με τον τρόπο που προτείνεται σε αυτόν τον ελεγκτή, έχουμε πολύ γρήγορη ανίχνευση του ρεύματος που διέρχεται από την συστοιχία των παράλληλα συνδεδεμένων ζευγών τρανζίστορ. Η ανίχνευση του ρεύματος γίνεται άμεσα και χωρίς να είναι ανάγκη η τάση στον κόμβο N_F (ή στον κόμβο N_G) να μεταβεί από το δυναμικό τροφοδοσίας στο δυναμικό της γης ή το αντίστροφο. Πρέπει να σημειωθεί ότι επειδή οι κόμβοι αυτοί παρουσιάζουν μεγάλη χωρητικότητα, η ανίχνευση των μεταβολών της τάσης στους κόμβους αυτούς θα απαιτούσε σημαντικά μεγαλύτερο χρόνο. Αυτός είναι και ο λόγος που οι αντίστοιχοι χρόνοι καθυστέρησης στην εργασία [105] είναι εξαιρετικά μεγαλύτεροι. Με τη λειτουργία ρεύματος (current mode) που προτείνεται στην παρούσα εργασία μπορούμε να εξασφαλίσουμε μεγάλες ταχύτητες χρησιμοποιώντας μικρή επιφάνεια πυριτίου σε αντίθεση με την εργασία [105], ιδιαίτερα για μεγάλο αριθμό εισόδων (n). Επιπρόσθετα όμως, πρέπει να παρατηρήσουμε ότι ο κάθε καθρέπτης διαρρέεται από ένα μικρό DC ρεύμα κατά την διάρκεια της σχετικής ημιπεριόδου.



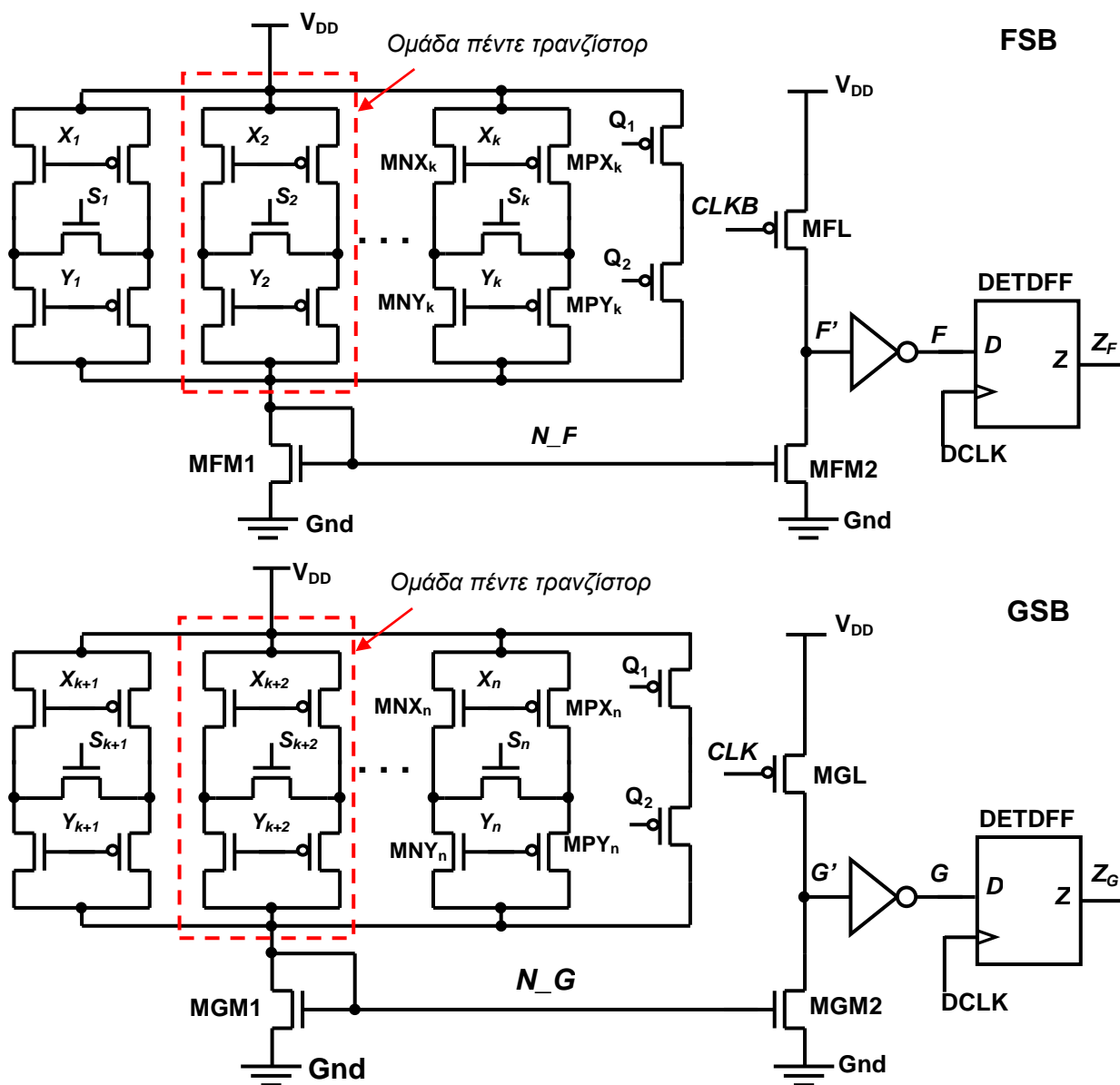
Σχήμα 3.5. Χρόνος απόκρισης ως συνάρτηση του αριθμού εισόδων.

Πρέπει να αναφερθεί ότι παρά την μείωση της τάσης τροφοδοσίας που έχουμε στις νεότερες και μελλοντικές τεχνολογίες οι επιδόσεις της προτεινόμενης τεχνικής δεν αναμένεται να υποβαθμιστούν και ειδικά όσον αφορά την ταχύτητα απόκρισης. Στην αναφορά [113] βλέπουμε ότι στην τεχνολογία CMOS είναι εφικτό να διατηρηθεί από γενιά σε γενιά μια αύξηση κατά 25% του ρεύματος οδήγησης με το ίδιο υποκατωφλικό ρεύμα διαρροής χρησιμοποιώντας τρανζίστορ μεταλλικής πύλης και υψηλής τιμής k για το μονωτή της πύλης. Κατά συνέπεια, τα τρανζίστορ εισόδου θα μπορούν να οδηγήσουν επαρκώς τα τρανζίστορ του καθρέπτη σε μια μελλοντική υλοποίηση ελεγκτή TRC υψηλής ταχύτητας.

Τέλος, λαμβάνοντας υπόψιν την ευαισθησία του ελεγκτή στο θόρυβο, αναφέρουμε ότι οι εισοδοί του είναι ψηφιακά σήματα (δηλαδή σήματα με τιμές VDD ή GND και όχι αναλογικά σήματα με μικρό πλάτος). Τα ψηφιακά σήματα στην είσοδο έχουν καθορισμένα επακριβώς τα περιθώρια θορύβου. Καθώς ο ελεγκτής δεν οδηγείται στην είσοδό του από μικρά σήματα είναι εγγενώς αναισθητός στον θόρυβο των σημάτων εισόδου.

3.5 Τροποποιημένη έκδοση του ελεγκτή για πλήρη ανίχνευση σφαλμάτων

Προκειμένου να βελτιωθεί η δυνατότητα του ελεγκτή για αυτοέλεγχο ώστε να είναι σε θέση να ανιχνεύει σφάλματα μόνιμα μη αγώγιμων τρανζίστορ παρουσιάζεται παρακάτω (σχήμα 3.6) μια τροποποιημένη έκδοση του ελεγκτή [114]. Στην πρώτη έκδοση του ελεγκτή, αυτή δηλαδή που φαίνεται στο σχήμα 3.2, το καθένα από τα δύο σήματα εισόδου X_j και Y_j οδηγεί ένα ζευγάρι pMOS τρανζίστορ συνδεδεμένων σε σειρά και ένα ζευγάρι nMOS τρανζίστορ συνδεδεμένων επίσης σε σειρά. Αυτά τα τέσσερα τρανζίστορ σχηματίζουν μια ομάδα. Στο κύκλωμα του νέου (τροποποιημένου) ελεγκτή έχει προστεθεί στην ομάδα και ένα πέμπτο nMOS τρανζίστορ το οποίο οδηγείται από ένα σήμα Select S_j . Αυτό το πέμπτο τρανζίστορ «συνδέει» τα δύο ζεύγη όπως φαίνεται στο σχήμα 3.6 και χρησιμοποιείται για να αυξήσει την δυνατότητα δοκιμής της ομάδας των τεσσάρων τρανζίστορ ως προς τα σφάλματα TSOP. Τα πρόσθετα τρανζίστορ αντικαθιστούν τα τρανζίστορ MFC και MGC του σχήματος 3.2 και εκτελούν ακριβώς την ίδια λειτουργία στα δύο υποκυκλώματα όπως τα τρανζίστορ MFC και MGC.



Σχήμα 3.6. Ο τροποποιημένος ελεγκτής κώδικα διπλού συρμού, $k=n/2$.

Το σήμα επιλογής Select S_j ($j \in [1, \dots, n]$) παράγεται από έναν κυκλικό καταχωρητή ολίσθησης (Cyclic Shift Register, CSR) μήκους $k=n/2$ και από μία συστοιχία πυλών NOR όπως φαίνεται στο σχήμα 3.7. Η αρχική τιμή των bits που τίθενται στον καταχωρητή αυτό, είναι τέτοια ώστε να περιέχει μόνο σε μία θέση την τιμή "0". Όταν το ρολόι έχει την τιμή "0" ($CLK="0"$) τότε $S_j=0$ (για όλα τα $j \in [1, \dots, n]$) εκτός από ένα μόνο σήμα S_r ($r \in [1, \dots, k]$), το οποίο έχει την τιμή "1". Το σήμα S_r προέρχεται από την θέση r του καταχωρητή η οποία είναι η μοναδική, εκείνη τη στιγμή, που έχει την τιμή "0". Όταν το ρολόι έχει την τιμή "1" ($CLK="1"$) τότε $S_j=0$ (για όλα τα $j \in [1, \dots, n]$) εκτός από ένα μόνο σήμα S_{k+r} ($r \in [1, \dots, k]$), το οποίο έχει την τιμή "1". Το σήμα αυτό, το S_{k+r} , επίσης προέρχεται από την θέση r του καταχωρητή που περιέχει την τιμή "0".

Στην περίπτωση όπου το n είναι περιττό τότε $k=\lceil n/2 \rceil$ και πρέπει να προστεθεί μία επιπλέον (dummy) ομάδα πέντε τρανζίστορ στο υποκύκλωμα GSB. Με αυτόν τον τρόπο και τα δύο υποκύκλωμα έχουν τον ίδιο αριθμό ομάδων και εξασφαλίζεται η απαιτούμενη συμμετρία στον ελεγκτή. Οι είσοδοι X και Y της επιπλέον dummy ομάδας οδηγούνται από σταθερές (μόνιμες) συμπληρωματικές τιμές.

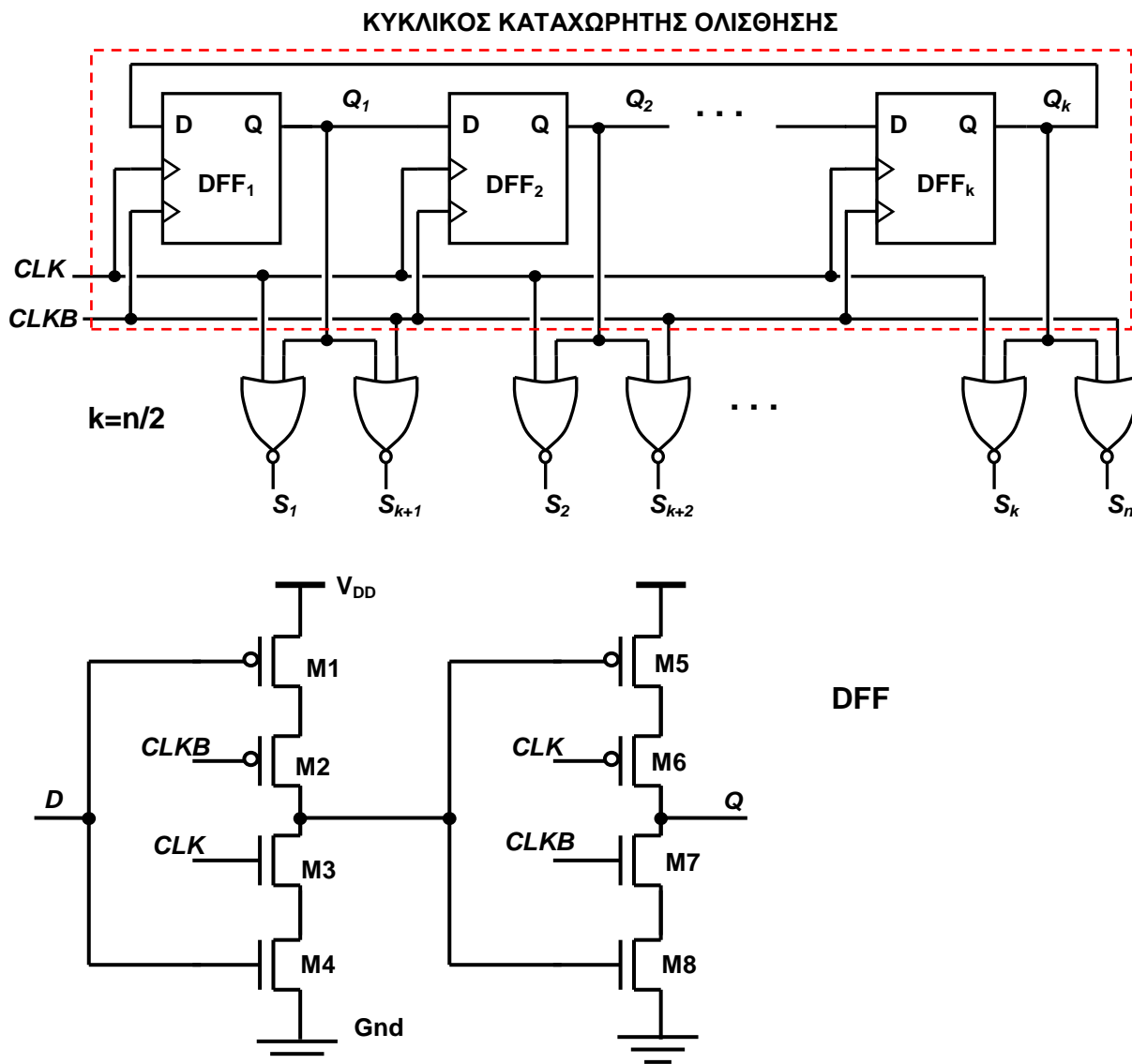
Οι έξοδοι Z_F και Z_G του ελεγκτή έχουν πάντοτε συμπληρωματικές τιμές, στην περίπτωση απουσίας σφάλματος και μη- συμπληρωματικές στη περίπτωση παρουσίας σφάλματος παρέχοντας με αυτό τον τρόπο την ένδειξη της ορθής λειτουργίας του συστήματος. Η λειτουργία του ελεγκτή, όπως και προηγουμένως, χωρίζεται σε δύο φάσεις ανάλογα με την ημιπερίοδο του ρολογιού και είναι εντελώς διαφανής για το υπό παρακολούθηση κύκλωμα.

- Στην περίπτωση απουσίας σφάλματος ($X_j = \bar{Y}_j \quad \forall j \in [1, \dots, n]$) και σε κάθε μία από τις δύο φάσεις ισχύουν τα εξής:

α) Στην πρώτη ημιπερίοδο, όταν $CLK="1"$, κάθε ζεύγος τρανζίστορ που οδηγείται από τα σήματα εισόδου ($X_j, Y_j, j \in [1, \dots, n]$) έχει ένα τρανζίστορ σε αγωγή και ένα σε μη αγωγή κατάσταση. Επιπλέον, όλα τα τρανζίστορ στο υποκύκλωμα FSB τα οποία οδηγούνται από τα σήματα S_j ($j \leq k$) είναι σε μη αγωγή κατάσταση. Επομένως, δεν διέρχεται κανένα ρεύμα από την είσοδο του αντίστοιχου καθρέπτη (FSB) με αποτέλεσμα ο κόμβος F' να φορτίζεται στην τάση VDD μέσω του τρανζίστορ MFL το οποίο άγει. Όμως στο υποκύκλωμα GSB υπάρχει ένα τρανζίστορ το οποίο οδηγείται από το σήμα S_{k+r} , ($r \in [1, \dots, k]$), και το οποίο άγει ($S_{k+r}="1"$) με αποτέλεσμα να δημιουργείται μια αγωγή διαδρομή μεταξύ της VDD και της εισόδου του αντίστοιχου καθρέπτη (N_G) διαμέσου ενός pMOS και ενός nMOS τρανζίστορ από τα δύο ζεύγη αυτής της ομάδας που ανήκει το S_{k+r} . Το ποιο από τα δύο τρανζίστορ του ζεύγους θα άγει εξαρτάται από τον συνδυασμό που έχουμε στην αντίστοιχη είσοδο (X_{k+r}, Y_{k+r}). Αυτή είναι η μοναδική αγωγή διαδρομή.

Επίσης, στη διάρκεια της πρώτης ημιπεριόδου το τρανζίστορ MGL βρίσκεται σε μη αγωγή κατάσταση και το ρεύμα που δίνει ο καθρέπτης εκφορτίζει τον κόμβο G' προς την γη (Gnd). Συνεπώς, οι έξοδοι F και G θα παρουσιάζουν συμπληρωματικές τιμές ("0" και "1" αντίστοιχα) στην πρώτη ημιπερίοδο του ρολογιού και το ίδιο ισχύει για τις εξόδους Z_F και Z_G του συστήματος μετά την ακμή σκανδαλισμού του σήματος $DCLK$ (καθυστερημένο σήμα ρολογιού).

β) Ομοίως, στη δεύτερη ημιπερίοδο όταν $CLK="0"$, θα έχουμε την εμφάνιση του "1" στο πρώτο υποκύκλωμα FSB με αποτέλεσμα οι αντίστοιχες έξοδοι Z_F και Z_G να είναι "1" και "0" αντίστοιχα.



Σχήμα 3.7. Το κύκλωμα παραγωγής των σημάτων επιλογής (Select, S_j).

Επομένως, στην περίπτωση που δεν υπάρχει σφάλμα οι έξοδοι Z_F και Z_G θα εμφανίζουν πάντοτε συμπληρωματικές τιμές σύμφωνα με τον κώδικα διπλού συρμού.

- Στην περίπτωση που στην είσοδο του ελεγκτή εμφανιστεί σήμα που δεν ανήκει στον κώδικα διπλού συρμού, η λειτουργία του κυκλώματος είναι η ίδια ακριβώς όπως περιγράφηκε στην προηγούμενη έκδοση του ελεγκτή στην παράγραφο 3.2 (βλέπε σχήμα 3.2):

α) αν η μη κωδική λέξη εισόδου επιδρά μόνο στο τμήμα FSB τότε και οι δύο κόμβοι F και G θα μεταβούν στην στάθμη “1” κατά τη διάρκεια της πρώτης ημιπεριόδου του ρολογιού CLK ,

β) αν η μη κωδική λέξη εισόδου επιδρά μόνο στο τμήμα GSB τότε και οι δύο κόμβοι F και G θα μεταβούν στην στάθμη “1” κατά τη διάρκεια της δεύτερης ημιπεριόδου του ρολογιού CLK και

γ) αν η μη κωδική λέξη εισόδου επιδρά και στο τμήμα FSB και στο τμήμα GSB, τότε και οι δύο κόμβοι F και G θα μεταβούν στην στάθμη “1” κατά τη διάρκεια ολόκληρης της περιόδου του ρολογιού. Οι έξοδοι F και G των καθρεπτών μανδαλώνονται από τα DETDFF και στις δύο ακμές του καθυστερημένου ρολογιού $DCLK$ και εμφανίζονται στις εξόδους του ελεγκτή τις Z_F και Z_G . Με αυτό τον τρόπο η εφαρμογή ζεύγους σημάτων (X, Y) που δεν ανήκουν στον κώδικα διπλού συρμού σε οποιαδήποτε είσοδο του ελεγκτή θα έχει ως συνέπεια την ένδειξη παρουσίας του λάθους.

Από την παραπάνω ανάλυση προκύπτει ότι το κύκλωμα είναι κωδικά διαχωρισμένο (Code Disjoined).

3.6 Σχεδιασμός και ικανότητα αυτοελέγχου του τροποποιημένου ελεγκτή

Σε αυτή την παράγραφο, θα εξεταστεί η ιδιότητα αυτοελέγχου του νέου ελεγκτή κάτω από το ίδιο σύνολο σφαλμάτων με τον προηγούμενο απλούστερο ελεγκτή αυτόν του σχήματος 3.2. Για να είναι σε θέση ο νέος ελεγκτής ο οποίος τώρα περιέχει και έναν κυκλικό ολισθητή (CSR Cyclic Shift Register), να πληροί την ιδιότητα του αυτοελέγχου χρειάζεται να προστεθούν σε κάθε υποκύκλωμα δύο τρανζίστορ pMOS συνδεδεμένα σε σειρά. Τα δύο αυτά τρανζίστορ τοποθετούνται και στο FSB και το GSB τμήμα και οδηγούνται από τις εξόδους δύο οποιαδήποτε διαδοχικών σταδίων του ολισθητή (CSR). Στο σχήμα 3.6, για παράδειγμα, οδηγούνται από τα σήματα Q_1 και Q_2 . Στην περίπτωση απουσίας σφάλματος τουλάχιστον ένα από τα δύο αυτά τρανζίστορ θα βρίσκεται σε μη αγώγιμη κατάσταση και επομένως η λειτουργία του ελεγκτή δεν επηρεάζεται.

3.6.1 Σφάλματα μόνιμης τιμής γραμμής

Οι παρακάτω κατηγορίες σφαλμάτων μόνιμης τιμής (SA) σε γραμμή είναι ίδιες ακριβώς με αυτές που εξετάστηκαν στην παράγραφο 3.3.1 δηλαδή:

- α) σφάλματα SA στις γραμμές εισόδου του ελεγκτή $X_j, Y_j, (j \in [1, \dots, n])$,
- β) σφάλματα SA στις γραμμές F, G, Z_F και Z_G ,
- γ) σφάλματα SA στις εσωτερικές γραμμές του ελεγκτή N_F, F', N_G και G' και
- δ) σφάλματα SA στις εσωτερικές γραμμές των DETDFF Flip-Flops.

Στις παραπάνω περιπτώσεις, ο ελεγκτής είναι ολικά αυτοελεγχόμενος (TSC) όσον αφορά αυτό το είδος σφαλμάτων.

ε) Ένα σφάλμα SA “0” πάνω στη γραμμή με το σήμα επιλογής S_j θα αποτρέψει τον σχηματισμό αγώγιμης διαδρομής στο αντίστοιχο υποκύκλωμα FSB (GSB) κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου όταν κάτω από κανονικές συνθήκες η τιμή του σήματος S_j πρέπει να είναι “1”. Το γεγονός αυτό θα έχει ως αποτέλεσμα και οι δύο κόμβοι F και G να είναι “0” κατά τη διάρκεια αυτής της ημιπεριόδου. Ένα σφάλμα SA “1” πάνω στην γραμμή με το σήμα επιλογής S_j θα δημιουργήσει αγώγιμη διαδρομή κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου στο τμήμα FSB (GSB), πράγμα που δεν έπρεπε να συμβεί κάτω από κανονικές συνθήκες διότι και οι δύο κόμβοι F και G θα είναι “1” κατά τη διάρκεια αυτής της ημιπεριόδου. Επομένως, ο ελεγκτής είναι TSC όσον αφορά και αυτά τα σφάλματα.

στ) Ένα σφάλμα SA “1” σε μια έξοδο $Q_r, (r \in [1, \dots, k])$ σε κάποιο από τα Flip-Flop του CSR (ή ισοδύναμα στην αντίστοιχη είσοδο της πύλης NOR) θα οδηγήσει σε μια κατάσταση όπου όλες οι εξόδους των Flip-Flop του CSR θα μεταβούν στην στάθμη “1” μετά από k -το πολύ- κύκλους ρολογιού. Σε αυτήν την περίπτωση, δεν θα

μπορεί κανένα σήμα επιλογής S_j να είναι ενεργοποιημένο, με αποτέλεσμα και οι δύο έξοδοι F και G να δίνουν "0". Ομοίως, ένα σφάλμα SA "0" σε αυτές τις γραμμές θα οδηγήσει σε μια κατάσταση όπου όλα τα σήματα Q_r του CSR θα γίνουν "0", μετά από k (το πολύ) κύκλους ρολογιού. Σε αυτή την περίπτωση και τα δύο ζεύγη των pMOS τρανζίστορ που οδηγούνται από τα Q_1 και Q_2 στα υποκυκλώματα FSB και GSB θα είναι σε αγώγιμη κατάσταση για μια ολόκληρη περίοδο ρολογιού. Επομένως, και οι δύο έξοδοι F και G θα βρεθούν στην στάθμη "1". Ο ελεγκτής είναι TSC και για αυτό το είδος σφαλμάτων.

ζ) Ένα σφάλμα SA "1" στην γραμμή CLK ($CLKB$) είναι ισοδύναμο με ένα σφάλμα μόνιμης τιμής "1" πάνω στην γραμμή G (F) (εφόσον τα σήματα ρολογιού οδηγούν τα τρανζίστορ φόρτου MGL και MFL αντίστοιχα) και το κύκλωμα είναι TSC όσον αφορά αυτό το είδος σφαλμάτων. Ένα σφάλμα SA "0" στην γραμμή CLK ($CLKB$) είναι ισοδύναμο με ένα σφάλμα SA "1" ("0") πάνω στην έξοδο Q_r ($r \in [1, \dots, k]$) του DFF (σχήμα. 3.7). Επιπρόσθετα, η μία είσοδος της κάθε πύλης NOR η οποία παράγει τα σήματα S_r (S_{k+r}): ($\forall r \in [1, \dots, k]$) οδηγείται από το Q_r και η άλλη είσοδος οδηγείται από το σχετικό σήμα ρολογιού. Εφόσον λοιπόν τα σήματα ρολογιών CLK ($CLKB$) είναι μόνιμα στην τιμή "0", τα σήματα εξόδου S_r (S_{k+r}) των πυλών NOR θα είναι μόνιμα στην τιμή "0" ("1") και η περίπτωση αυτή είναι ισοδύναμη με την περίπτωση (ε). Συνεπώς, ο ελεγκτής είναι TSC και για αυτό το είδος σφαλμάτων.

3.6.2 Σφάλματα μόνιμα μη αγώγιμων τρανζίστορ

Τα σφάλματα TSOP αναλύονται ως εξής:

α) Ένα σφάλμα TSOP το οποίο οδηγείται από το σήμα εισόδου X_j ή Y_j στο υποκύκλωμα FSB (GSB), είναι ανιχνεύσιμο, διότι υπάρχει μια κωδική λέξη η $(X_j, Y_j) = (0, 1)$ ή $(1, 0)$ αντίστοιχα, η οποία αν εφαρμοστεί στις εισόδους του ελεγκτή το ενεργοποιεί. Υπό την παρουσία αυτού του σφάλματος, η εφαρμογή της συγκεκριμένης κωδικής λέξης στις εισόδους του ελεγκτή, θα έχει ως αποτέλεσμα να μην μπορεί να δημιουργηθεί καμία αγώγιμη διαδρομή στο τμήμα FSB (GSB) κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου και κατά τη διάρκεια του χρονικού διαστήματος όπου το σήμα επιλογής S_j είναι "1". Χωρίς την ύπαρξη του σφάλματος το υπό εξέταση τρανζίστορ πρέπει να είναι σε αγώγιμη κατάσταση σύμφωνα με την τιμή που έχει το σήμα στην είσοδό του. Στην περίπτωση λοιπόν μόνιμα μη αγώγιμου τρανζίστορ στη θέση που αναφέρθηκε, και οι δύο κόμβοι F και G θα είναι "0" κατά τη διάρκεια αυτής της ημιπεριόδου και συνεπώς, ο ελεγκτής είναι TSC όσον αφορά αυτά τα σφάλματα.

Οι περιπτώσεις σφαλμάτων TSOP:

β) στα τρανζίστορ του τμήματος FSB ή του GSB που οδηγούνται από το σήμα CLK και $CLKB$,

γ) στα τρανζίστορ των καθρεπτών,

δ) στα τρανζίστορ των αναστροφών και

ε) στα τρανζίστορ των DETDFF Flip-Flops,

είναι ίδια ακριβώς με τις αντίστοιχες περιπτώσεις της παραγράφου 3.3.2 και έτσι ο ελεγκτής είναι TSC όσον αφορά αυτά τα είδη σφαλμάτων.

στ) Ένα σφάλμα TSOP σε ένα τρανζίστορ που οδηγείται από ένα σήμα επιλογής S_j θα έχει ως αποτέλεσμα κατά τη διάρκεια της δεύτερης (πρώτης) ημιπεριόδου, δηλαδή όταν κανονικά θα έπρεπε το S_j να είναι "1", να μην υπάρχει καμία αγώγιμη

διαδρομή στο αντίστοιχο υποκύκλωμα FSB (GSB) με αποτέλεσμα και οι δύο κόμβοι F και G να είναι “0” κατά τη διάρκεια αυτής της ημιπεριόδου, οπότε ο ελεγκτής είναι TSC όσον αφορά αυτά τα σφάλματα.

- ζ) Ένα σφάλμα TSOP στα τρανζίστορ M1 ή M2 ή M7 ή M8 σε ένα DFF του κυκλικού ολισθητή (CSR) θα οδηγήσει σε μόνιμη τιμή “1” στην έξοδο του. Συνεπώς, ο καταχωρητής CSR θα μεταβεί σε μια μόνιμη κατάσταση όπου όλες οι έξοδοί του θα είναι “1” μετά από k το πολύ κύκλους ρολογιού και αυτή η περίπτωση είναι ισοδύναμη με την (στ) της παραγράφου 3.6.1.
- η) Ένα σφάλμα TSOP στο M3 ή M4 ή M5 ή M6 σε ένα DFF του κυκλικού ολισθητή (CSR) θα οδηγήσει σε μόνιμη τιμή “0” στην έξοδο του. Συνεπώς, ο καταχωρητής CSR θα μεταβεί σε μια μόνιμη κατάσταση όπου όλες οι έξοδοί του θα είναι “0” μετά από k το πολύ κύκλους ρολογιού και αυτή η περίπτωση είναι ισοδύναμη με την (στ) της παραγράφου 3.6.1.
- θ) Ένα σφάλμα TSOP σε ένα pMOS τρανζίστορ της πύλης NOR θα οδηγήσει σε μόνιμη τιμή “0” στην έξοδο της πύλης μετά την πρώτη εκφόρτιση του κόμβου εξόδου της πύλης. Αυτή η περίπτωση είναι ισοδύναμη με την περίπτωση (ε) της παραγράφου 3.6.1. Επιπλέον, ένα σφάλμα TSOP nMOS τρανζίστορ της πύλης NOR που οδηγείται από το σήμα ρολογιού θα δώσει μόνιμη τιμή “1” στην έξοδο της πύλης κατά τη διάρκεια μιας ολόκληρης περιόδου ρολογιών όταν η έξοδος του αντίστοιχου DFF, που οδηγεί αυτή την πύλη NOR, είναι “0”. Αυτή η περίπτωση είναι επίσης ισοδύναμη με την περίπτωση (ε) της παραγράφου 3.6.1.
- ι) Ένα σφάλμα TSOP σε ένα nMOS τρανζίστορ της πύλης NOR που οδηγείται από την έξοδο του αντίστοιχου DFF δεν μπορεί να επηρεάσει τη λειτουργία του κυκλώματος διότι το τρανζίστορ αυτό είναι πλεονάζον. Αυτό οφείλεται στο γεγονός ότι αμέσως μετά την κατάσταση “00” στην είσοδο της NOR έπεται μια κατάσταση όπου υπάρχει το “1” τουλάχιστο στην είσοδο που τροφοδοτείται από το ρολόι. Αυτό έχει ως αποτέλεσμα, η έξοδος της πύλης να εκφορτίζεται και να παραμένει εκφορτισμένη και στην διάρκεια της επόμενης ημιπεριόδου του ρολογιού όταν δηλαδή στην είσοδο εφαρμοστεί η τιμή “0” (memory state) γεγονός που θα έπρεπε να συμβεί και στην περίπτωση απουσίας σφάλματος δεδομένου ότι η έξοδος του DFF είναι “1”. Ένα επόμενο σφάλμα TSOP σε ένα nMOS τρανζίστορ της πύλης NOR που οδηγείται από τα σήματα ρολογιού θα δώσει μόνιμη τιμή “1” στην έξοδο της πύλης NOR και αυτή η περίπτωση είναι ισοδύναμη με την (ε) της παραγράφου 3.6.1.

Συνεπώς, το κύκλωμα είναι TSC όσον αφορά τα σφάλματα των κατηγοριών (α) - (θ) και SCD για την κατηγορία (ι).

- κ) Ένα σφάλμα TSOP σε ένα pMOS τρανζίστορ του τμήματος FSB ή του GSB που οδηγείται από τα δύο διαδοχικά σήματα του κυκλικού ολισθητή (Q_1 ή Q_2) δεν είναι ανιχνεύσιμο. Μια περίπτωση είναι να ελέγξουμε off-line αυτά τα τρανζίστορ βάζοντας στον κυκλικό καταχωρητή μια «λέξη» που να περιέχει δύο διαδοχικά “0”. Όταν τα Q_1 και Q_2 θα πάρουν ταυτόχρονα την τιμή “0” τότε απουσία σφάλματος και οι δύο κόμβοι F και G πηγαίνουν στο “1” σε άλλη περίπτωση έχουμε ανίχνευση αυτού του σφάλματος. Αν λάβουμε υπόψιν ότι για λόγους συμμετρίας υπάρχουν και στα δύο τμήματα FSB και GSB αυτά τα τρανζίστορ (πλεονασμός) ενώ είναι απαραίτητο μόνο το ένα ζεύγος από αυτά για την ανίχνευση μη έγκυρης ακολουθίας στον καταχωρητή, είναι εξαιρετικά απίθανο να μην ανιχνευτεί αυτό το σφάλμα. Εκτός αυτού, η παρουσία αυτού του σφάλματος δεν επηρεάζει την λειτουργία του ελεγκτή διότι είναι ασφαλής από σφάλματα (fault secure) ως προς αυτό το σφάλμα.

3.6.3 Σφάλματα μόνιμα αγώγιμων τρανζίστορ

Οι περιπτώσεις των σφαλμάτων μόνιμα αγώγιμων τρανζίστορ που αφορούν:

- α) τα τρανζίστορ που οδηγούνται από τις εισόδους του ελεγκτή ($X_j, Y_j, j \in [1, \dots, n]$),
- β) τα τρανζίστορ των καθρεπτών,
- γ) τα τρανζίστορ των δύο αναστροφέν και των Flip-Flops DETDFF

είναι ίδιες ακριβώς με τις αντίστοιχες περιπτώσεις σφαλμάτων που εξετάστηκαν στην παράγραφο 3.3.3 και ο ελεγκτής είναι είτε TSC είτε SCD για τα σφάλματα αυτού του είδους.

- δ) Ένα σφάλμα TSON στο τρανζίστορ MFL (MGL) δεν έχει επιπτώσεις στη λογική συμπεριφορά του ελεγκτή αλλά το μόνο που κάνει είναι να αυξάνει την κατανάλωση ισχύος. Συνεπώς, ως προς αυτό το σφάλμα, αποδεικνύεται ότι ο ελεγκτής είναι SCD.
- ε) Ένα σφάλμα TSON σε ένα τρανζίστορ που οδηγείται από το σήμα επιλογής S_j θα οδηγήσει στη δημιουργία μιας αγώγιμης διαδρομής στο αντίστοιχο υποκύκλωμα FSB (GSB) κατά τη διάρκεια της πρώτης (δεύτερης) ημιπεριόδου. Και οι δύο κόμβοι F και G θα είναι "1" κατά τη διάρκεια αυτής της ημιπεριόδου και έτσι, ο ελεγκτής είναι TSC για αυτό το είδος σφαλμάτων.
- στ) Ένα σφάλμα TSON στο τρανζίστορ M1 ή M8 σε ένα DFF του κυκλικού ολισθητή (CSR) θα έχει ως αποτέλεσμα είτε την εμφάνιση του "0" στην έξοδο του DFF, είτε αυτό το σφάλμα δεν θα έχει καμία επίδραση στη λειτουργία του κυκλικού ολισθητή, ανάλογα με τη αγωγιμότητα (strength) του τρανζίστορ. Στην πρώτη περίπτωση, θα έχουμε την εμφάνιση διαδοχικών "0" στην έξοδο των DFF καθώς ο κυκλικός ολισθητής μετά από k το πολύ κύκλους ρολογιού θα γεμίσει με "0", όπως στην περίπτωση 3.6.1 (στ), με αποτέλεσμα και τα δυο ζεύγη των pMOS τρανζίστορ που οδηγούνται από τις εξόδους Q_1 και Q_2 στα τμήματα FSB και GSB να είναι αγώγιμα κατά την διάρκεια ολόκληρης της περιόδου του ρολογιού. Συνεπώς, και οι δύο κόμβοι F και G θα είναι "1", και το κύκλωμα είναι TSC. Στη δεύτερη περίπτωση, αποδεικνύεται ότι το κύκλωμα είναι SCD.
- ζ) Ένα σφάλμα TSON στο τρανζίστορ M2 ή M7 σε ένα DFF του κυκλικού ολισθητή (CSR) θα είχε ως αποτέλεσμα την εμφάνιση διαδοχικών "0" στην έξοδο του DFF σε κάθε κύκλο ρολογιού. Συνεπώς, ο κυκλικός ολισθητής μετά από k το πολύ κύκλους ρολογιού θα γεμίσει με "0" και σύμφωνα με την προηγούμενη περίπτωση (στ), το κύκλωμα είναι TSC.
- η) Ένα σφάλμα TSON στο τρανζίστορ M4 ή M5 σε ένα DFF του κυκλικού ολισθητή (CSR) θα οδηγήσει είτε στη διαγραφή του μοναδικού "0" από την αρχική ακολουθία του κυκλικού ολισθητή, είτε αυτό το σφάλμα δεν θα έχει καμία επίδραση στη λειτουργία του κυκλώματος, ανάλογα με τη αγωγιμότητα (strength) του τρανζίστορ. Στην πρώτη περίπτωση, όπως στην 3.6.1 (ε), κανένα σήμα επιλογής S_j δεν θα μπορέσει να ενεργοποιηθεί (να μεταβεί στην στάθμη "1"), με αποτέλεσμα και στους δυο κόμβους F και G να έχουμε την τιμή "0" και το κύκλωμα είναι TSC. Στη δεύτερη περίπτωση, αποδεικνύεται ότι το κύκλωμα είναι SCD.
- θ) Ένα σφάλμα TSON στο τρανζίστορ M3 ή M6 σε ένα DFF του κυκλικού ολισθητή (CSR) θα οδηγήσει στη διαγραφή του μοναδικού "0" από την αρχική ακολουθία του κυκλικού ολισθητή (CSR) και σύμφωνα με την προηγούμενη περίπτωση (η) το κύκλωμα είναι TSC.
- ι) Σχετικά με τα σφάλματα στις πύλες NOR είναι σημαντικό τα nMOS τρανζίστορ να επιλεγούν ώστε να είναι κυρίαρχα (πιο αγώγιμα) σε σχέση με τα pMOS τρανζίστορ.

Με την επιλογή αυτή, ένα σφάλμα TSON σε ένα pMOS τρανζίστορ δεν έχει καθόλου επιπτώσεις στη λειτουργία του κυκλώματος και το κύκλωμα είναι SCD όσον αφορά αυτού του είδους τα σφάλματα. Όμως, ένα σφάλμα TSON σε ένα nMOS τρανζίστορ θα οδηγήσει σε μόνιμη τιμή “0” στην έξοδο της πύλης NOR και έτσι, σύμφωνα με την 3.6.1 (ε) το κύκλωμα θα είναι TSC.

- κ) Ένα σφάλμα TSON σε ένα pMOS τρανζίστορ των υποκυκλωμάτων FSB ή GSB, που οδηγείται από τα σήματα Q_1 ή Q_2 , θα φέρει το ζεύγος σε αγωγή κατάσταση για μια ολόκληρη περίοδο ρολογιού, όταν στην είσοδο του άλλου τρανζίστορ εφαρμοστεί η τιμή “0”. Συνεπώς, αυτό το σφάλμα είναι ισοδύναμο με τα σφάλματα που εξετάστηκαν στην περίπτωση (ε) και ο ελεγκτής είναι TSC ως προς αυτό το είδος σφαλμάτων.

3.6.4 Μεταβατικά σφάλματα

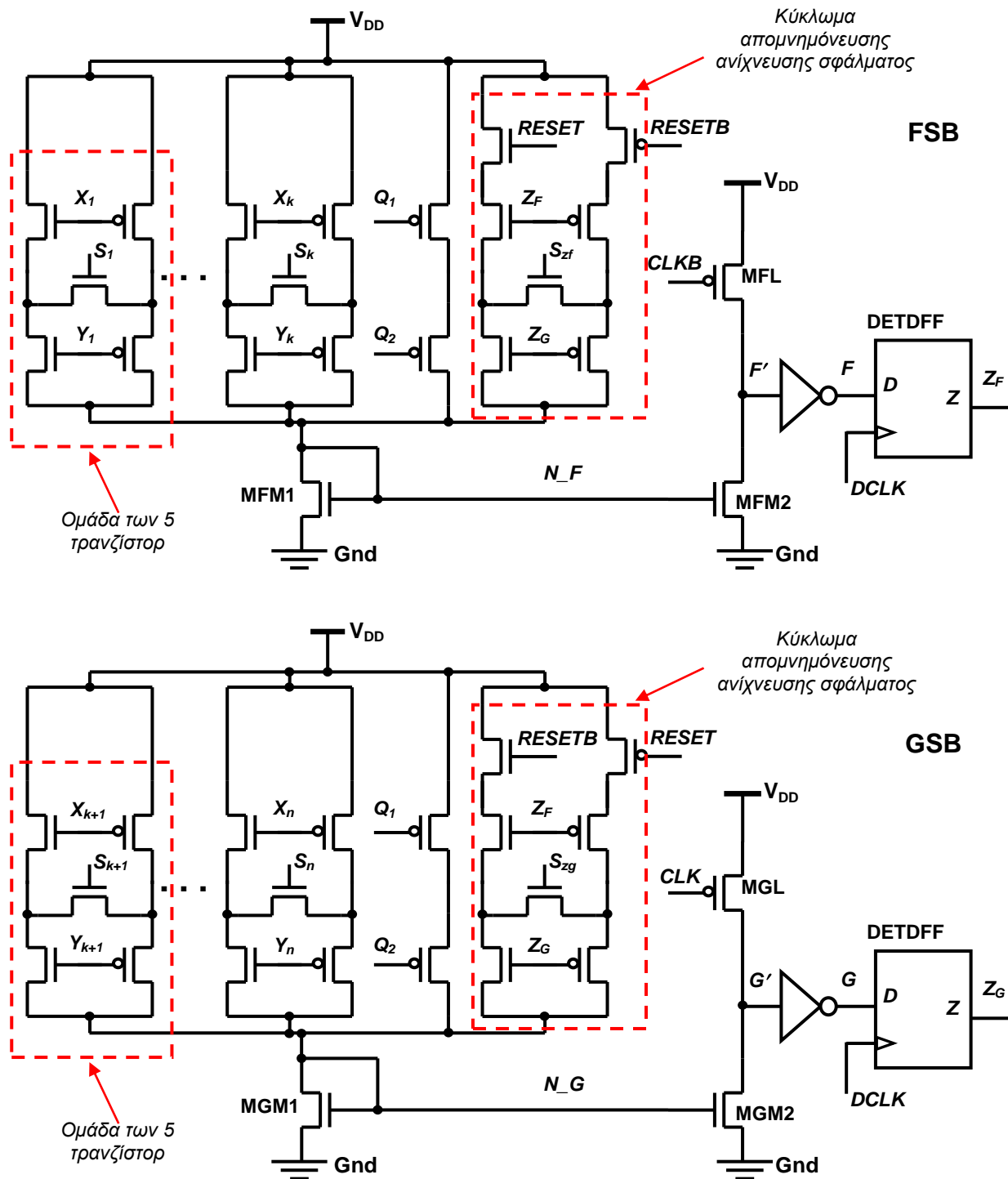
Τα μεταβατικά σφάλματα στην τροποποιημένη έκδοση του ελεγκτή καλύπτονται πλήρως όπως περιγράφηκε στην αρχική έκδοσή του (παράγραφος 3.3.4), εκτός από εκείνα τα μεταβατικά σφάλματα στον κυκλικό ολισθητή (CSR) που μεταβάλλουν την τιμή της εξόδου ενός Flip-Flop (DFF) από “1” σε “0” και αυτή η μετάβαση συλλαμβάνεται από το επόμενο στοιχείο μνήμης. Στην περίπτωση αυτή, έχουμε λανθασμένη μανδάλωση από το επόμενο DFF του ολισθητή και την κυκλοφορία δύο μηδενικών αντί του ενός. Για να αντιμετωπιστεί αυτή η περίπτωση σφάλματος μπορούμε να επαναρχικοποιήσουμε τον κυκλικό ολισθητή στο τέλος κάθε πλήρους κύκλου. Ένας τέτοιος κύκλος είναι ίσος με k περιόδους ρολογιού όπου $k=n/2$. Με τον τρόπο αυτόν, το σφάλμα διορθώνεται χωρίς κανένα πρόβλημα στη λειτουργία του ελεγκτή, μιας και το χρονικό διάστημα των k κύκλων ρολογιού είναι πάρα πολύ μικρό, σε σχέση με τον χρόνο μεταξύ εμφάνισης δύο διαδοχικών σφαλμάτων, σύμφωνα με τις δύο κοινές υποθέσεις που αποδεχόμαστε στον σχεδιασμό των ελεγκτών οι οποίες έχουν αναφερθεί στην αρχή της παραγράφου 3.3.

3.6.5 Απομνημόνευση λάθους

Για να έχει τη δυνατότητα ο ελεγκτής να απομνημονεύει μια λανθασμένη ένδειξη σφάλματος στην έξοδο Z_F και Z_G θα χρησιμοποιήσουμε μια τεχνική ανατροφοδότησης των αποτελεσμάτων, παρόμοια με αυτήν που αναφέρεται στην εργασία [115] όπως φαίνεται στο σχήμα 3.8, όπου οι εξοδοί Z_F και Z_G οδηγούν μία ομάδα τεσσάρων τρανζίστορ σε κάθε υποκύκλωμα (FSB, GSB). Το σήμα RESET τίθεται στην τιμή “1”.

Στην περίπτωση απουσίας σφάλματος, οι εξοδοί Z_F και Z_G έχουν συμπληρωματικές τιμές. Με τέτοιες τιμές στην έξοδο ο μηχανισμός ανατροφοδότησης δεν επηρεάζει την λειτουργία του ελεγκτή διότι τουλάχιστον ένα από τα τρία τρανζίστορ που είναι συνδεδεμένα σε σειρά είτε είναι pMOS είτε nMOS δεν θα άγει και επομένως η λειτουργία του ελεγκτή δεν επηρεάζεται. Στην περίπτωση ανίχνευσης σφάλματος, οι εξοδοί Z_F και Z_G θα έχουν και οι δύο την ίδια τιμή είτε “0” ή “1” και επομένως η αντίστοιχη τριάδα των σειριακά συνδεδεμένων τρανζίστορ θα άγει και στα δύο υποκυκλώματα (και στο FSB και στο GSB) αναγκάζοντας τους κόμβους F και G να είναι μόνιμα στην τιμή “1”. Η κατάσταση αυτή θα παραμείνει μέχρι να τεθεί το σήμα RESET στην τιμή “0” για τουλάχιστο μια περίοδο του ρολογιού.

Για να παραμείνει το κύκλωμα του ελεγκτή αυτοελεγχόμενο (για να πληροί την ιδιότητα του αυτοελέγχου) μετά την πρόσθεση του κυκλώματος απομνημόνευσης, θα πρέπει να προστεθεί στον κυκλικό καταχωρητή ένα επιπλέον στάδιο για την παραγωγή των σημάτων S_{zf} και S_{zg} όπως φαίνεται στο σχήμα 3.8.

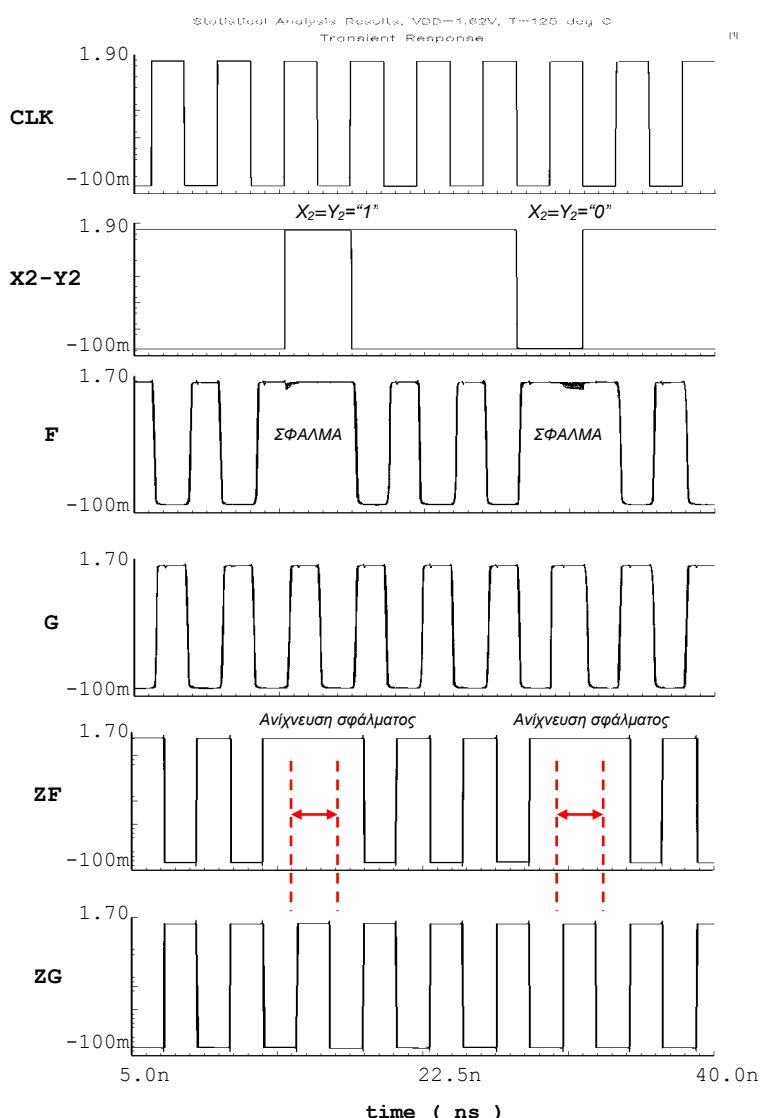


Σχήμα 3.8. Το κύκλωμα του ελεγκτή με τις επιπρόσθετες δυνατότητες ελέγχου.

3.6.6 Σχεδιασμός του τροποποιημένου ελεγκτή και αποτελέσματα προσομοίωσης

Η τροποποιημένη έκδοση του προτεινόμενου παράλληλου ελεγκτή κώδικα διπλού συρμού έχει σχεδιαστεί χρησιμοποιώντας την ίδια τεχνολογία CMOS 0,18μm ($V_{DD}=1,8V$), για διάφορες τιμές της μεταβλητής n (του πλήθους των εισόδων n) που κυμαίνεται από 8 έως 512. Η λειτουργία του ελεγκτή επαληθεύτηκε με προσομοιώσεις

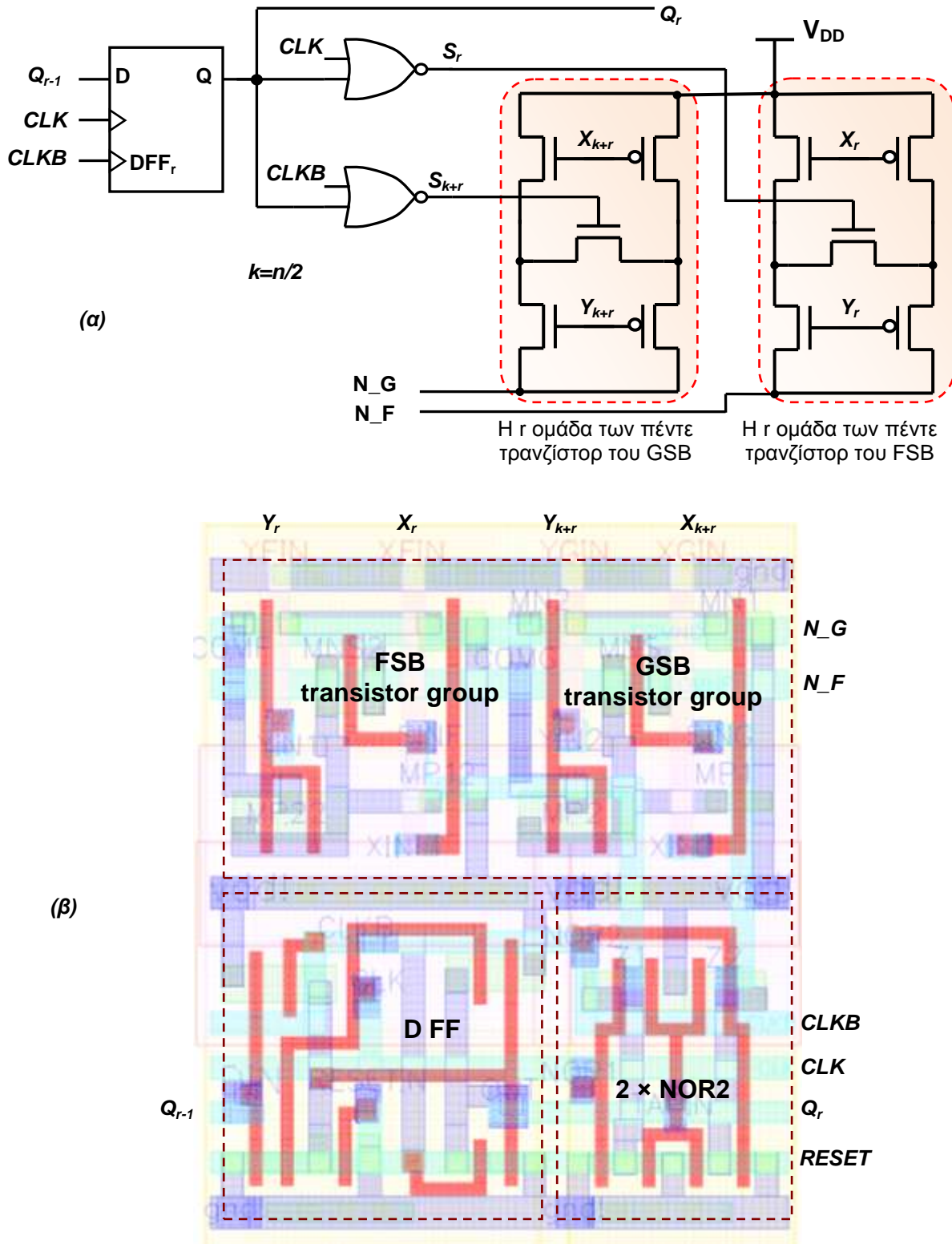
λαμβάνοντας υπόψιν τις μεταβολές της θερμοκρασίας από 0°C έως 125°C, τις μεταβολές στην τάση τροφοδοσίας εντός ενός διαστήματος ±10% με μέσο την κανονική τάση λειτουργίας (δηλαδή με τάση τροφοδοσίας VDD από 1,62V έως 1.98V) καθώς και τις διακυμάνσεις στις κατασκευαστικές παραμέτρους (PVT συνθήκες προσομοίωσης). Η σωστή λειτουργία του ελεγκτή επαληθεύτηκε, επίσης, και για την περίπτωση της απουσίας σφαλμάτων αλλά και υπό την παρουσία όλων των πιθανών σφαλμάτων σύμφωνα με τα μοντέλα σφαλμάτων που παρουσιάστηκαν στις προηγούμενες παραγράφους. Η λειτουργία του ελεγκτή στις παραπάνω περιπτώσεις επαληθεύτηκε και με την παρουσία έγκυρων και μη έγκυρων κωδικών λέξεων στις εισόδους. Επιπλέον, έγινε ανάλυση Monte Carlo με χρήση των στατιστικών μοντέλων της τεχνολογίας που καλύπτουν όλες τις διακυμάνσεις στις τιμές των κατασκευαστικών παραμέτρων (process parameter variations). Ενδεικτικές προσομοιώσεις φαίνονται στις κυματομορφές του σχήματος 3.9.



Σχήμα 3.9. Αποτελέσματα προσομοιώσεων από την ανάλυση Monte Carlo στον ελεγκτή, (προσομοίωση με VDD=1.62V, T=1250 C και χρήση στατιστικών μοντέλων).

Για να δείξουμε ότι ο προτεινόμενος ελεγκτής μπορεί να σχεδιαστεί χρησιμοποιώντας τις αυτόματες γεννήτριες φυσικής σχεδίασης θα παρουσιάσουμε, στη συνέχεια, τα επιμέρους κελιά φύλλα (leaf cells) από τα οποία θα αποτελείται το κύκλωμα. Τα

περισσότερα από αυτά τα κελιά είναι ανεξάρτητα από το πλήθος των εισόδων του ελεγκτή και επομένως υπάρχει μόνο ένας σχεδιασμός στη βιβλιοθήκη προς χρήση από τη γεννήτρια αυτόματης σχεδίασης. Το πρώτο που θα παρουσιαστεί είναι το βασικό κελί του ελεγκτή και φαίνεται στο σχήμα 3.10.



Σχήμα 3.10. Βασικό κελί (α) σχηματικό και (β) φυσική σχεδίαση. Διαστάσεις στο πυρίτιο 8.56 μ m X 9.92 μ m.

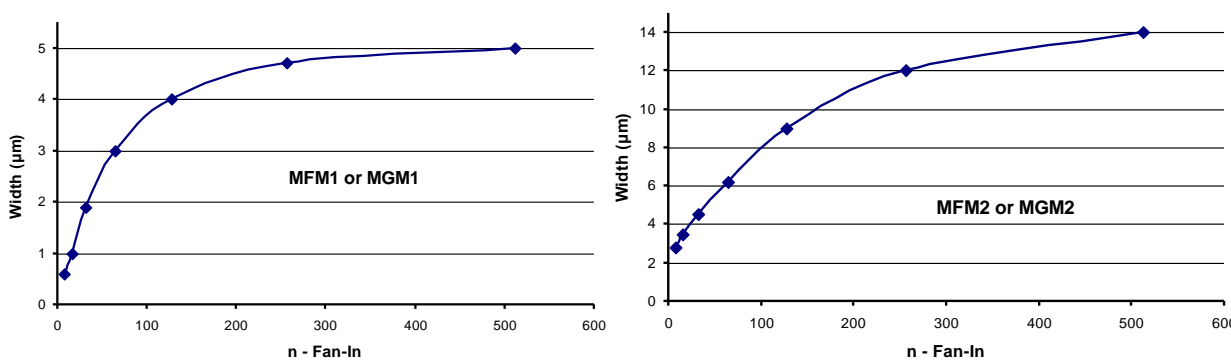
Οι διαστάσεις του βασικού κελιού του σχήματος 3.10 είναι ανεξάρτητες από την μεταβλητή n . Αποτελείται από τα εξής:

- α) από ένα D Flip-Flop (DFF) του κυκλικού ολισθητή (CSR),
- β) από τις δύο αντίστοιχες πύλες NOR που παράγουν τα σήματα επιλογής και
- γ) από τις δύο ομάδες των πέντε τρανζίστορ, μια ομάδα για το FSB και μια για το GSB.

Το βασικό κελί επαναλαμβάνεται όσες φορές είναι αναγκαίο ώστε να σχηματιστούν το FSB, το GSB και ο κυκλικός ολισθητής (CSR). Η φυσική σχεδίαση του βασικού κελιού παρουσιάζεται στο σχήμα 3.10(β).

Το δεύτερο κελί περιέχει τον αναστροφέα (NOT gate) και το DETDFF. Οι διαστάσεις και για το δεύτερο κελί, είναι επίσης ανεξάρτητες από τη μεταβλητή n . Θα χρειαστούν δύο τέτοια κελιά για την σχεδίαση, το ένα θα παράγει το σήμα Z_F και το άλλο το σήμα Z_G . Τέλος, το τρίτο κελί θα περιέχει τον κατάλληλο καθρέπτη και τα τρανζίστορ φόρτου. Οι διαστάσεις αυτού του κελιού σε αντίθεση από τα προηγούμενα εξαρτώνται από την μεταβλητή n . Όμως, επειδή μπορούμε να χρησιμοποιήσουμε τον ίδιο καθρέπτη για ένα σχετικά μεγάλο εύρος τιμών της μεταβλητής n χωρίς σημαντικές επιπτώσεις στις επιδόσεις του ελεγκτή, ο τελικός αριθμός των διαφορετικών εκδόσεων του τρίτου αυτού κελιού είναι πολύ μικρός (για την ακρίβεια δείξαμε πως χρησιμοποιώντας μόνο 7 διαφορετικά κελιά μπορούμε να καλύψουμε ένα μεγάλο εύρος σε αριθμό εισόδων από 8 μέχρι 512 με πολύ μικρό, σχετικά, τίμημα στις επιδόσεις).

Στο σχήμα 3.11 φαίνεται η σχέση μεταξύ του πλάτους W των τρανζίστορ του καθρέπτη και της τιμής της μεταβλητής n . Να επισημάνουμε ότι οι δύο καθρέπτες είναι ακριβώς οι ίδιοι, όπως έχει αναφερθεί νωρίτερα στην περιγραφή του κυκλώματος. Οι αντίστοιχες καμπύλες λαμβάνονται από τις προσομοιώσεις (με παραμετρική ανάλυση) με βελτιστοποίηση του ελεγκτή ως προς την ταχύτητα απόκρισης. Σύμφωνα με το σχήμα 3.11, το πλάτος (W) των τρανζίστορ τείνει να σταθεροποιηθεί καθώς αυξάνει η μεταβλητή n .



Σχήμα 3.11. Οι διαστάσεις των τρανζίστορ των καθρεπτών ως συνάρτηση του αριθμού εισόδων.

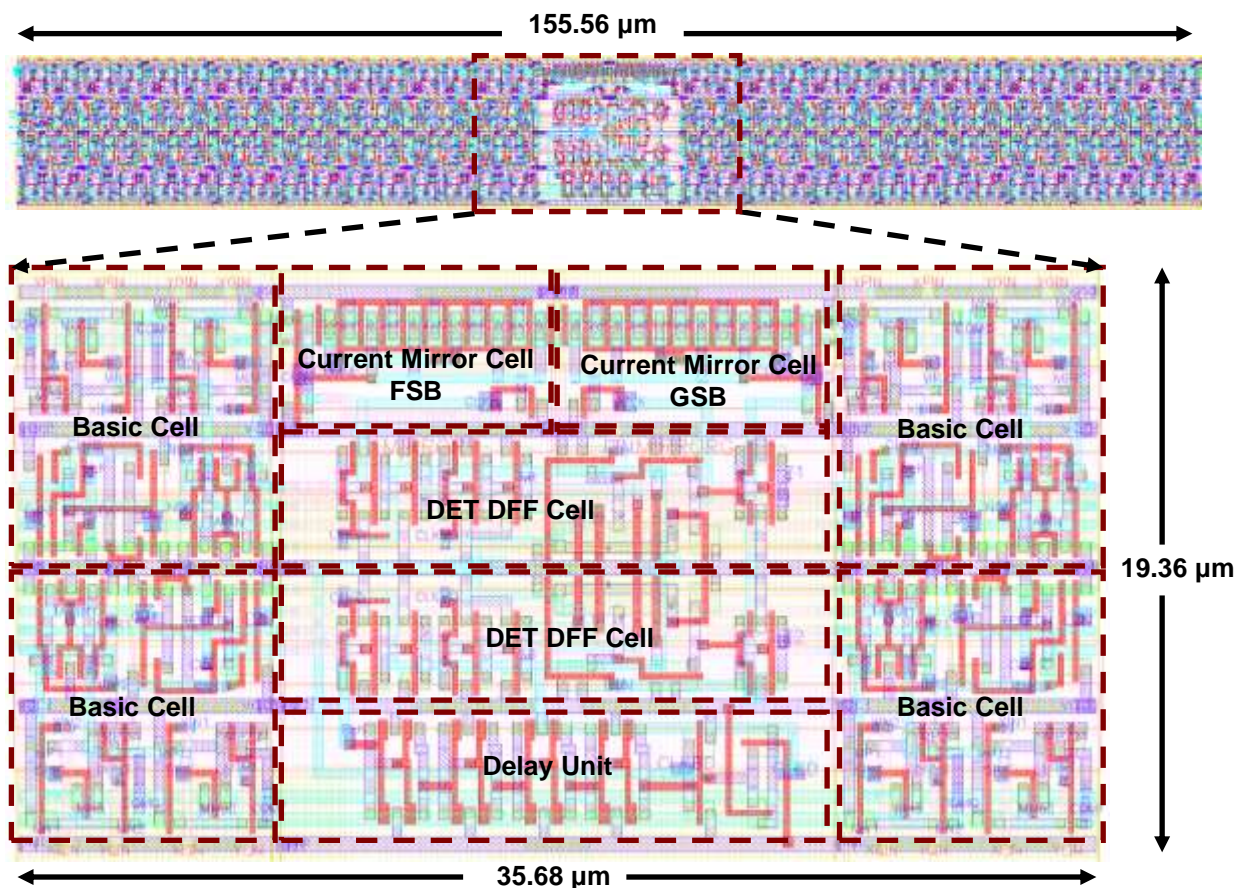
Ο πίνακας 3.4 παρουσιάζει μια πιθανή ομαδοποίηση με την οποία επιλέγουμε τον κατάλληλο καθρέπτη, ή καλύτερα επιλέγουμε το κελί με τις κατάλληλες διαστάσεις των τρανζίστορ ανάλογα με το πλήθος των εισόδων. Για παράδειγμα, για $n=64$ θα επιλέξουμε διαστάσεις $3\mu\text{m}$ και $6.2\mu\text{m}$ για τα τρανζίστορ MFM1 (MGM1) και MFM2 (MGM2), όπως φαίνεται στην πέμπτη στήλη του πίνακα 3.4 στην ομάδα $n=43-86$. Η

επιλογή των ορίων σε κάθε ομάδα έγινε με τέτοιο τρόπο, ώστε να υπάρχει ισορροπία ανάμεσα στην ταχύτητα του κυκλώματος και στο πλήθος των διαφορετικών κελιών των καθρεπτών (current mirror leaf cells), καθώς η ταχύτητα του κυκλώματος θα μειώνεται αν οι διαστάσεις των τρανζίστορ του καθρέπτη είναι μικρότερες από τις βέλτιστες ή η κατανάλωση θα αυξάνει αν οι διαστάσεις είναι μεγαλύτερες από τις βέλτιστες.

Πίνακας 3.4. Διαστάσεις των τρανζίστορ των καθρεπτών για τις διάφορες τιμές του πλήθους των εισόδων n.

Πλήθος Εισόδων <i>n</i>	4–12	13–22	23–42	43–86	87–172	173–340	341–684
Διάσταση W(μm) {MFM1(MGM1) & MFM2(MGM2)}	0.6 & 2.8	1.0 & 3.5	1.9 & 4.5	3.0 & 6.2	4.0 & 9.0	4.7 & 12.0	5.0 & 14.0

Στο σχήμα 3.12 φαίνεται η φυσική σχεδίαση (layout) της τροποποιημένης έκδοσης του ελεγκτή για πλήθος εισόδων n=64, όπου χρησιμοποιήθηκε η τεχνική αναδίπλωσης (folding design approach) η οποία είναι ευρύτατα διαδεδομένη στη σχεδίαση μνημών για την αποφυγή περιπτώσεων μη ταιριάσματος (mismatch) ανάμεσα στα δύο υποκυκλώματα.



Σχήμα 3.12. Φυσική σχεδίαση (layout) του ελεγκτή για n=64.

Η τροποποιημένη έκδοση του προτεινόμενου παράλληλου ελεγκτή διπλού συρμού (TRC) απαιτεί δύο έως πέντε φορές μεγαλύτερη επιφάνεια πυριτίου, είναι 49% έως 66% πιο αργή και καταναλώνει από 4% έως 34% περισσότερη ενέργεια, σε σύγκριση με την αρχική έκδοσή της και σε σχέση με το πλήθος των εισόδων n που εξετάζουμε, δηλαδή από $n=8$ έως $n=512$. Όμως, είναι σε θέση να ανιχνεύσει όλα τα σφάλματα μόνιμα μη αγώγιμων τρανζίστορ (TSOP) σε όλα τα τρανζίστορ του ελεγκτή συμπεριλαμβανομένων και των τρανζίστορ εισόδου. Στη περίπτωση που απαιτείται μια τέτοια κάλυψη σφαλμάτων στη σχεδίαση κυκλωμάτων όπως στις εργασίες [107], [108], τότε η χρήση της τροποποιημένης έκδοσης είναι επιβεβλημένη. Στο σημείο αυτό πρέπει να αναφέρουμε ότι ο παράλληλος ελεγκτής (TRC) που παρουσιάστηκε στην [105] και με τον οποίο έγινε η σύγκριση στον πίνακα 3.3, δεν παρέχει πλήρη κάλυψη των σφαλμάτων μόνιμα μη αγώγιμων τρανζίστορ (TSOP).

3.6.7 Σφάλματα ωμικών γεφυρωμάτων

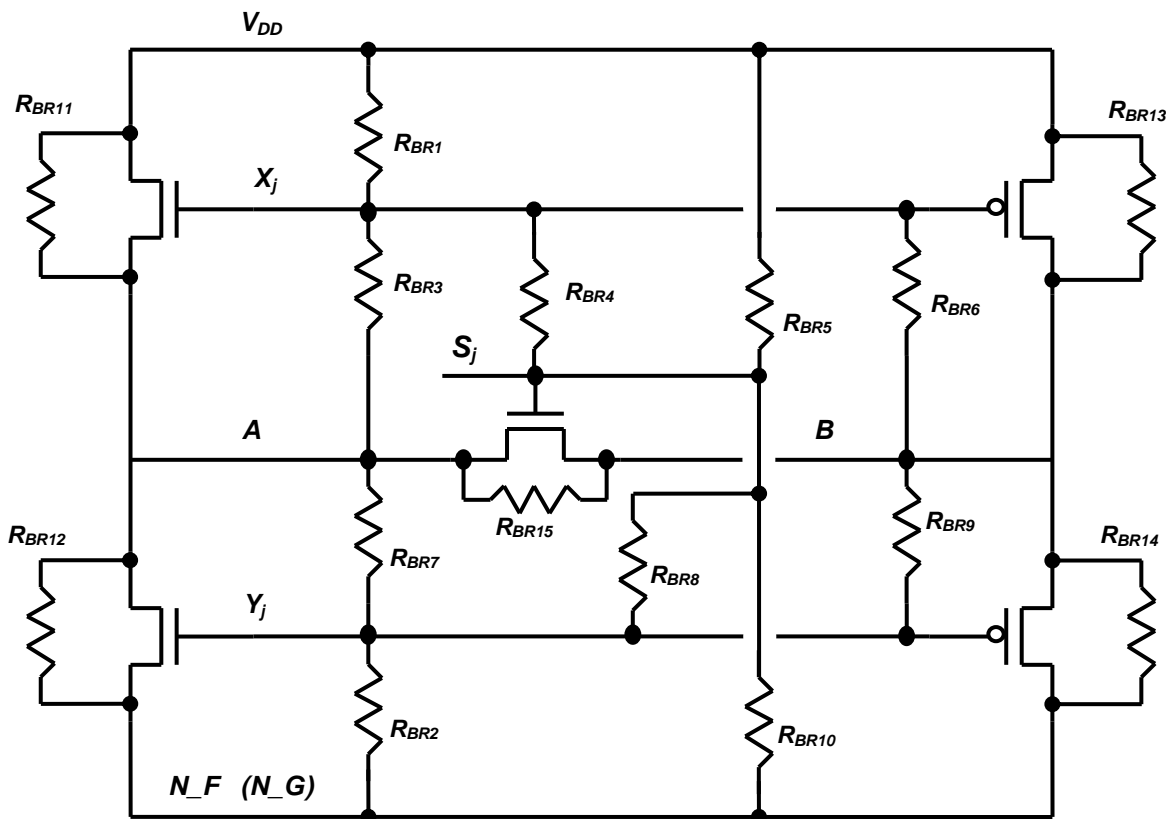
Για να εξετάσουμε την δυνατότητα του ελεγκτή να ανιχνεύσει σφάλματα ωμικών γεφυρωμάτων (resistive bridging faults) έγινε ένα μεγάλο πλήθος προσομοιώσεων για όλα τα πιθανά σφάλματα αυτού του είδους. Όλες οι προσομοιώσεις έγιναν με βάση το φυσικό σχεδιασμό (layout) του ελεγκτή για την περίπτωση $n=64$. Στις προσομοιώσεις αυτές λήφθηκαν υπόψιν όλα τα γειτονικά σφάλματα γεφύρωσης ανάμεσα σε μέταλλα του ίδιου επιπέδου, ή σε πολυκρυσταλλικό πυρίτιο ή σε γειτονικούς κόμβους που ανήκουν στο ίδιο επίπεδο.

Αρχικά, εξετάστηκαν τα σφάλματα γεφύρωσης στο κύκλωμα εισόδου του FSB (GSB) το οποίο αναφέρεται στο σχήμα 3.6 και ως «ομάδα πέντε τρανζίστορ». Τα σφάλματα γεφύρωσης μοντελοποιούνται ως ωμικές αντιστάσεις και για το συγκεκριμένο κύκλωμα φαίνονται στο σχήμα 3.13. Συνολικά στο κύκλωμα αυτό υπάρχουν 15 διαφορετικά πιθανά σημεία γεφύρωσης και μόνο ένα από αυτά τα γεφυρώματα δεν ανιχνεύεται. Το μη ανιχνεύσιμο σφάλμα γεφύρωσης είναι αυτό που μοντελοποιείται με την ωμική αντίσταση R_{BR10} . Το σφάλμα αυτό βρίσκεται ανάμεσα στους κόμβους S_j και $N_F (N_G)$ και αρκεί ένα μικρό ρεύμα (ή ισοδύναμα μια μεγάλη ωμική αντίσταση) για να φορτίσει την πύλη του τρανζίστορ που οδηγείται από το σήμα S_j μέσω της αντίστασης R_{BR10} . Όπως έχουμε αναφέρει ο κόμβος $N_F (N_G)$ βρίσκεται πάντοτε σε δυναμικό μεγαλύτερο από την τάση κατωφλίου του nMOS τρανζίστορ και επομένως μετά από κάποιο χρόνο που εξαρτάται από την τιμή της αντίστασης R_{BR10} , το εν λόγω τρανζίστορ, που χρησιμοποιείται για την δοκιμή των μη αγώγιμων τρανζίστορ εισόδου, οδηγείται στον κόρο βραχυκυκλώνοντας τους κόμβους A και B που φαίνονται στο σχήμα 3.13. Οι τιμές των μέγιστων ωμικών αντιστάσεων γεφύρωσης που είναι ανιχνεύσιμες στην ομάδα των πέντε τρανζίστορ παρουσιάζονται στον πίνακα 3.5.

Πίνακας 3.5. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στην ομάδα των πέντε τρανζίστορ.

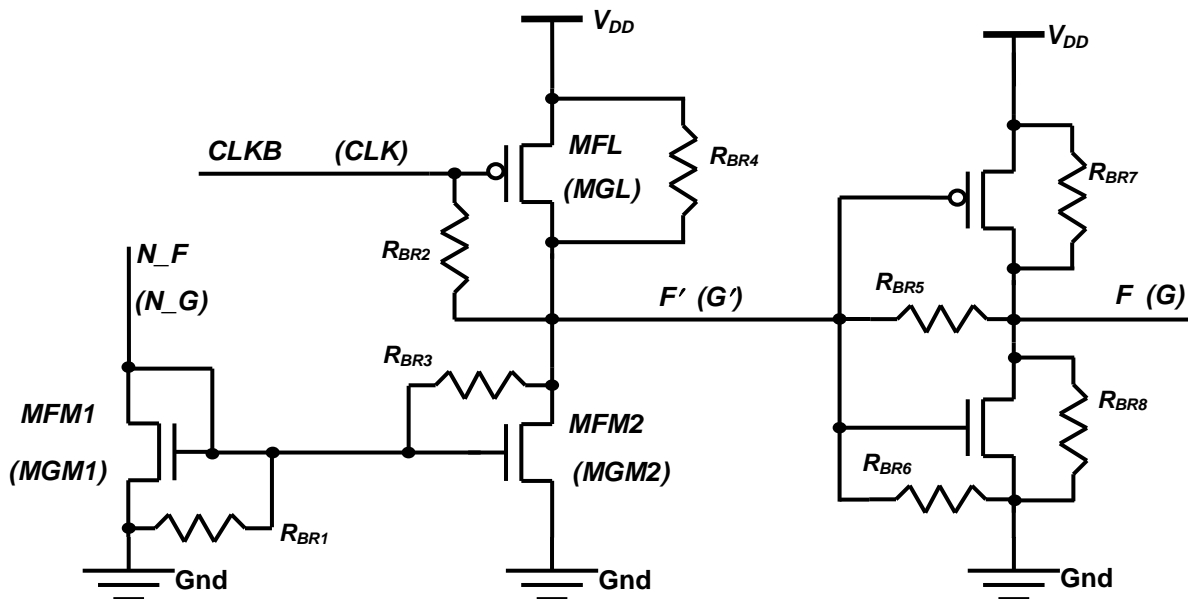
RBR1	RBR2	RBR3	RBR4	RBR5	RBR6	RBR7	RBR8	RBR9	RBR10	RBR11	RBR12	RBR13	RBR14	RBR15
800Ω	100ΚΩ	25ΚΩ	16ΚΩ	1.4ΚΩ	4.5ΚΩ	9ΚΩ	16ΚΩ	16ΚΩ	-	16ΚΩ	16ΚΩ	16ΚΩ	8ΚΩ	8ΚΩ

Για να μειώσουμε σε πολύ μεγάλο βαθμό την πιθανότητα να συμβεί το γεφύρωμα που μοντελοποιεί η R_{BR10} , απομακρύναμε, όσο είναι δυνατόν, αυτούς τους δύο κόμβους στην φυσική σχεδίαση του κυκλώματος (layout). Συγκεκριμένα, σχεδιάσαμε με τέτοιο τρόπο το κύκλωμα ώστε να απέχουν μεταξύ τους 7,5 φορές την ελάχιστη επιτρεπόμενη απόσταση μεταξύ των μετάλλων για την τεχνολογία που χρησιμοποιήθηκε. Στην πράξη η πιθανότητα να συμβεί γεφύρωμα σε γειτονικές γραμμές μετάλλου μειώνεται όσο η απόσταση των μετάλλων αυξάνει.



Σχήμα 3.13. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα εισόδου των πέντε τρανζίστορ.

Τα πιθανά σφάλματα γεφύρωσης για τους καθρέπτες ρεύματος και τους αναστροφείς εξόδου φαίνονται στο σχήμα 3.14 και οι μέγιστες τιμές των ωμικών αντιστάσεων που ανιχνεύονται από το ελεγκτή φαίνονται στον πίνακα 3.6.



Σχήμα 3.14. Πιθανά σφάλματα γεφύρωσης στους καθρέπτες ρεύματος και τους αντιστροφείς εξόδου.

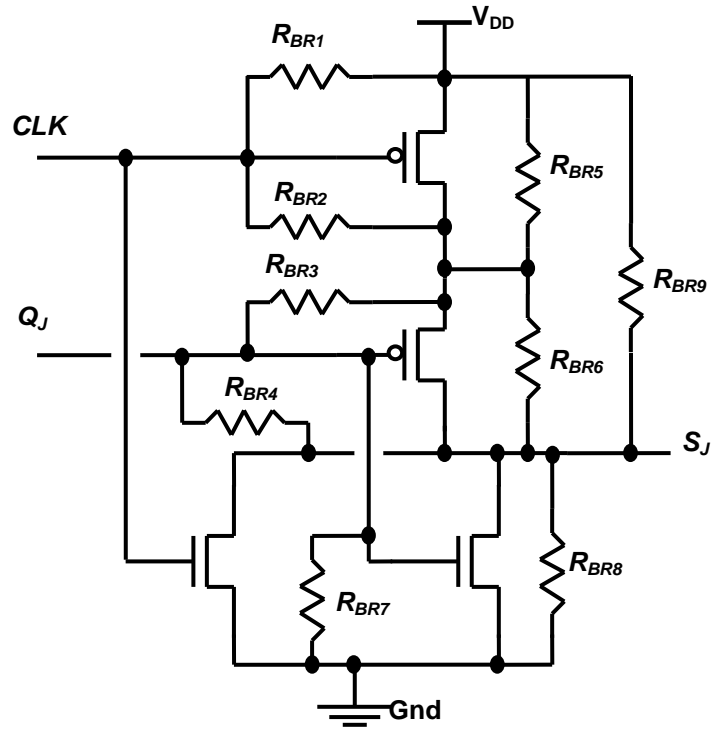
Πίνακας 3.6. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στον καθρέπτη ρεύματος και τον αναστροφέα εξόδου.

RBR1	RBR2	RBR3	RBR4	RBR5	RBR6	RBR7	RBR8
50KΩ	25KΩ	10KΩ	20KΩ	7KΩ	8kΩ	4KΩ	12KΩ

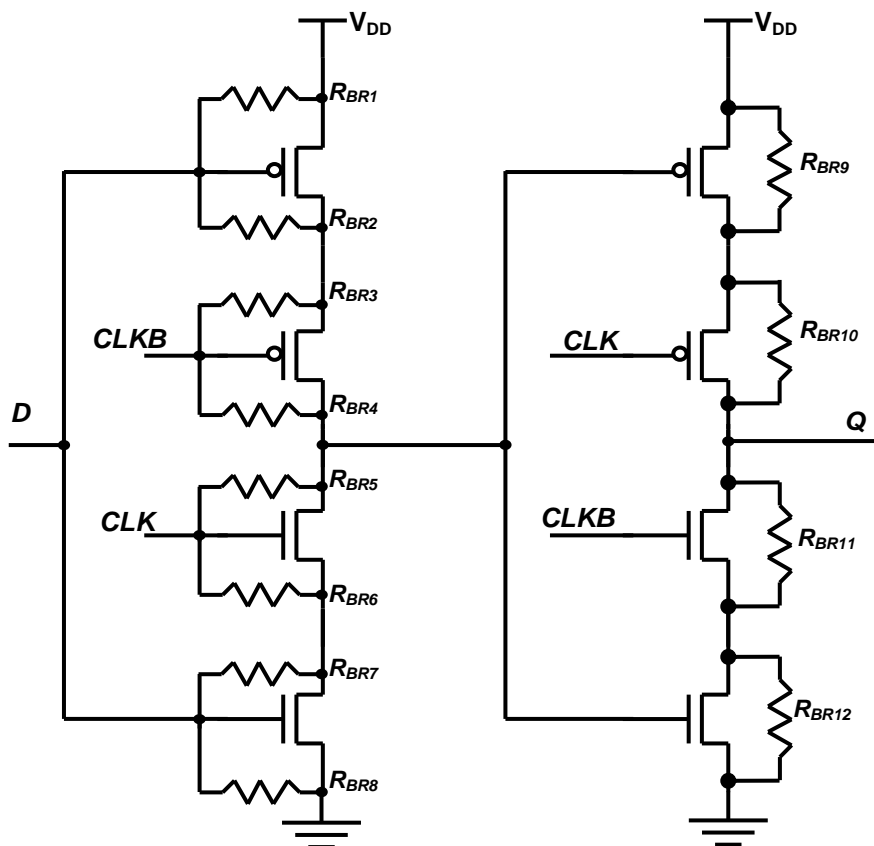
Τα πιθανά σφάλματα γεφύρωσης για τις πύλες NOR φαίνονται στο σχήμα 3.15. Οι μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων φαίνονται στον πίνακα 3.7. Τέλος, τα πιθανά σφάλματα γεφύρωσης για το D Flip-Flop του κυκλικού ολισθητή (CSR) φαίνονται στο σχήμα 3.16, ενώ οι μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων φαίνονται στον πίνακα 3.8.

Πίνακας 3.7. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στο κύκλωμα της πύλης NOR.

R _{BR1}	R _{BR2}	R _{BR3}	R _{BR4}	R _{BR5}	R _{BR6}	R _{BR7}	R _{BR8}	R _{BR9}
12KΩ	100KΩ	10KΩ	8KΩ	>100KΩ	5KΩ	8KΩ	40KΩ	5KΩ



Σχήμα 3.15. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα της πύλης NOR.



Σχήμα 3.16. Πιθανά σφάλματα γεφύρωσης στο κύκλωμα του D Flip-Flop.

Πίνακας 3.8. Μέγιστες ανιχνεύσιμες τιμές των ωμικών αντιστάσεων γεφύρωσης στο κύκλωμα D Flip-Flop του κυκλικού ολισθητή (CSR).

RBR1	RBR2	RBR3	RBR4	RBR5	RBR6	RBR7	RBR8	RBR9	RBR10	RBR11	RBR12
100ΚΩ	100ΚΩ	4ΚΩ	100ΚΩ	100ΚΩ	20ΚΩ	100ΚΩ	100ΚΩ	0.5ΚΩ	100ΚΩ	100ΚΩ	6ΚΩ

3.6.8 Δυνατότητα Ενσωμάτωσης του προτεινόμενου ελεγκτή

Λαμβάνοντας υπόψιν τα σφάλματα μόνιμης τιμής, τα σφάλματα μόνιμα αγωγίμου ή μόνιμα μη αγωγίμου τρανζίστορ, τα μεταβατικά σφάλματα και τα σφάλματα γεφύρωσης ο προτεινόμενος ελεγκτής απαιτεί την εφαρμογή μόνο 2 κωδικών λέξεων (από ένα σύνολο 2^{n-1} ισοδύναμων ζευγών κωδικών λέξεων) για να ικανοποιήσει τις συνθήκες του Ολικά Αυτοελεγχόμενου Ελεγκτή (TSC) ή τις συνθήκες του Ισχυρά Κωδικά Διαχωρίσιμου Ελεγκτή (SCD) όπως οι ελεγκτές που παρουσιάζονται στις εργασίες [99], [103], [104], [105]. Η μόνη απαίτηση για τις δύο κωδικές λέξεις είναι να έχουν μεταξύ τους συμπληρωματικές τιμές στα ζεύγη των bit $(X_j, Y_j \ j \in [1, \dots, n])$. Για παράδειγμα $(X_1 Y_1, \dots, X_j Y_j, \dots, X_n Y_n)_A = (10, \dots, 10, \dots, 10)$ και $(X_1 Y_1, \dots, X_j Y_j, \dots, X_n Y_n)_B = (01, \dots, 01, \dots, 01)$. Συνεπώς, όπως έχει αποδειχθεί και στην [105], οι παράλληλοι ελεγκτές διπλού συρμού (TRC), όπως ο προτεινόμενος, απαιτεί κατά μέσον όρο λιγότερες από τις μισές από τις κωδικές λέξεις που απαιτούνται από τους αντίστοιχους ελεγκτές με δένδρική δομή (tree structured TRC) για να ικανοποιούν τις απαιτήσεις του αυτοελεγχόμενου ελεγκτή. Αυτό είναι μια πολύ σημαντική ιδιότητα για έναν ενσωματωμένο ελεγκτή, η οποία κάνει το προτεινόμενο κύκλωμα ελεγκτή καταλληλότερο για ενσωμάτωση στο ολοκληρωμένο κύκλωμα σε σχέση με τους ελεγκτές με δένδρική δομή.

3.7 Ανακεφαλαίωση

Σε αυτό το κεφάλαιο παρουσιάστηκε ένας παράλληλος ελεγκτής για κώδικα διπλού συρμού (TRC), ο οποίος βασίζεται σε *λειτουργία ρεύματος*, και είναι κατάλληλος να χρησιμοποιηθεί ως ενσωματωμένος ελεγκτής σε περιπτώσεις με μεγάλο πλήθος εισόδων. Το νέο κύκλωμα ανήκει στην κατηγορία των ελεγκτών με περιοδικές εξόδους και έχει την δυνατότητα να καλύπτει τις απαιτήσεις του *ολικά αυτοελεγχόμενου ελεγκτή* (TSC) ή του *ισχυρά κωδικά διαχωρίσιμου ελεγκτή* (SCD). Επίσης, καλύπτει ένα ευρύ σύνολο ρεαλιστικών σφαλμάτων, συμπεριλαμβανομένων των μόνιμα μη αγωγίμων (TSOP) τρανζίστορ που δεν καλύπτονται από άλλους ελεγκτές αυτής της κατηγορίας. Ο φυσικός σχεδιασμός, σε τεχνολογία CMOS 0,18μm και οι προσομοιώσεις για διαφορετικό αριθμό εισόδων (διαφορετικές τιμές της μεταβλητής n) και με μεταβολές τροφοδοσίας, θερμοκρασίας και κατασκευαστικών παραμέτρων (PVT συνθήκες προσομοίωσης), έδειξαν ότι το κύκλωμα αυτό πλεονεκτεί ως προς την ταχύτητα και το κόστος υλοποίησης σε σχέση με τους ελεγκτές της ίδιας κατηγορίας. Τέλος για μεγάλους αριθμούς εισόδων ο προτεινόμενος ελεγκτής είναι ο πιο αποδοτικός και ως προς την κατανάλωση ισχύος.

4. ΤΑ ΜΕΤΑΒΑΤΙΚΑ ΣΦΑΛΜΑΤΑ ΚΑΙ ΤΑ ΣΦΑΛΜΑΤΑ ΧΡΟΝΙΣΜΟΥ

4.1 Εισαγωγή

Η μεγάλη πρόοδος στην βιομηχανία ημιαγωγών έφερε στο προσκήνιο νέα προβλήματα στον σχεδιασμό των ολοκληρωμένων κυκλωμάτων κάνοντας δύσκολη τη διατήρηση της ίδιας αξιοπιστίας όπως στα παλαιότερα ολοκληρωμένα κυκλώματα. Παράλληλα, έκανε ακόμη μεγαλύτερη τη δυσκολία να συγκρατηθεί το κόστος δοκιμής των ολοκληρωμένων κυκλωμάτων μέσα σε αποδεκτά πλαίσια. Η αξιοπιστία των σημερινών ολοκληρωμένων κυκλωμάτων επηρεάζεται από τις ακόλουθες αιτίες: α) την κλιμάκωση της τεχνολογίας (technology scaling), β) την αύξηση της συχνότητας λειτουργίας, γ) τη μείωση της τάσης τροφοδοσίας και δ) τη μείωση των περιθωρίων θορύβου των ολοκληρωμένων κυκλωμάτων. Κάτω από αυτές τις συνθήκες, τα μεταβατικά σφάλματα (transient faults) αρχίζουν να παίζουν σημαντικό ρόλο καθώς οδηγούν σε αύξηση του ρυθμού εμφάνισης λαθών και μάλιστα πολλές φορές σε μη αποδεκτά επίπεδα. Μια κατηγορία μεταβατικών σφαλμάτων που σχετίζονται με θέματα χρονισμού, είναι η αιτία δημιουργίας λαθών χρονισμού (timing errors) και οφείλονται σε διάφορους γνωστούς μηχανισμούς, όπως παρεμβολές γειτονικών γραμμών (crosstalk), θόρυβος ή αιχμές στο δυναμικό της γης (ground bounce). Άλλοι μηχανισμοί δημιουργίας μεταβατικών σφαλμάτων είναι τα single event upsets (SEUs) τα οποία οφείλονται στην ακτινοβολία α (εξ' αιτίας ανεπιθύμητων προσμίξεων (impurities) στο περίβλημα των ολοκληρωμένων κυκλωμάτων) καθώς και στην κοσμική ακτινοβολία (cosmic-ray) που είναι πιο έντονη σε μεγάλα υψόμετρα [116], [117], [118]. Σε αυτές τις περιπτώσεις έχουμε τη δημιουργία ήπιων λαθών (soft errors). Όλοι οι παραπάνω μηχανισμοί παίζουν σημαντικό ρόλο στην δημιουργία μεταβατικών σφαλμάτων στις υπομικρονικές τεχνολογίες οι οποίες είναι πιο ευπαθείς σε σύγκριση με προηγούμενες τεχνολογίες.

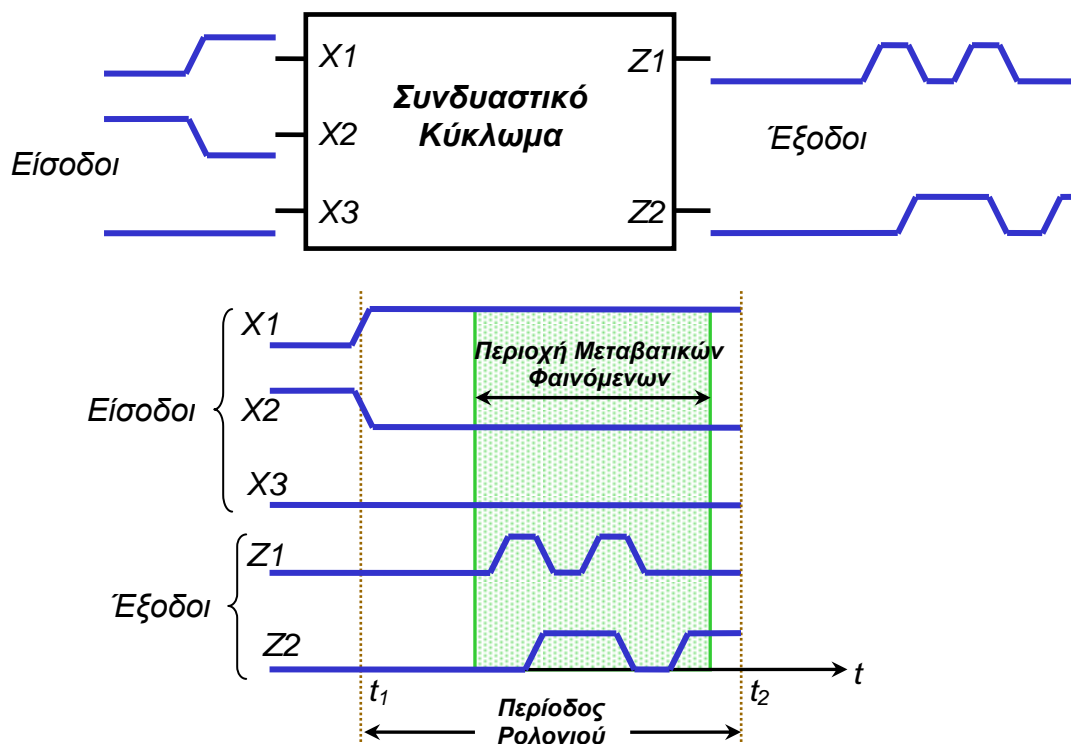
4.2 Μεταβατικά σφάλματα και σφάλματα καθυστέρησης

Τα μεταβατικά σφάλματα εξ' αιτίας SEU φαινομένων εμφανίζονται με την μορφή ενός ηλεκτρικού παλμού, μικρής συνήθως διάρκειας, πάνω σε ένα κόμβο του κυκλώματος. Ο παραγόμενος παλμός μπορεί να διαδοθεί προς τις εξόδους του ολοκληρωμένου κυκλώματος. Αυτοί οι παλμοί συνήθως εξασθενούν πριν καταφέρουν να φτάσουν σε κάποια έξοδο του κυκλώματος. Αν όμως καταφέρουν να φτάσουν σε αυτή τότε μπορεί να συνεισφέρουν στην δημιουργία ενός ήπιου λάθους στην περίπτωση που συμβούν κατά την στιγμή που η έξοδος δειγματοληπτείται από το σήμα ρολογιού. Αυτή η πιθανότητα αυξάνει με την αύξηση της συχνότητας του ρολογιού, επομένως στις μελλοντικές τεχνολογίες τα κυκλώματα θα απαιτούν κάποια είδους προστασία από τα ήπια λάθη όπως αυτή που αναπτύχθηκε στο παρελθόν για τις μνήμες [119], [120].

Τα σφάλματα καθυστέρησης (delay faults) στις εσωτερικές διαδρομές σήματος του κυκλώματος δημιουργούν λάθη χρονισμού. Τα σφάλματα καθυστέρησης απαιτούν για την ανίχνευσή τους μεγάλους χρόνους ελέγχου του κυκλώματος, με αποτέλεσμα να αυξάνεται το κόστος κατασκευής. Η ανίχνευση αυτών των σφαλμάτων καθίσταται δυσκολότερη στις νέες τεχνολογίες διότι η συχνότητα λειτουργίας αυξάνει και επιπλέον το πλήθος των δυνατών διαδρομών σήματος σε ένα ολοκληρωμένο κύκλωμα είναι

εξαιρετικά μεγάλο με αποτέλεσμα να αυξάνει η πιθανότητα ελαττωματικά κυκλώματα να διαφύγουν της δοκιμής στο εργοστάσιο κατασκευής.

Τα λάθη χρονισμού είναι ιδιαίτερα σημαντικά στις νανοτεχνολογίες και θα πρέπει να ανιχνεύονται κατά την διάρκεια της λειτουργίας του κυκλώματος στην περίπτωση που υπάρχει απαίτηση για υψηλή αξιοπιστία. Τα λάθη αυτά, όπως θα δούμε στο παράδειγμα του σχήματος 4.1, ανιχνεύονται με την εφαρμογή ζεύγους διανυσμάτων δοκιμής, πράγμα που αυξάνει εκθετικά την πολυπλοκότητα και τον απαιτούμενο χρόνο και δυσχεραίνει εξαιρετικά την δοκιμή των ολοκληρωμένων κυκλωμάτων.



Σχήμα 4.1. Μεταβατικά φαινόμενα στις εξόδους συνδυαστικού κυκλώματος

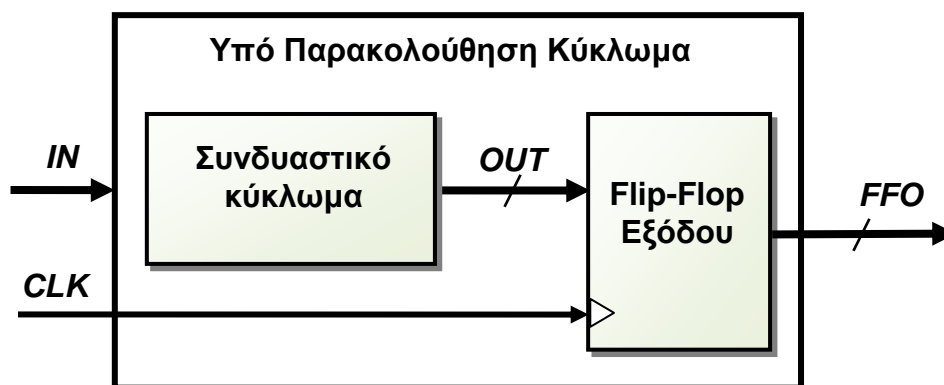
Στο σχήμα 4.1 φαίνεται ένα συνδυαστικό κύκλωμα με τις εισόδους και τις εξόδους του. Όλες οι αλλαγές που γίνονται στις εισόδους του κυκλώματος είναι συγχρονισμένες με ένα σήμα ρολογιού και όλες οι εξόδους αναμένεται να μεταβούν στην σταθερή τελική τιμή τους μέσα σε διάρκεια μιας περιόδου του σήματος ρολογιού μετά την αλλαγή των σημάτων εισόδου. Για παράδειγμα, στο σχήμα 4.1, η αλλαγή στις τιμές των σημάτων εισόδου γίνεται την χρονική στιγμή t_1 και τα σήματα εξόδου είναι έγκυρα και σταθερά, αμέσως μετά την χρονική στιγμή $t_2 = T + t_1$. Επομένως, για την ορθή λειτουργία, θα πρέπει οι καθυστερήσεις στο συνδυαστικό κύκλωμα να μην υπερβαίνουν την διάρκεια της μιας περιόδου του ρολογιού. Συνήθως, οι εξόδους των συνδυαστικών κυκλωμάτων περιέχουν μεταβατικούς παλμούς, όπως αυτοί για παράδειγμα που φαίνονται στο σχήμα 4.1, εξαιτίας της μετάβασης την χρονική στιγμή t_1 από το διάνυσμα εισόδου “010” στο διάνυσμα εισόδου “100” και η διάρκειά τους καθώς και το πλήθος τους εξαρτώνται από την πολυπλοκότητα και τον αριθμό των βαθμίδων που περιέχονται στο συνδυαστικό κύκλωμα.

Όταν αναφερόμαστε στα σφάλματα καθυστέρησης υποθέτουμε ότι όλες οι εισόδους στο συνδυαστικό κύκλωμα μεταβάλλονται ταυτόχρονα (πχ την χρονική στιγμή t_1 στο σχήμα 4.1). Στην έξοδο του κυκλώματος περιέχονται πολλοί μεταβατικοί παλμοί και η διάρκειά τους είναι διαφορετική. Στο σχήμα 4.1 βλέπουμε πως η έξοδος Z2 καθυστερεί

περισσότερο σε σχέση με την έξοδο $Z1$. Γενικά, η χρονική στιγμή που γίνεται η τελευταία μετάβαση της εξόδου με την μεγαλύτερη καθυστέρηση για όλους τους συνδυασμούς ζευγών διανυσμάτων εισόδου καθορίζει το μονοπάτι (ή τα μονοπάτια) που είναι το πιο αργό και αυτό το μονοπάτι με την μέγιστη καθυστέρηση ονομάζεται κρίσιμο μονοπάτι (critical path). Από την καθυστέρηση που παρουσιάζει το κρίσιμο μονοπάτι καθορίζεται η μέγιστη συχνότητα λειτουργίας του κυκλώματος ή αλλιώς η ελάχιστη περίοδος του ρολογιού με την οποία το κύκλωμα λειτουργεί αξιόπιστα. Στο σχήμα 4.1 η γραμμοσκιασμένη περιοχή είναι η περιοχή των μεταβατικών φαινομένων και δεν πρέπει να υπερβεί την διάρκεια της περιόδου του ρολογιού. Στην περίπτωση που το υπερβεί έχουμε σφάλμα χρονισμού ή σφάλμα καθυστέρησης. Τα προβλήματα χρονισμού είναι πολύ σημαντικά καθώς πάντα υπάρχει η απαίτηση τα κυκλώματα να λειτουργούν στην μέγιστη δυνατή συχνότητα.

4.3 Μηχανισμοί δημιουργίας μεταβατικών σφαλμάτων και σφαλμάτων καθυστέρησης

Τα σύγχρονα ολοκληρωμένα κυκλώματα περιέχουν ένα πολύ μεγάλο αριθμό εσωτερικών βαθμίδων, εισόδων και εξόδων. Οι βαθμίδες αυτές περιλαμβάνουν ένα λειτουργικό κύκλωμα (Functional Circuit) το οποίο με τη σειρά του περιέχει ένα ή περισσότερα συνδυαστικά κυκλώματα. Για λόγους απλότητας θεωρούμε το κύκλωμα του σχήματος 4.2 που περιλαμβάνει μία βαθμίδα με ένα λειτουργικό κύκλωμα το οποίο αποτελείται από το συνδυαστικό τμήμα και τα Flip-Flop των καταχωρητών εξόδου. Όταν συμβεί ένα μεταβατικό σφάλμα σε κάποιον εσωτερικό κόμβο του συνδυαστικού κυκλώματος τότε μπορεί να δημιουργηθεί ένας μεταβατικός παλμός μικρής διάρκειας (transient pulse) στην έξοδο OUT του συνδυαστικού κυκλώματος.

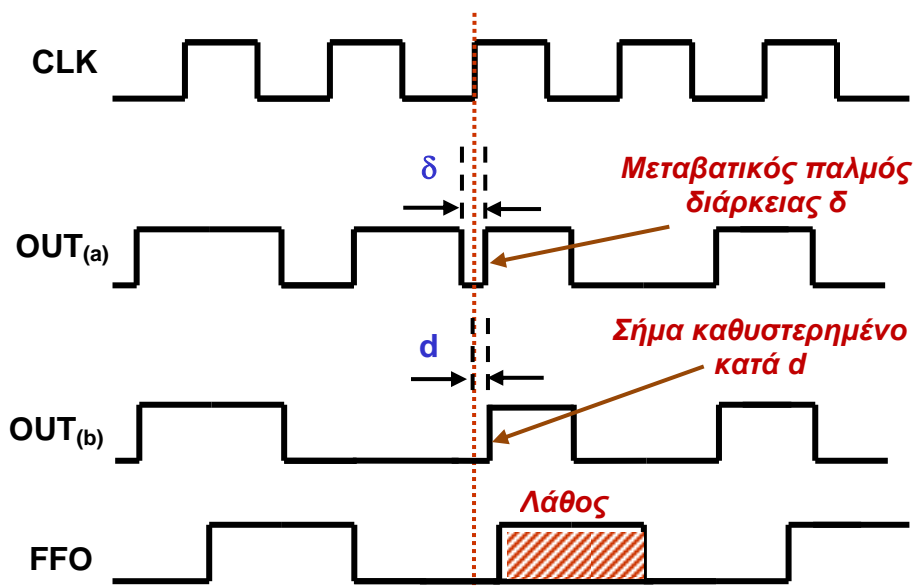


Σχήμα 4.2. Υπό παρακολούθηση κύκλωμα με τα Flip-Flop εξόδου.

Ο μεταβατικός παλμός που δημιουργείται άλλοτε οδηγεί στην εμφάνιση ενός λάθους στην έξοδο του κυκλώματος, και άλλοτε όχι. Στο σχήμα 4.3 βλέπουμε την είσοδο και την έξοδο του Flip-Flop εξόδου που δειγματοληπτεί την γραμμή OUT του συνδυαστικού κυκλώματος. Στην περίπτωση που η ακμή σκανδαλισμού (triggering edge) του ρολογιού (CLK) συμπίπτει με την εμφάνιση του μεταβατικού παλμού (δηλ. μέσα στο μικρό χρονικό διάστημα δ - βλέπε τη γραμμή $OUT_{(a)}$) έχουμε την δημιουργία ενός ήπιου λάθους στην έξοδο FFO του Flip-Flop.

Επίσης, σφάλματα καθυστέρησης στο συνδυαστικό κύκλωμα μπορεί να έχουν ως αποτέλεσμα την καθυστερημένη εμφάνιση του σήματος στην έξοδο $OUT_{(b)}$ του κυκλώματος κατά ένα (μικρό) χρονικό διάστημα d , αμέσως μετά την ακμή

σκανδαλισμού του ρολογιού (CLK). Σε αυτή την περίπτωση έχουμε την δημιουργία ενός λάθους χρονισμού στην έξοδο FFO του Flip-Flop.



Σχήμα 4.3. Μηχανισμοί δημιουργίας λάθους στην έξοδο του υπό παρακολούθηση κυκλώματος

Στα σύγχρονα ολοκληρωμένα κυκλώματα ο τεράστιος αριθμός των διαδρομών σήματος και η αυξημένη πολυπλοκότητα (τα οποία δυσχεραίνουν την δοκιμή), σε συνδυασμό με τις διακυμάνσεις των κατασκευαστικών παραμέτρων (process variations), αφενός περιορίζουν την μέγιστη ταχύτητα στην οποία αυτά θα μπορούσαν να λειτουργήσουν και αφετέρου έχει ως αποτέλεσμα ένας μεγάλος αριθμός ελαττωματικών ολοκληρωμένων κυκλωμάτων να διαφεύγει από την εργοστασιακή δοκιμή (fabrication tests). Το τελευταίο μπορεί να αντιμετωπιστεί με την ενσωμάτωση κυκλωμάτων για την εν λειτουργία δοκιμή (on-line testing) ώστε να εξασφαλισθούν αποδεκτά επίπεδα ανοχής στα λάθη χρονισμού.

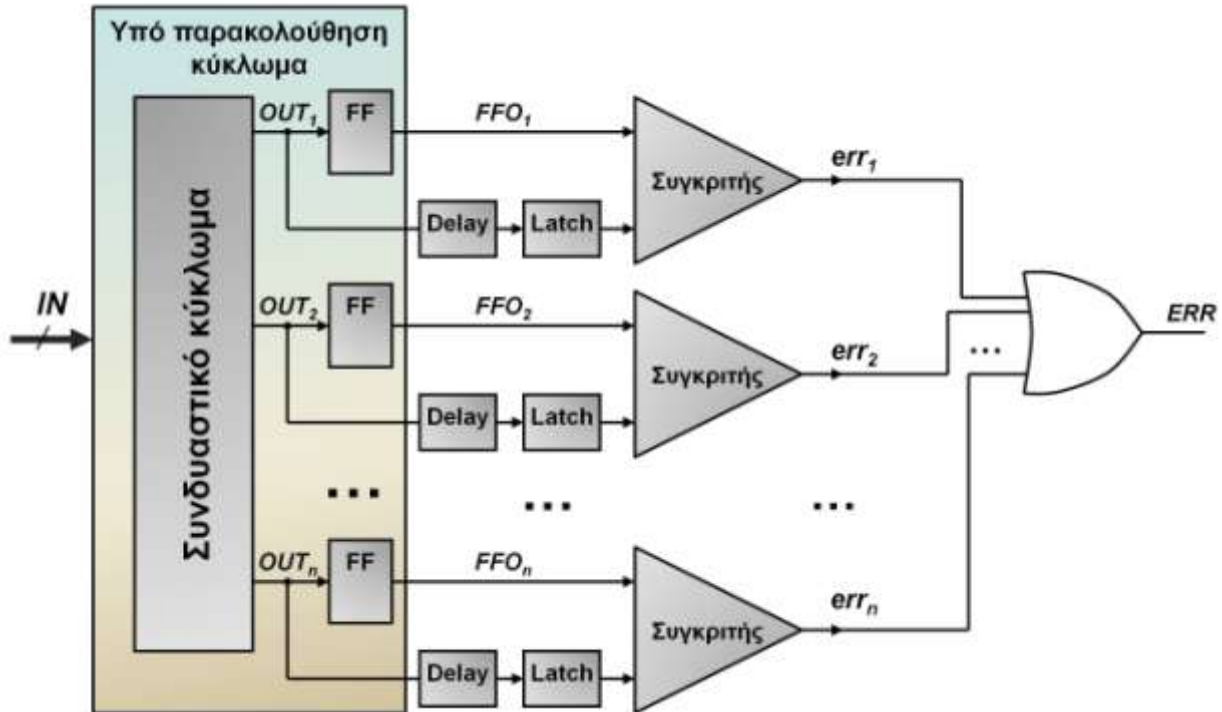
Ένας τρόπος για να αυξηθεί η αξιοπιστία των σύγχρονων συστημάτων είναι η χρήση τεχνικών πλεονασμού, όπως διπλασιασμός και τριπλασιασμός μαζί με τα κατάλληλα κυκλώματα ελέγχου πλειοψηφίας. Όμως η εφαρμογή αυτών των τεχνικών έχει ως αποτέλεσμα την αύξηση του κόστους σε επιφάνεια πυριτίου και σε κατανάλωση, πράγμα που τις καθιστά μη πρακτικές για ένα πλήθος εφαρμογών. Η χρήση αυτοελεγχόμενων κυκλωμάτων είναι μία λύση, αλλά και αυτή, πολύ συχνά (για ορισμένες κατηγορίες κυκλωμάτων), απαιτεί μεγάλο κόστος σε επιφάνεια πυριτίου [121].

4.4 Υλοποιήσεις κυκλωμάτων ανίχνευσης σφαλμάτων χρονισμού και μεταβατικών σφαλμάτων

Πρόσφατα έχουν παρουσιαστεί στην βιβλιογραφία εργασίες οι οποίες αφορούν την ανίχνευση λαθών χρονισμού ή/και ήπιων λαθών [122], [123], [124], [125], [126] οι οποίες συνδυάζονται με μία διαδικασία επανάληψης μετά από κάθε ανίχνευση λάθους για τη διόρθωσή του. Οι τεχνικές αυτές βασίζονται στην προσωρινή φύση των μεταβατικών σφαλμάτων ή στην καθυστερημένη απόκριση των σφαλμάτων χρονισμού για να εξασφαλίσουν την ζητούμενη ανοχή στα σφάλματα αυτά, κάνοντας χρήση χρονικού πλεονασμού (time redundancy). Στην περίπτωση των σφαλμάτων χρονισμού

η διόρθωσή τους μπορεί να επιτευχθεί αν εφαρμοστεί κατά την διάρκεια της διαδικασίας επανάληψης μικρότερη συχνότητα ρολογιού στο κύκλωμα.

Μια τεχνική ανίχνευσης ήπιων λαθών και λαθών χρονισμού αναφέρεται στην εργασία [121] και παρουσιάζεται στο σχήμα 4.4.

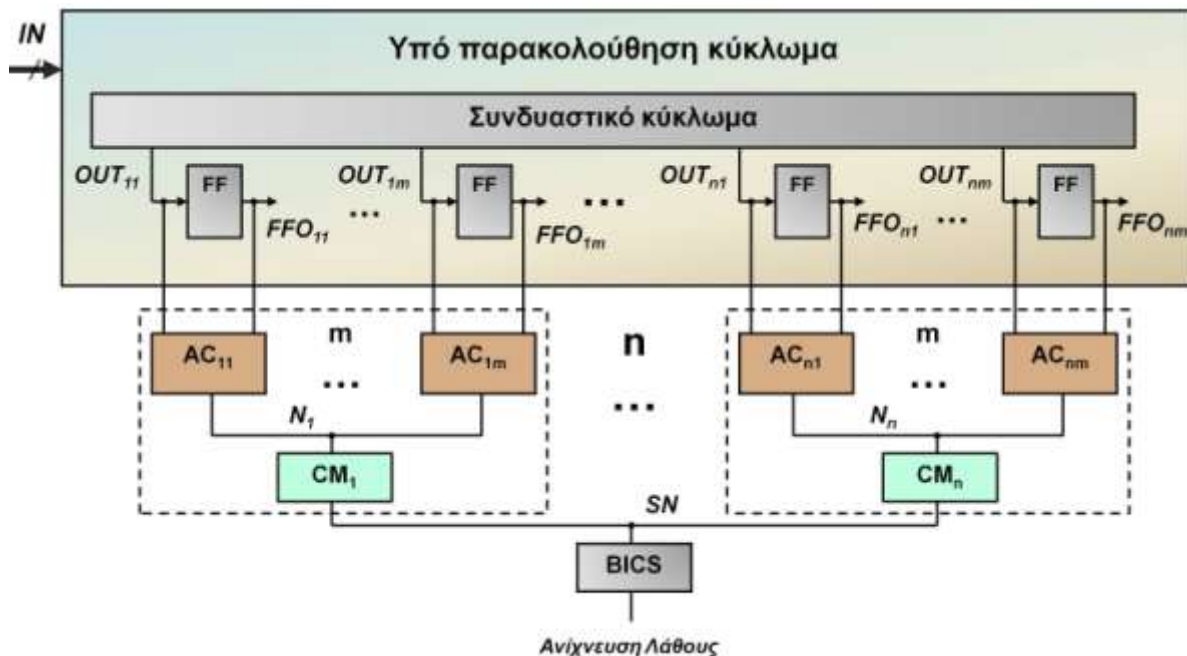


Σχήμα 4.4. Η τεχνική ανίχνευσης ήπιων λαθών που αναφέρεται στην εργασία [121] και χρησιμοποιεί χρονικό πλεονασμό.

Στην τεχνική αυτή χρησιμοποιείται ένας επιπλέον μανδαλωτής για να δειγματοληπτήσει την γραμμή εξόδου OUT του συνδυαστικού κυκλώματος μετά από κάποια καθυστέρηση σε σχέση με το ρολόι του συστήματος. Για κάθε ένα ζεύγος Flip-Flop - μανδαλωτή χρησιμοποιείται και ένας συγκριτής ο οποίος συγκρίνει την έξοδο του Flip-Flop με την καθυστερημένη έξοδο του συνδυαστικού κυκλώματος και επομένως ένας μεταβατικός παλμός ή μια καθυστερημένη απόκριση που δημιουργήσε λάθος στην έξοδο FFO του Flip-Flop θα δώσει ένδειξη ανίχνευσης λάθους στην αντίστοιχη γραμμή err. Η τεχνική αυτή για μικρό αριθμό συγκριτών έχει μεγάλη ταχύτητα απόκρισης. Στην περίπτωση όμως μεγάλου πλήθους συγκριτών απαιτείται η υλοποίηση της πύλης OR με τον αντίστοιχο αριθμό εισόδων. Μια τέτοια πύλη OR στην έξοδο υλοποιείται συνήθως με ένα δένδρο από OR πύλες μικρότερου αριθμού εισόδων και εισάγει μεγάλη καθυστέρηση πράγμα που κάνει την προτεινόμενη τεχνική ακατάλληλη για εφαρμογές που χρειάζεται να παρακολουθείται ένας μεγάλος αριθμός γραμμών.

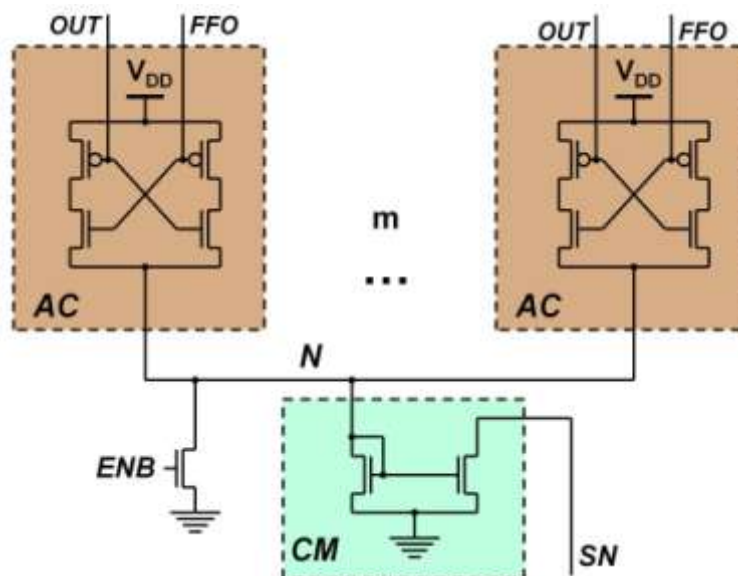
Στο σχήμα 4.5 φαίνεται το διάγραμμα μιας ιεραρχικής αρχιτεκτονικής η οποία χρησιμοποιείται στην εργασία [124] για την ανίχνευση λαθών χρονισμού και ήπιων λαθών και η οποία βασίζεται σε ένα κύκλωμα σύγκρισης σε λειτουργία ρεύματος. Το κύκλωμα σύγκρισης παρακολουθεί το ζεύγος OUT_j, FFO_j για ένα προκαθορισμένο χρονικό διάστημα μετά την μανδάλωση των δεδομένων από τα Flip-Flop εξόδου. Το κάθε ένα ζεύγος συνδέεται στο αντίστοιχο κύκλωμα ενεργοποίησης (Activation Circuit – AC) και τα κυκλώματα αυτά σχηματίζουν το πρώτο επίπεδο της ιεραρχίας. Στη συνέχεια τα υποκυκλώματα AC ομαδοποιούνται σε n τμήματα με πλήθος m υποκυκλώματα σε κάθε τμήμα. Σε κάθε τμήμα των m κυκλωμάτων ενεργοποίησης αντιστοιχεί και ένας

καθρέπτης ρεύματος ($CM_1 - CM_n$) και το σύνολο των καθρέπτων αυτών σχηματίζει το δεύτερο επίπεδο της ιεραρχίας. Στον ένα κλάδο του κάθε καθρέπτη συνδέονται οι m έξοδοι των AC της αντίστοιχης ομάδας (κόμβος N_r , $r \in [1, \dots, n]$) ενώ όλοι οι έξοδοι των καθρέπτων συνδέονται στον κόμβο SN όπου με τη βοήθεια ενός BICS ανιχνεύεται το λάθος στην περίπτωση που κάποιο από τα ζεύγη έχει διαφορετική τιμή στο χρονικό διάστημα της παρακολούθησης.



Σχήμα 4.5. Η ιεραρχική αρχιτεκτονική που χρησιμοποιείται στην εργασία [124] για την ανίχνευση των ήπιων λαθών και των λαθών χρονισμού.

Το κύκλωμα του τμήματος με τα m κυκλώματα ενεργοποίησης (AC) φαίνεται στο σχήμα 4.6. Στο σχήμα αυτό το τρανζίστορ που οδηγείται από το σήμα ENB καθώς και ο καθρέπτης είναι κοινά για όλα τα AC. Για όσο χρονικό διάστημα το σήμα ENB είναι "low" έχουμε την φάση παρακολούθησης και τυχόν διαφορές στις λογικές τιμές στο ζεύγος OUT_j , FFO_j θα δημιουργήσουν στην εμφάνιση ρεύματος στην είσοδο N του καθρέπτη το οποίο θα καθρεπτιστεί στο BICS κύκλωμα που ακολουθεί.



Σχήμα 4.6. Κυκλώματα ενεργοποίησης (AC) και ο καθρέπτης στην τεχνική της [124].

Η παραπάνω τεχνική ανίχνευσης σφαλμάτων χρονισμού έχει αρκετά μικρές απαιτήσεις σε επιφάνεια πυριτίου αλλά υστερεί σε ταχύτητα σε σύγκριση με την προτεινόμενη τεχνική που θα παρουσιαστεί στο επόμενο κεφάλαιο.

Στο επόμενο κεφάλαιο θα παρουσιαστεί μια νέα τεχνική και το αντίστοιχο κύκλωμα, η οποία μπορεί να ανιχνεύσει ήπια λάθη και λάθη χρονισμού, παρακολουθώντας έναν πολύ μεγάλο αριθμό γραμμών και να αποκριθεί με υψηλότερη ταχύτητα σε σχέση με τις τεχνικές που έχουν παρουσιαστεί στην βιβλιογραφία.

5. ΤΕΧΝΙΚΗ ΑΝΙΧΝΕΥΣΗΣ ΜΕΤΑΒΑΤΙΚΩΝ ΣΦΑΛΜΑΤΩΝ ΚΑΙ ΣΦΑΛΜΑΤΩΝ ΧΡΟΝΙΣΜΟΥ

5.1 Εισαγωγή

Στο κεφάλαιο αυτό θα παρουσιάσουμε ένα νέο κύκλωμα ανίχνευσης μεταβατικών σφαλμάτων και σφαλμάτων χρονισμού σε CMOS ολοκληρωμένα κυκλώματα. Το κύκλωμα αυτό βασίζεται σε αισθητήρες σήματος σε λειτουργία ρεύματος (*current mode sense amplifier*) και λόγω αυτής της τοπολογίας έχει υψηλή ταχύτητα ανίχνευσης.

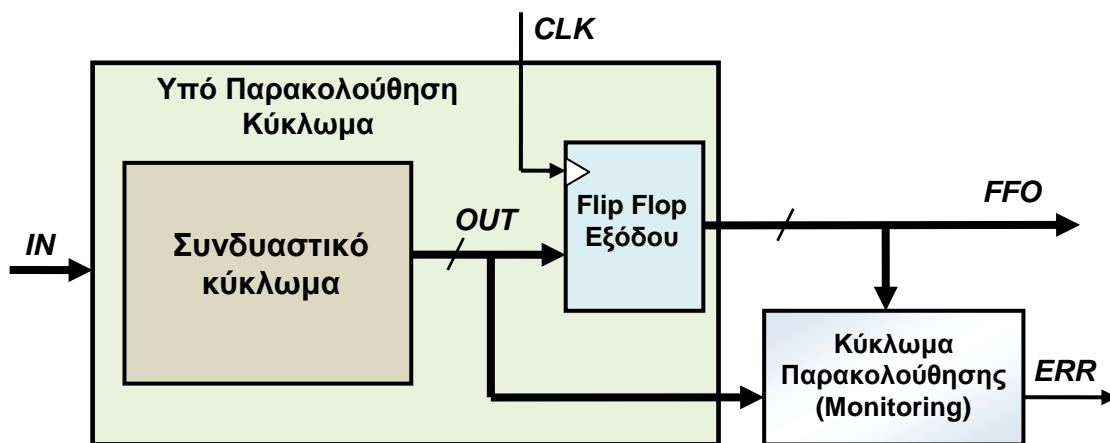
Το κύκλωμα αυτό χρησιμοποιεί την μέθοδο του χρονικού πλεονασμού η οποία έχει παρουσιαστεί και σε προηγούμενες εργασίες [121], [127] και εξασφαλίζει ανοχή στα σφάλματα αν συνδυαστεί με την κατάλληλη επανάληψη (retry cycle) του τελευταίου λανθασμένου κύκλου στην περίπτωση ανίχνευσης σφάλματος. Συνήθως, στη διάρκεια της επανάληψης εφαρμόζεται μικρότερη συχνότητα. Στην επόμενη παράγραφο, παρουσιάζεται η νέα αυτή τεχνική ανίχνευσης σφαλμάτων χρονισμού. Στη συνέχεια, δίνεται το κύκλωμα το οποίο σχεδιάστηκε σε τεχνολογία CMOS 180nm. Επίσης, δίνεται παράδειγμα φυσικής σχεδίασης του προτεινόμενου κυκλώματος ανίχνευσης και τέλος, δίνονται τα αποτελέσματα των προσομοιώσεων από το κύκλωμα που σχεδιάστηκε και εξετάζονται οι επιδόσεις του σε σύγκριση με αντίστοιχα κυκλώματα της βιβλιογραφίας.

5.2 Προτεινόμενο (παράλληλο) κύκλωμα ανίχνευσης σφαλμάτων

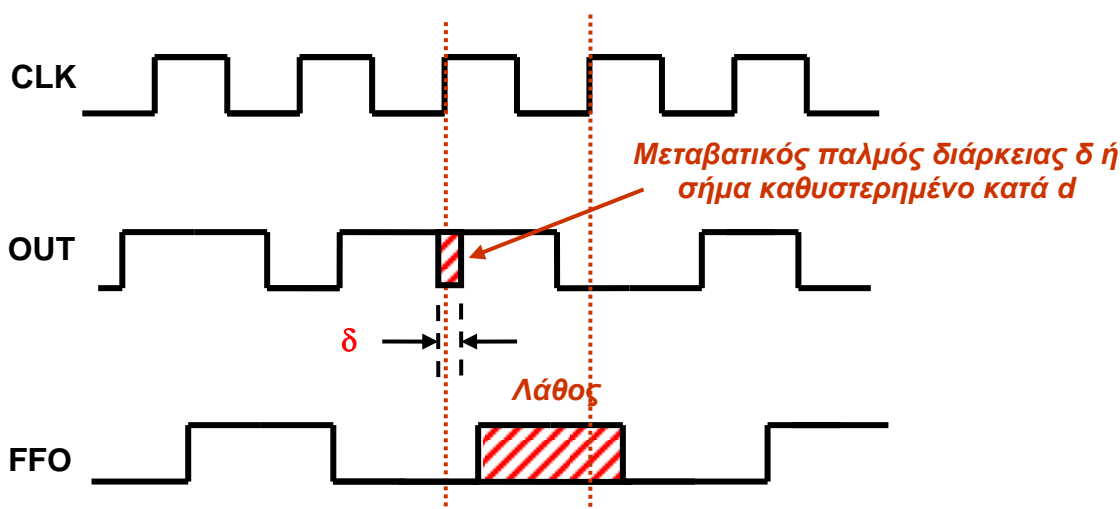
Η ιδέα πάνω στην οποία βασίστηκε το προτεινόμενο κύκλωμα ανίχνευσης σφαλμάτων είναι η χρήση ενός *Κυκλώματος Επίβλεψης – Παρακολούθησης* το οποίο παρακολουθεί τις εισόδους και τις εξόδους (αποκρίσεις) των Flip-Flop εξόδου, του υπό παρακολούθηση κυκλώματος του σχήματος 5.1. Με άλλα λόγια, το κύκλωμα παρακολούθησης συγκρίνει τις εξόδους **OUT** του συνδυαστικού κυκλώματος και τις εξόδους **FFO** του Υπό Παρακολούθηση Κυκλώματος, το οποίο στη συνέχεια θα αποκαλείται και *λειτουργικό κύκλωμα*, και στην περίπτωση που αυτά διαφέρουν δίνει στην έξοδο **ERR** ένδειξη λάθους.

Η σύγκριση αυτή των εξόδων, όπως φαίνεται στο σχήμα 5.2, θα γίνεται μετά από ένα χρονικό διάστημα T από την ακμή μανδάλωσης του σήματος ρολογιού CLK [121] [122], [123], [124], [125], [126], [127]. Το χρονικό αυτό διάστημα T ισούται με την μεγαλύτερη από τις εξής δύο τιμές, α) την μέγιστη διάρκεια του μεταβατικού παλμού (transient pulse) (δ_{max}) την οποία θέλουμε να ανιχνεύσουμε και β) τον μέγιστο χρόνο καθυστέρησης (d_{max}) τον οποίο θέλουμε να ανιχνεύσουμε, έτσι ώστε να επιτευχθεί ένα αποδεκτό επίπεδο (στάθμη) ρυθμού σφαλμάτων, ($T = \max[\delta_{max}, d_{max}]$).

Στην περίπτωση απουσίας σφάλματος δεν εμφανίζεται καμία μετάβαση σήματος μετά την ακμή μανδάλωσης του σήματος ρολογιού CLK στις γραμμές που παρακολουθούνται και η ένδειξη ανίχνευσης σφάλματος του κυκλώματος παρακολούθησης παραμένει σε χαμηλή στάθμη ($ERR = \text{“low”}$).



Σχήμα 5.1. Ανίχνευση λάθους χρησιμοποιώντας το κύκλωμα παρακολούθησης.



Σχήμα 5.2. Μηχανισμοί δημιουργίας λάθους στην έξοδο του υπό παρακολούθηση κυκλώματος.

Στην περίπτωση που η εμφάνιση ενός μεταβατικού παλμού ή σφάλματος καθυστέρησης στο συνδυαστικό κύκλωμα δημιουργήσει μία μετάβαση σήματος στην γραμμή εξόδου *OUT* του συνδυαστικού κυκλώματος αμέσως μετά τη δειγματοληψία από το ρολόι *CLK*, το Flip-Flop εξόδου έχει μανδαλώσει την λανθασμένη τιμή και έχουμε την εμφάνιση του λάθους στην έξοδο *FFO* του κυκλώματος. Στη συνέχεια, μετά την λήξη του μεταβατικού παλμού διάρκειας (δ), ή μετά το χρόνο καθυστέρησης (d) του σήματος, η έξοδος *OUT* επιστρέφει στην σωστή τιμή. Το κύκλωμα παρακολούθησης ανιχνεύει την επακόλουθη διαφορά μεταξύ των τιμών *OUT* και *FFO* και η έξοδος ένδειξης σφάλματος *ERR* μεταβαίνει σε υψηλή στάθμη, (*ERR*="high") υποδεικνύοντας την παρουσία σφάλματος.

Το προτεινόμενο κύκλωμα παρακολούθησης [128], [129], [130] εκμεταλλεύεται την τεχνική ενίσχυσης που χρησιμοποιείται στους *αισθητήρες σήματος (SA)* για να πετύχει την ανίχνευση λαθών χρονισμού και ήπιων λαθών. Οι *αισθητήρες σήματος* χρησιμοποιούνται ευρύτατα στις μνήμες ημιαγωγών για την ανάκτηση των δεδομένων που είναι αποθηκευμένα στις συστοιχίες των κελιών της μνήμης. Η ανάκτηση γίνεται ενισχύοντας πάρα πολύ μικρές μεταβολές στα σήματα των δύο εισόδων του *αισθητήρα*

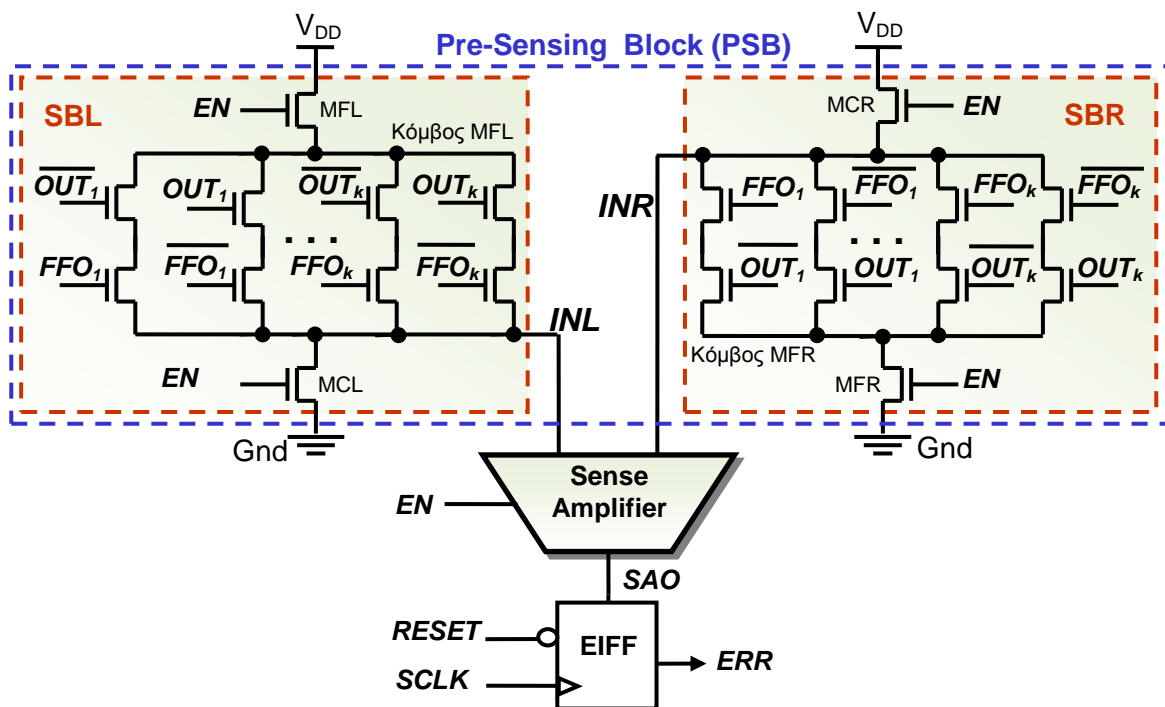
σήματος. Οι αισθητήρες σήματος μπορούν να πετύχουν πολύ μικρούς χρόνους απόκρισης κι ας έχουν συνδεδεμένο μεγάλο φορτίο στις γραμμές εισόδου τους.

Το κύκλωμα παρακολούθησης φαίνεται στο σχήμα 5.3 και αποτελείται:

- (α) από τον αισθητήρα σήματος (SA),
- (β) από ένα κύκλωμα προσαρμογής των εξόδων του υπό παρακολούθηση κυκλώματος και του συνδυαστικού κυκλώματος στις εισόδους του SA και το οποίο στη συνέχεια θα ονομάζεται τμήμα βαθμίδων προαισθητήρων ή τμήμα προαισθητήρων (*Pre-Sensing Block* PSB) και τέλος από
- (γ) το Flip-Flop Ένδειξης Λάθους (Error Indication Flip-Flop) (EIFF).

Το τμήμα βαθμίδων προαισθητήρων (*Pre-Sensing Block*) χωρίζεται σε δύο υπο-τμήματα (sub-blocks), το αριστερό (SBL) και το δεξί (SBR) και το κάθε τμήμα τροφοδοτεί μία είσοδο του αισθητήρα σήματος (sense amplifier), τις INL και INR αντίστοιχα. Τα k ζεύγη των γραμμών υπό παρακολούθηση OUT_j και FFO_j ($j \in \{1, \dots, k\}$), οδηγούν και τα δύο τμήματα βαθμίδων προαισθητήρων. Κάθε ένα από τα δύο αυτά τμήματα αποτελείται από $2k$ ζεύγη εν σειρά nMOS τρανζίστορ.

Στο αριστερό τμήμα, το SBL, τα $2k$ ζεύγη τρανζίστορ συνδέονται μεταξύ τους παράλληλα και μεταξύ της τάσης τροφοδοσίας V_{DD} (διαμέσου ενός nMOS τρανζίστορ – το MFL) και της αριστερής εισόδου του αισθητήρα σήματος της INL .



Σχήμα 5.3. Το προτεινόμενο κύκλωμα παρακολούθησης (Monitoring Circuit)

Κάθε ζεύγος των nMOS τρανζίστορ του τμήματος βαθμίδων προαισθητήρων οδηγείται από έναν ξεχωριστό συνδυασμό των σημάτων OUT_j και FFO_j καθώς και των συμπληρωματικών τους \overline{FFO}_j και \overline{OUT}_j , που πρόκειται να παρακολουθεί. Ο πρώτος συνδυασμός, ο οποίος οδηγεί το ένα ζεύγος των nMOS τρανζίστορ, είναι ο (OUT_j και \overline{FFO}_j) και ο δεύτερος, ο οποίος οδηγεί το άλλο ζεύγος, είναι ο (\overline{OUT}_j και FFO_j). Η ύπαρξη των συμπληρωματικών τιμών δεν δημιουργεί πρόσθετη απαίτηση καθώς αυτές

είναι σχεδόν πάντοτε διαθέσιμες στις εξόδους των Flip-Flop και των συνδυαστικών κυκλωμάτων. Το τρανζίστορ MFL οδηγείται από το σήμα ενεργοποίησης (enable) EN . Επίσης, υπάρχει και ένα nMOS τρανζίστορ, το MCL, το οποίο συνδέεται μεταξύ γης και της αριστερής εισόδου INL του *αισθητήρα σήματος* και οδηγείται και αυτό από το σήμα ενεργοποίησης EN .

Ο σχεδιασμός του αριστερού τμήματος με τις βαθμίδες *προαισθητήρων* (*Pre-Sensing Block*) έγινε με τέτοιο τρόπο ώστε το μονοπάτι που σχηματίζεται ανάμεσα στην τροφοδοσία V_{DD} και τον κόμβο εισόδου INL διαμέσου του τρανζίστορ MFL και ενός ζεύγους τρανζίστορ, να είναι πιο αγωγίμο (κυρίαρχο) σε σχέση με το τρανζίστορ MCL.

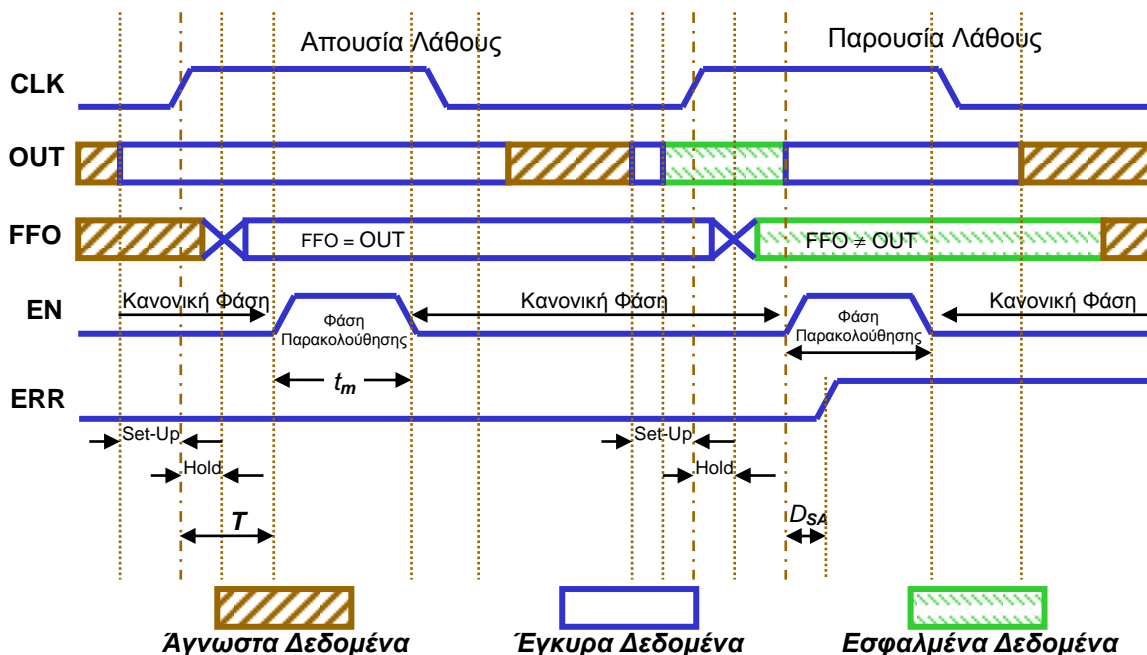
Στο δεξί τμήμα (το SBR) ακολουθείται παρόμοια τοπολογία. Η διάταξη των 2k ζευγών τρανζίστορ είναι ακριβώς η ίδια με αυτή του αριστερού τμήματος, μόνο που εδώ το κάθε ζεύγος τρανζίστορ συνδέεται μεταξύ της γης (Gnd) και της δεξιάς εισόδου του *αισθητήρα σήματος* της INR , διαμέσου ενός nMOS τρανζίστορ, του MFR. Τα ζεύγη αυτά των τρανζίστορ οδηγούνται με τον ίδιο ακριβώς τρόπο όπως στο αριστερό τμήμα. Το τρανζίστορ MFR οδηγείται από το σήμα EN . Ένα nMOS τρανζίστορ, το MCR, συνδέεται μεταξύ της τάσης τροφοδοσίας V_{DD} και της δεξιάς εισόδου INR του *αισθητήρα σήματος* το οποίο επίσης οδηγείται από το σήμα EN . Και εδώ, στο δεξί τμήμα των βαθμίδων *προαισθητήρων* (*Pre-Sensing Block*), κάθε διαδρομή μεταξύ της γης (Gnd) και της δεξιάς εισόδου (INR) διαμέσου του τρανζίστορ MFR και ενός οποιοδήποτε ζεύγους τρανζίστορ, σχεδιάζεται έτσι ώστε να είναι πιο αγωγίμη (κυρίαρχη) σε σχέση με το τρανζίστορ MCR.

Ο *αισθητήρας σήματος* ενεργοποιείται με το σήμα EN και η έξοδός του, το σήμα SAO , μανδαλώνεται από ένα Flip-Flop συνδεδεμένο στην έξοδο κατά την ανερχόμενη ακμή του σήματος ρολογιού $SCLK$. Στο σχήμα 5.3 το Flip-Flop αυτό ονομάζεται Flip-Flop Ένδειξης Λάθους (EIFF). Το σήμα ρολογιού $SCLK$ είναι μια καθυστερημένη (ολισθημένη) έκδοση του ρολογιού του συστήματος κατά ένα χρονικό διάστημα ίσο με το άθροισμα $T+D_{SA}$, όπου D_{SA} είναι ο χρόνος απόκρισης του *αισθητήρα σήματος*.

Με την εκκίνηση του συστήματος, αρχικά το Flip-Flop Ένδειξης Λάθους (EIFF) τίθεται σε χαμηλή στάθμη ($ERR="low"$) χρησιμοποιώντας το σήμα $RESET$. Στη συνέχεια κατά την διάρκεια λειτουργίας του συστήματος, κάθε περίοδος του ρολογιού CLK μπορεί να θεωρηθεί ότι αποτελείται από δύο φάσεις την *Κανονική Φάση* (normal phase) και την *Φάση Παρακολούθησης* (monitoring phase).

Οι φάσεις αυτές καθορίζονται από το σήμα ενεργοποίησης EN όπως φαίνεται στο σχήμα 5.4 και είναι εντελώς ανεξάρτητες (διαφανείς) από την λειτουργία του Υπό Παρακολούθηση Κυκλώματος. Στην *Κανονική Φάση* το Κύκλωμα Παρακολούθησης είναι ανενεργό ($EN="low"$). Μετά την ανερχόμενη ακμή του σήματος του ρολογιού CLK , που το Flip-Flop εξόδου συλλαμβάνει την τιμή της εξόδου του συνδυαστικού κυκλώματος, το σήμα ενεργοποίησης EN τίθεται σε υψηλή στάθμη ($EN="high"$) για να ενεργοποιήσει το Κύκλωμα Παρακολούθησης, οπότε γίνεται και η μετάβαση στην Φάση Παρακολούθησης. Η χρονική διαφορά (T) μεταξύ της ανερχόμενης ακμής του σήματος του ρολογιού CLK και του σήματος EN ισούται με τη μεγαλύτερη από τις δύο χρονικές διάρκειες δ_{max} και d_{max} οι οποίες θέλουμε να ανιχνεύονται από το Κύκλωμα Παρακολούθησης.

Σχετικά με τον καθορισμό της διάρκειας που το σήμα EN θα βρίσκεται σε υψηλή στάθμη (χρόνος t_m στο σχήμα 5.4), θα πρέπει να αναφέρουμε ότι το σήμα αυτό θα πρέπει να παραμένει στην στάθμη $EN="1"$ για χρονικό διάστημα τουλάχιστο ίσο με την καθυστέρηση ανίχνευσης D_{SA} του *αισθητήρα σήματος*.



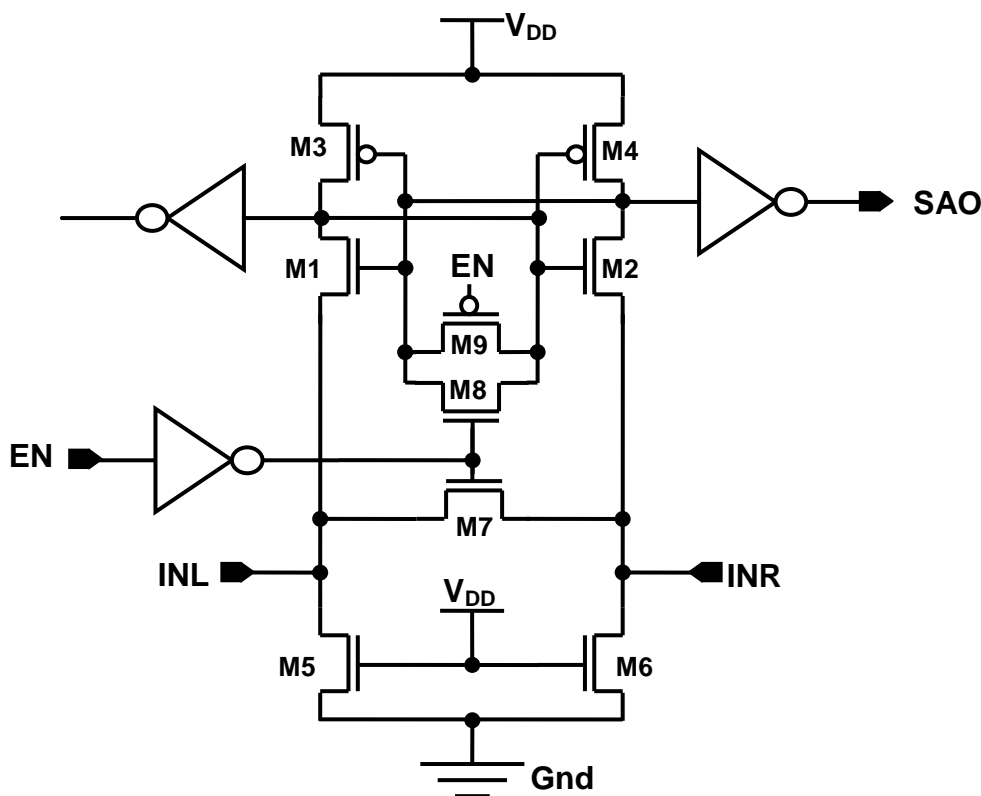
Σχήμα 5.4. Οι χρονισμοί των σημάτων στο κύκλωμα παρακολούθησης

Στην περίπτωση απουσίας σφάλματος όπου $OUT_j = FFO_j$ ($\forall j \in [1, \dots, k]$) κατά την διάρκεια της Φάσης Παρακολούθησης, δεν σχηματίζεται κανένα αγώγιμο μονοπάτι στα τμήματα με τις βαθμίδες προαισθητήρων μεταξύ της εισόδου INL και της τροφοδοσίας V_{DD} στο αριστερό τμήμα. Επίσης, δεν σχηματίζεται αγώγιμο μονοπάτι και μεταξύ της εισόδου INR και της γης (Gnd) στο δεξί τμήμα, με αποτέλεσμα η είσοδος INL του αισθητήρα σήματος να εκφορτίζεται διαμέσου του τρανζίστορ MCL , ενώ η είσοδος INR να φορτίζεται διαμέσου του τρανζίστορ MCR . Ο αισθητήρας σήματος θα ενισχύσει την διαφορά των σημάτων μεταξύ των εισόδων του και θα αποκριθεί με μεγάλη ταχύτητα οδηγώντας την έξοδο SAO σε χαμηλή στάθμη ($SAO=“0”$).

Με την παρουσία ενός μεταβατικού λάθους θα υπάρξει τουλάχιστον ένα ζεύγος στις γραμμές παρακολούθησης (στις εισόδους του κυκλώματος παρακολούθησης) τέτοιο ώστε $OUT_j \neq FFO_j$ ($j \in [1, \dots, k]$), οπότε θα έχουμε την δημιουργία τουλάχιστον ενός αγώγιμου μονοπατιού μεταξύ INL και V_{DD} στο αριστερό τμήμα, καθώς επίσης και στο δεξί τμήμα, τουλάχιστον ενός αγώγιμου μονοπατιού μεταξύ INR και Gnd . Εφόσον τα αγώγιμα μονοπάτια που σχηματίζονται είναι επικρατέστερα (ή πιο αγώγιμα) σε σύγκριση με τα μονοπάτια διαμέσου των τρανζίστορ MCL και MCR αντίστοιχα, η είσοδος INL του αισθητήρα σήματος φορτίζεται, ενώ ή είσοδος INR εκφορτίζεται. Σε αυτή την περίπτωση και πάλι ο αισθητήρας σήματος θα ενισχύσει την διαφορά των σημάτων μεταξύ των εισόδων του και θα αποκριθεί με μεγάλη ταχύτητα οδηγώντας την έξοδο SAO σε υψηλή στάθμη ($SAO=“1”$). Η απόκριση αυτή μανδαλώνεται από το Flip-Flop Ένδειξης Λάθους (EIFF) στην ανερχόμενη ακμή του καθυστερημένου ρολογιού $SCLK$, κάνοντας την έξοδο ERR του Flip-Flop να μεταβεί σε υψηλή στάθμη ($ERR=“1”$), ανιχνεύοντας το σφάλμα. Η έξοδος ERR παραμένει σε αυτή την υψηλή στάθμη μέχρις ότου ενεργοποιηθεί το σήμα $RESET$ μετά την πραγματοποίηση των απαραίτητων ενεργειών (επιπλέον κύκλος επανάληψης) ώστε το σύστημα να χειριστεί την αποκατάσταση του λάθους.

5.3 Σχεδιασμός του κυκλώματος και αποτελέσματα προσομοιώσεων

Στον σχεδιασμό του κυκλώματος παρακολούθησης που παρουσιάστηκε στις προηγούμενες παραγράφους, χρησιμοποιήθηκε ο *αισθητήρας σήματος* που αναφέρεται στην εργασία [131] με μία μικρή προσθήκη και ο οποίος φαίνεται στο σχήμα 5.5. Ο ενισχυτής αυτός δεν χρειάζεται εξωτερικό κύκλωμα προ-φόρτισης, παρουσιάζει ταχύτατη απόκριση (πολύ μικρό χρόνο καθυστέρησης ανίχνευσης) διότι βασίζεται σε *λειτουργία ρεύματος* (current mode). Το κύριο χαρακτηριστικό αυτού του κυκλώματος είναι ότι ο χρόνος απόκρισης είναι σχεδόν ανεξάρτητος από το χωρητικό φορτίο στις εισόδους του [132]. Η προσθήκη που έγινε στον ενισχυτή της [131], στα πλαίσια αυτής της διατριβής, είναι τα τρανζίστορ M8 και M9 που φαίνονται στο σχήμα 5.5. Ο ενισχυτής αυτός λειτουργεί σε δύο φάσεις, την φάση *προ-φόρτισης/ισοστάθμισης* (precharge/equalization) και την φάση *ανίχνευσης* (sensing phase). Η πρώτη, η φάση ισοστάθμισης, πάντα προηγείται της δεύτερης, της φάσης ανίχνευσης και χρησιμοποιείται για να θέσει τους εσωτερικούς κόμβους του ενισχυτή στις κατάλληλες τάσεις, καθώς και να εξισώσει τις τάσεις στις εισόδους του.



Σχήμα 5.5. Ο τροποποιημένος *αισθητήρας σήματος* (sense amplifier) του κυκλώματος παρακολούθησης.

Ο ενισχυτής αυτός, όπως έχει αναφερθεί, δεν απαιτείται κάποιο ειδικό κύκλωμα προ-φόρτισης ούτε κάποια επιπλέον πηγή τάσης (ενισχυτής self precharged). Κατά το χρονικό διάστημα στο οποίο $EN = \text{low}$ ο ενισχυτής αυτός βρίσκεται στην φάση προ-φόρτισης/ισοστάθμισης. Η φάση ανίχνευσης ενεργοποιείται μόλις το σήμα EN μεταβεί στην υψηλή στάθμη ($EN = \text{high}$) και ταυτίζεται με τη φάση παρακολούθησης του κυκλώματος παρακολούθησης.

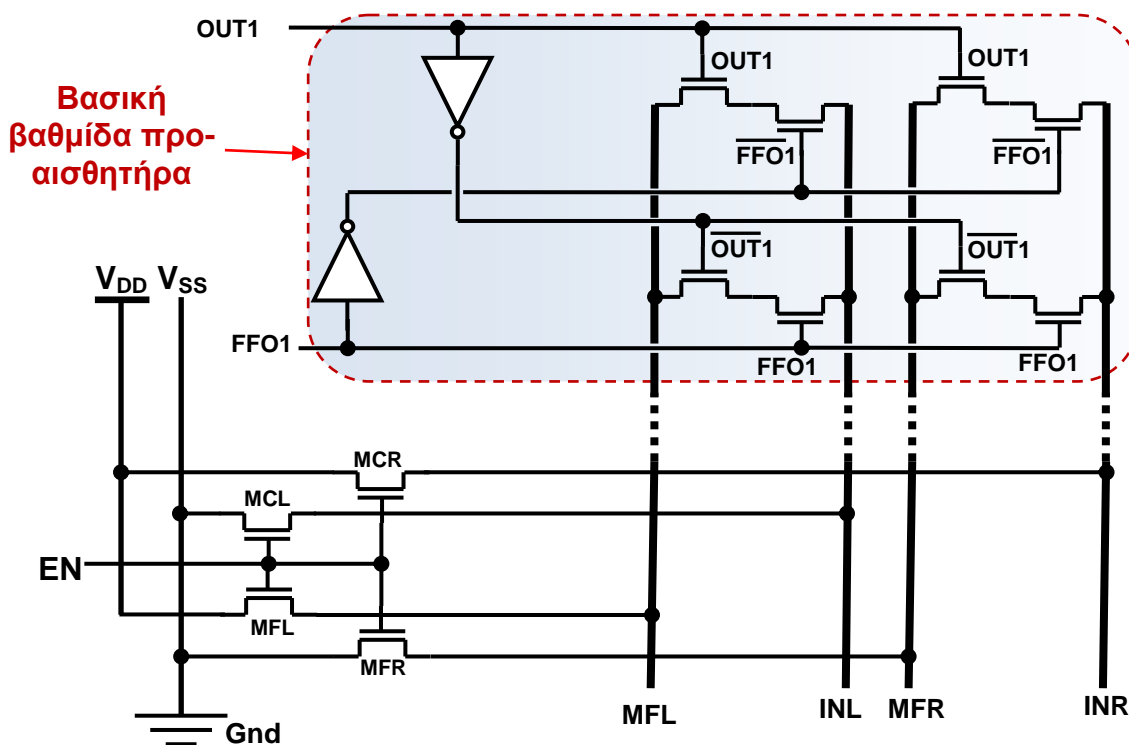
Εφόσον και τα δύο τμήματα με τις βαθμίδες *προαισθητήρων* (Pre-Sensing) σχεδιάστηκαν κάνοντας χρήση μόνο nMOS τρανζίστορ το κύκλωμα παρακολούθησης παρουσιάζει πολύ καλή συμπεριφορά ως προς τις διακυμάνσεις των κατασκευαστικών

παραμέτρων (process variations). Επίσης, όπως φαίνεται και από την τοπολογία του κυκλώματος στο σχήμα 5.3, η παρασιτική χωρητικότητα στις εισόδους INL και INR του αισθητήρα σήματος είναι πάντοτε η ίδια και για τις δύο περιπτώσεις, παρουσίας και απουσίας σφάλματος ανεξαρτήτως των συνδυασμών στις εισόδους (σήματα OUT_j και FFO_j) των βαθμίδων προαισθητήρων. Επομένως το δυναμικό στους κόμβους αυτούς μπορεί εύκολα να εξισωθεί κατά την διάρκεια της φάσης προ-φόρτισης/ισοστάθμισης και ο αισθητήρας σήματος θα εισέρχεται πάντα ισοσταθμισμένος (balanced) στη φάση ανίχνευσης.

Για την υλοποίηση του προτεινόμενου Κυκλώματος Παρακολούθησης χρησιμοποιήθηκε η τεχνολογία CMOS 0,18μm της εταιρείας ST Microelectronics με τάση τροφοδοσίας 1,8V. Ως παράδειγμα σχεδίασης θεωρήσαμε την περίπτωση παρακολούθησης 72 ζευγών. Στη βαθμίδα προαισθητήρα χρησιμοποιήθηκαν για τα τρανζίστορ οι εξής λόγοι πλάτους προς μήκος (W/L):

- α) στα ζεύγη τρανζίστορ που οδηγούνται από τα σήματα προς παρακολούθηση OUT_j και FFO_j , $W/L=4$,
- β) για τα τρανζίστορ MFL και MFR ο λόγος είναι $W/L=28$ και
- γ) για τα τρανζίστορ MCL και MCR ο λόγος είναι $W/L=0.3$.

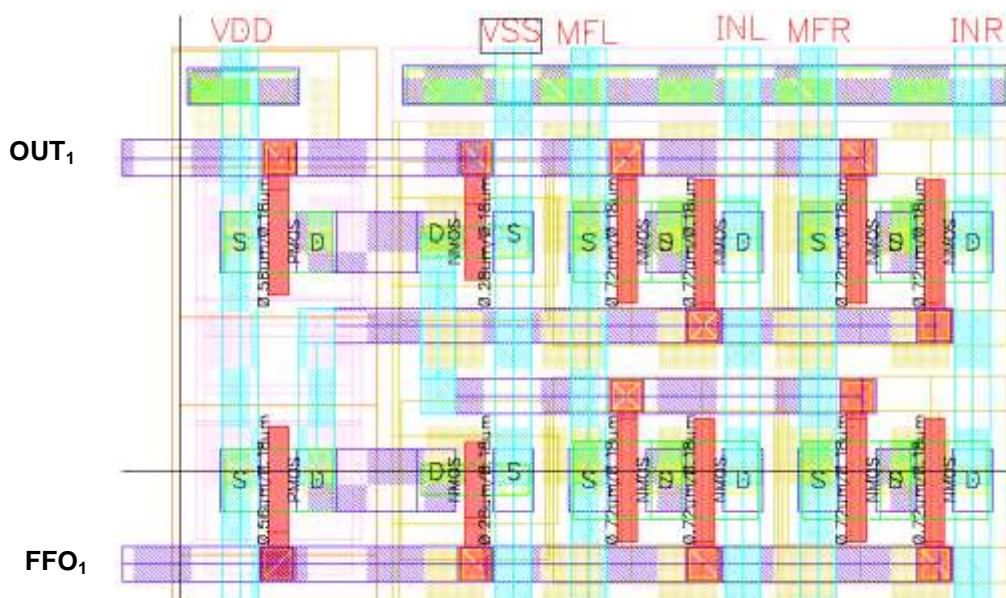
Ο φυσικός σχεδιασμός της βασικής βαθμίδας προαισθητήρα για ένα ζεύγος γραμμών, π.χ. το OUT_1 και FFO_1 , θα πρέπει να γίνει με τέτοιο τρόπο ώστε με την επανάληψή του να δημιουργείται αυτόματα το πλήρες τμήμα με τις βαθμίδες προαισθητήρων. Για να επιτευχθεί η ελάχιστη δυνατή επιφάνεια χρησιμοποιήθηκαν αφενός οι γνωστές τεχνικές αναδίπλωσης και αφετέρου έγινε εκμετάλλευση των συμμετριών που εμφανίζονται αν σχεδιαστούν στο ίδιο κελί μία αριστερή και μία δεξιά βαθμίδα προαισθητήρα όπως φαίνεται στο σχήμα 5.6, σχεδίαση που αποφέρει ανοχή στα mismatches.



Σχήμα 5.6. Σχηματικό που δείχνει την φυσική τοποθέτηση των τεσσάρων τρανζίστορ και των 2 αναστροφέων στη βασική βαθμίδα προαισθητήρα (Pre-Sense Block).

Στο σχήμα 5.6 φαίνεται το σχηματικό στο οποίο η θέση των τρανζίστορ στο κύκλωμα αντιστοιχεί με την θέση τους στη φυσική σχεδίαση. Οι απαραίτητες συμπληρωματικές γραμμές \overline{FFO}_j και \overline{OUT}_j , δεν προέρχονται από το υπό παρακολούθηση κύκλωμα, αλλά παράγονται τοπικά μέσα στη βασική βαθμίδα *προαισθητήρα*. Αυτό μπορεί να εισάγει ένα μικρό κόστος σε επιφάνεια πυριτίου αλλά απλουστεύει σημαντικά τη σχεδίαση καθώς απαιτούνται μόνο 2 γραμμές, αντί για 4, για κάθε Flip-Flop εξόδου που παρακολουθείται.

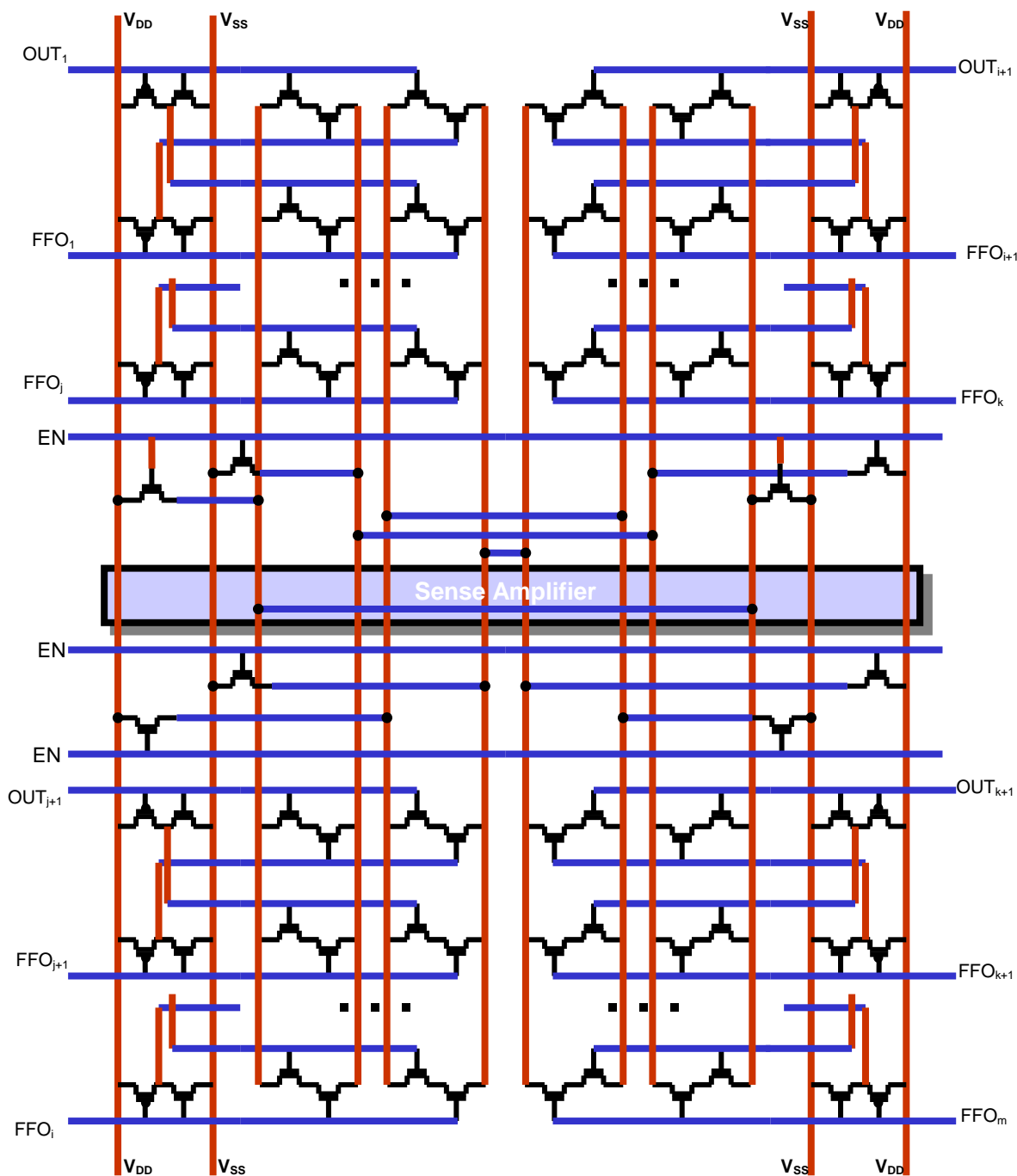
Ο φυσικός σχεδιασμός του κελιού της βασικής βαθμίδας *προαισθητήρα* φαίνεται στο σχήμα 5.7 και αντιστοιχεί στην κατανεμημένη διάταξη, όπως αυτή προτείνεται στο σχηματικό του σχήματος 5.6. Όλες οι διαστάσεις των τρανζίστορ των αναστροφέων είναι οι ελάχιστες που επιτρέπει η τεχνολογία ώστε η βασική βαθμίδα *προαισθητήρα* να καταλαμβάνει την ελάχιστη δυνατή επιφάνεια. Το κελί αυτό είναι ανεξάρτητο από το πλήθος των ζευγών που παρακολουθούνται και επομένως υπάρχει μόνο ένας σχεδιασμός στη βιβλιοθήκη προς χρήση από τη γεννήτρια αυτόματης σχεδίασης.



Σχήμα 5.7. Φυσική σχεδίαση της βασικής βαθμίδας *προαισθητήρα* με ένα ζεύγος στην είσοδο (OUT_1 και FFO_1), οι διαστάσεις είναι $8,22\mu\text{m} \times 4,72\mu\text{m}$.

Στην περίπτωση που υπάρχει πολύ μεγάλος αριθμός εισόδων στο κύκλωμα θα πρέπει να ληφθούν υπόψιν στο φυσικό σχεδιασμό οι παρασιτικές χωρητικότητες και οι ωμικές αντιστάσεις των μετάλλων που συνδέουν τη βασική βαθμίδα *προαισθητήρα* κάθε ζεύγους με τον *αισθητήρα σήματος*.

Στο σχήμα 5.8 προτείνεται μια διάταξη για την φυσική σχεδίαση 72 εισόδων τέτοια ώστε να υπάρχει μικρή διακύμανση στις αποστάσεις των βασικών βαθμίδων *προαισθητήρων* από τον *αισθητήρα σήματος*. Η ιδανική σχεδίαση θα ήταν προφανώς αυτή που θα εξασφάλιζε όλες τις παραπάνω αποστάσεις να είναι και ίσες μεταξύ τους και ταυτόχρονα οι ελάχιστες δυνατές με αποτέλεσμα την μέγιστη ταχύτητα απόκρισης.

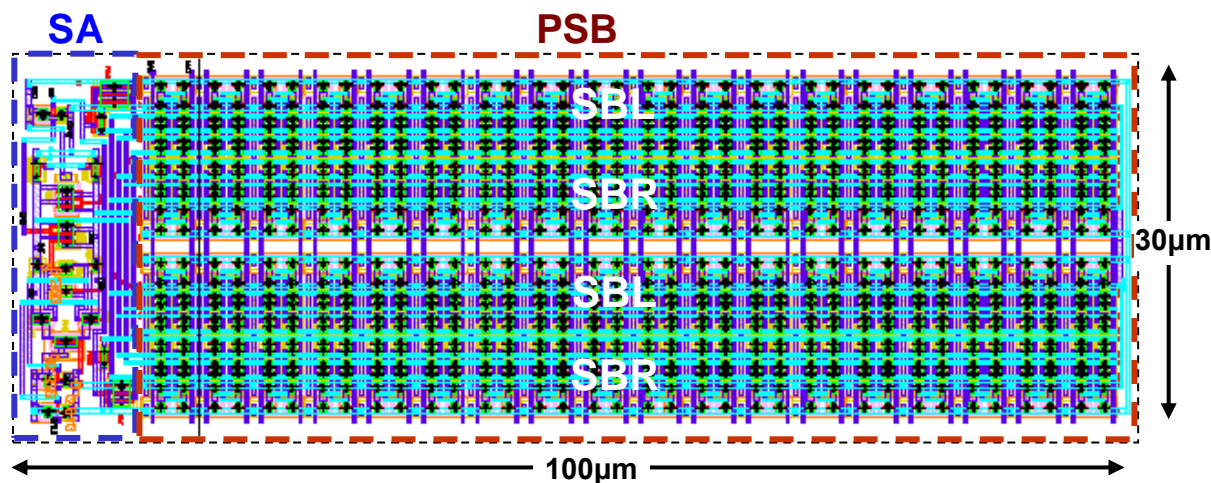


Σχήμα 5.8. Σχεδίαση του κυκλώματος παρακολούθησης.

Η βασική αρχή που ακολουθήθηκε στη σχεδιαστική προσέγγιση του σχήματος 5.8 ήταν να δημιουργηθούν δύο βασικοί κόμβοι για κάθε τμήμα των βαθμίδων *προαισθητήρων*. Για το αριστερό τμήμα των βαθμίδων *προαισθητήρων* οι δύο βασικοί κόμβοι που συνδέουν μεταξύ τους παράλληλα τα ζεύγη των τρανζίστορ ορίστηκαν ως MFL και INL. Για το δεξί τμήμα οι αντίστοιχοι κόμβοι ορίστηκαν ως MFR και INR. Οι δύο αυτοί κόμβοι κάθε τμήματος είναι ισοδύναμοι και ο καθορισμός τους γίνεται από την σύνδεσή τους με την τροφοδοσία ή με την γη μέσω των τρανζίστορ MFL και MCL για το αριστερό τμήμα και μέσω των MCR και MFR για το δεξί τμήμα. Τα 4 αυτά τρανζίστορ έχουν κατανομηθεί ομοιόμορφα στους βασικούς κόμβους οι οποίοι στο σχήμα 5.8 είναι οι οκτώ κατακόρυφες μεσαίες κεντρικές στήλες που διέρχονται από τον *αισθητήρα σήματος*. Οι

δύο κατακόρυφες στήλες στα αριστερά και τα δεξιά είναι οι τροφοδοσίες V_{DD} και V_{SS} (GND).

Η φυσική σχεδίαση του προτεινόμενου κυκλώματος για 72 ζεύγη γραμμών παρακολούθησης φαίνεται στο σχήμα 5.9. Χρησιμοποιώντας την τεχνική αναδίπλωσης όπως αυτή που χρησιμοποιείται στις σχεδιάσεις των μνημών (“folded bit-line”) εξασφαλίζουμε και μικρές διαστάσεις αλλά και αναισθησία στις διακυμάνσεις της θερμοκρασίας και των κατασκευαστικών παραμέτρων.



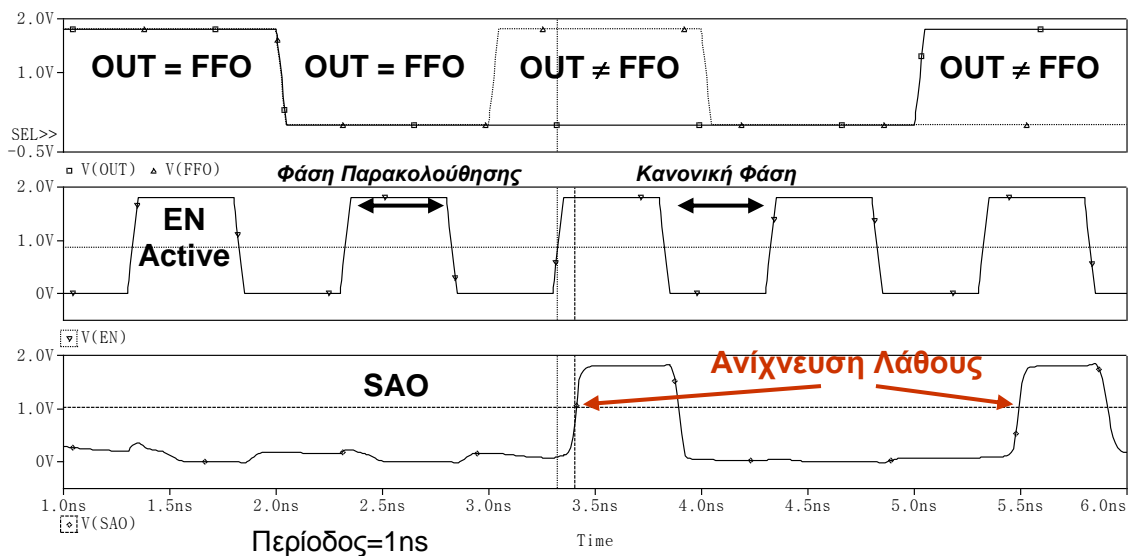
Σχήμα 5.9. Φυσική σχεδίαση και διαστάσεις του κυκλώματος παρακολούθησης για 72 ζεύγη γραμμών εισόδου. SA= αισθητήρας σήματος.

Για τον υπολογισμό της ταχύτητας απόκρισης εισάγεται ένα σφάλμα στο κύκλωμα παρακολούθησης θέτοντας σε ένα τυχαίο ζεύγος OUT_i και FFO_i διαφορετικές τιμές. Το ζεύγος που επιλέχτηκε για την προσομοίωση βρίσκεται στην πιο απομακρυσμένη θέση και συγκεκριμένα ενώ ο αισθητήρας σήματος βρίσκεται στο αριστερό μέρος της φυσικής σχεδίασης στο σχήμα 5.9, η βαθμίδα προαισθητήρα που προσομοιώνει το σφάλμα βρίσκεται στην κάτω δεξιά γωνία. Με την επιλογή αυτή λαμβάνονται υπόψιν οι μεγαλύτερες δυνατές τιμές των παρασιτικών αντιστάσεων και χωρητικότητων στις μετρήσεις των επιδόσεων.

Οι κυματομορφές από τις προσομοιώσεις για τα σήματα OUT και FFO του κυκλώματος παρακολούθησης, για το σήμα EN , καθώς και για την έξοδο SAO του κυκλώματος παρακολούθησης φαίνονται στο σχήμα 5.10 για την περίπτωση των 72 ζευγών. Οι κυματομορφές αυτές προέκυψαν θέτοντας τυπικές παραμέτρους στα μοντέλα των τρανζίστορ, σε θερμοκρασία 27°C και με περίοδο ρολογιού του υπό παρακολούθηση κυκλώματος 1ns.

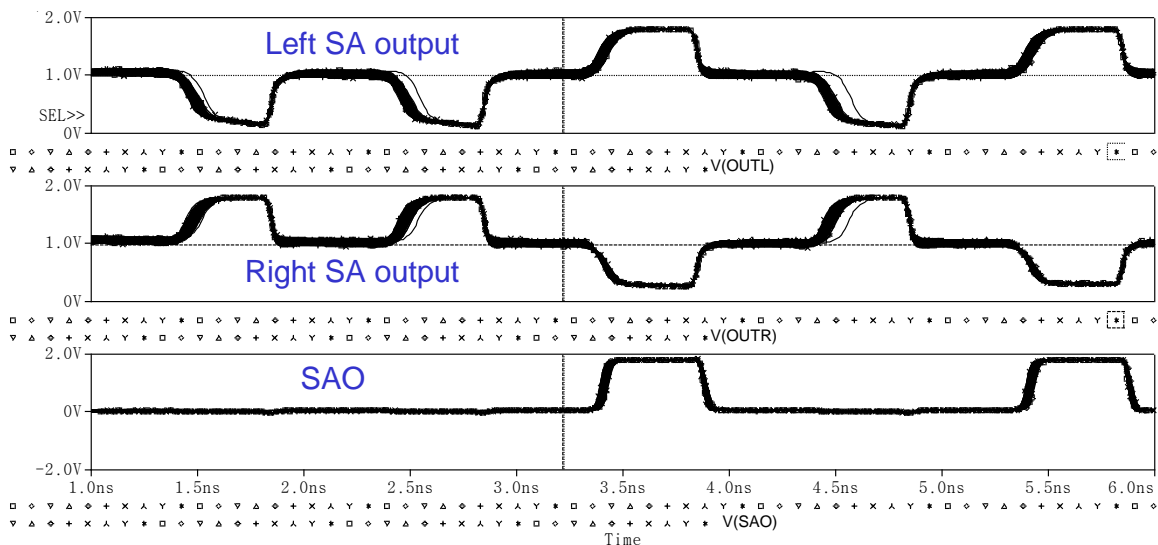
Οι πρώτες κυματομορφές στο σχήμα 5.10 δείχνουν τα σήματα OUT και FFO του υπό παρακολούθηση κυκλώματος, η επόμενη κυματομορφή απεικονίζει το σήμα EN και η τελευταία κυματομορφή δείχνει το σήμα εξόδου SAO του αισθητήρα σήματος. Στο σχήμα αυτό παρουσιάζονται πέντε περιπτώσεις. Στην πρώτη, την δεύτερη και την τέταρτη περίπτωση και τα δύο σήματα OUT και FFO έχουν ίσες τιμές (είτε “0” είτε “1”), κατά το χρονικό διάστημα που διαρκεί η Φάση Παρακολούθησης. Στην τρίτη και την πέμπτη περίπτωση τα σήματα OUT και FFO έχουν συμπληρωματικές τιμές ($OUT=“0”$, $FFO=“1”$ και $OUT=“1”$, $FFO=“0”$ αντίστοιχα) προσομοιώνοντας μια εσφαλμένη κατάσταση μόλις το σήμα EN ενεργοποιηθεί (μεταβεί στην υψηλή στάθμη). Στην τελευταία αυτή περίπτωση η έξοδος του αισθητήρα σήματος μεταβαίνει σε υψηλή

στάθμη αμέσως μετά την ενεργοποίηση του σήματος EN, (δηλαδή την μετάβαση από το “0” στο “1”) παρέχοντας ένδειξη σφάλματος.



Σχήμα 5.10. Αποτελέσματα προσομοιώσεων του κυκλώματος παρακολούθησης για 72 ζεύγη.

Για να διερευνηθεί περαιτέρω η συμπεριφορά του κυκλώματος κάτω από πιο ρεαλιστικές συνθήκες έγιναν εκτεταμένες προσομοιώσεις Monte Carlo στο αρχικό σχηματικό αλλά και στο σχηματικό που εξήχθη από την φυσική σχεδίαση (extracted layout) του κυκλώματος για 72 ζεύγη. Στις προσομοιώσεις που έγιναν τέθηκαν στις στατιστικές μεταβολές των παραμέτρων τιμές μέχρι και 20%. Στο σχήμα 5.11 φαίνονται αποτελέσματα προσομοιώσεων Monte Carlo για διακυμάνσεις στις παραμέτρους 20% όπου διαπιστώνεται πως η απόκριση του κυκλώματος είναι εξαιρετικά μικρή σε σύγκριση με αντίστοιχα κυκλώματα που συναντάμε στην βιβλιογραφία. Η κατανάλωση του συγκεκριμένου κυκλώματος παρακολούθησης 72 ζευγών ήταν 0,38mW.



Σχήμα 5.11 . Αποτελέσματα προσομοιώσεων Monte Carlo του κυκλώματος παρακολούθησης 72 ζευγών για διακυμάνσεις των παραμέτρων 20%.

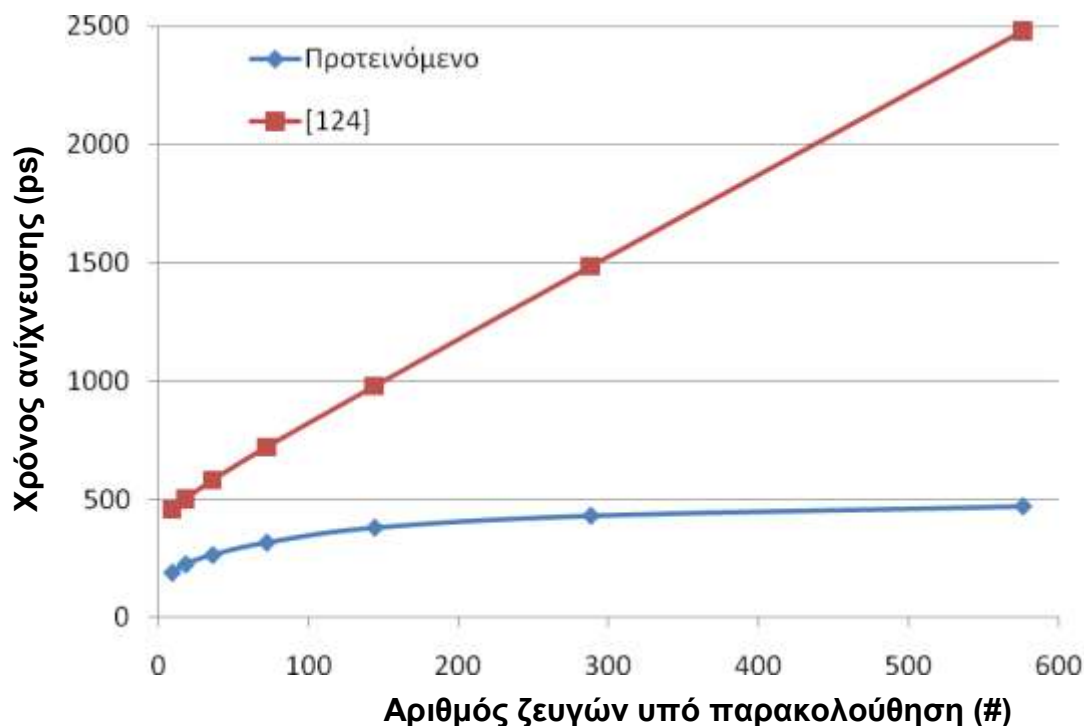
Παρόμοιες προσομοιώσεις έγιναν για διάφορες τιμές του αριθμού ζευγών εισόδων, από 9 μέχρι 576), για θερμοκρασίες από 0°C, μέχρι και 125°C, για τάση τροφοδοσίας από 1,62V μέχρι 1,98V και για όλες τις ακραίες επιτρεπτές τιμές (corners) των κατασκευαστικών παραμέτρων που διαθέτει η τεχνολογία (nMOS:slow-pMOS:slow, nMOS:slow-pMOS:fast, nMOS:fast-pMOS:slow, nMOS:fast-pMOS:fast). Ως χρόνος ανίχνευσης ορίζεται το χρονικό διάστημα από την ενεργοποίηση του σήματος *EN* μέχρι την απόκριση του κυκλώματος παρακολούθησης. Τα αποτελέσματα συνοψίζονται στον πίνακα 5.1 όπου για διάφορες τιμές των ζευγών εισόδου, συγκρίνονται οι χρόνοι ανίχνευσης του προτεινόμενου κυκλώματος παρακολούθησης με τους χρόνους ανίχνευσης της τεχνικής που αναφέρονται στην [126]. Στην εργασία αυτή προτείνεται μια ιεραρχική δομή ανίχνευσης ήπιων λαθών και λαθών χρονισμού η οποία βασίζεται σε λειτουργία ρεύματος, μια καθαρά αναλογική τεχνική, η οποία με τη σειρά της εξασφαλίζει μεγάλες ταχύτητες απόκρισης σε σχέση με άλλες τεχνικές στη βιβλιογραφία. Για το λόγο αυτό επιλέχθηκε η τεχνική αυτής της εργασίας προς σύγκριση με την προτεινόμενη τεχνική.

Πίνακας 5.1. Συγκρίσεις χρόνων ανίχνευσης

Αριθμός Ζευγών Υπό Παρακολούθηση	Χρόνος Ανίχνευσης (ps)		Μείωση %
	[126]	Προτεινόμενο	
9	456	191	58
18	501	226	55
36	581	265	54
72	721	317	56
144	979	376	62
288	1485	430	71
576	2480	468	81

Οι μετρήσεις που φαίνονται στην τρίτη και τέταρτη στήλη του πίνακα 5.1 έγιναν κάτω από τις δυσμενέστερες συνθήκες, δηλαδή για θερμοκρασία 125°C και για κατασκευαστικές παραμέτρους των μοντέλων των τρανζίστορ την επιλογή με την μεγαλύτερη καθυστέρηση (nMOS:slow-pMOS:slow), δίνοντας, σύμφωνα με τις προσομοιώσεις, τους χειρότερους χρόνους απόκρισης. Οι χρόνοι αυτοί φαίνονται με τη μορφή διαγράμματος στο σχήμα 5.12 σε σύγκριση με το κύκλωμα της [126], ως προς τον αριθμό των ζευγών παρακολούθησης.

Όπως φαίνεται από το διάγραμμα για μεγάλο αριθμό ζευγών ο χρόνος ανίχνευσης του προτεινόμενου κυκλώματος τείνει ασυμπτωτικά στα 500ps εξαιτίας της μικρής ευαισθησίας του επιλεγμένου *αισθητήρα σήματος* στο χωρητικό φορτίο των εισόδων, ενώ το κύκλωμα στην [126] έχει γραμμική εξάρτηση από το φορτίο εισόδου.



Σχήμα 5.12. Χρόνοι ανίχνευσης ως προς τον αριθμό των ζευγών παρακολούθησης.

5.4 Συμπεράσματα

Στο κεφάλαιο αυτό παρουσιάστηκε ένα νέο κύκλωμα παρακολούθησης για την ανίχνευση ήπιων λαθών καθώς και λαθών χρονισμού. Αυτό χρησιμοποιεί έναν ταχύτατο *αισθητήρα σήματος* για την ανίχνευση λανθασμένης απόκρισης στις εξόδους του συνδυαστικού κυκλώματος που παρακολουθεί. Η μέθοδος που χρησιμοποιήθηκε μπορεί να δώσει πολύ μικρούς χρόνους ανίχνευσης σε σχέση με τεχνικές που έχουν παρουσιαστεί στη βιβλιογραφία. Το προτεινόμενο κύκλωμα παρακολούθησης μπορεί να κατασκευαστεί με τεχνικές παραπλήσιες με αυτές της κατασκευής των SRAMs με τη χρήση γεννητριών αυτόματης σχεδίασης. Αν μάλιστα το προτεινόμενο κύκλωμα συνδυαστεί με μια τεχνική επανάληψης της λειτουργίας στην περίπτωση εμφάνισης λάθους, τότε μπορεί να εξασφαλιστεί και η ανοχή στα σφάλματα.

6. Η ΤΕΧΝΙΚΗ ΔΟΚΙΜΗΣ ΒΑΣΙΣΜΕΝΗ ΣΤΟ ΡΕΥΜΑ I_{DDQ}

6.1 Εισαγωγή

Μία από τις δοκιμές στις οποίες υποβάλλονται τα κυκλώματα από τους κατασκευαστές τους πριν διατεθούν στην αγορά είναι και αυτός της μέτρησης του ρεύματος ηρεμίας (quiescent current). Η διαδικασία της μέτρησης του ρεύματος ηρεμίας ή ρεύματος διαρροής (leakage current) είναι γνωστή στη διεθνή βιβλιογραφία με τον όρο “ I_{DDQ} testing”. Η διάγνωση της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων CMOS με την τεχνική I_{DDQ} έχει χρησιμοποιηθεί ευρύτατα για την ανίχνευση διαφόρων ειδών σφαλμάτων. Κατά τη διάρκεια αυτής της δοκιμής μετράται το ρεύμα στην γραμμή τροφοδοσίας V_{DD} του υπό δοκιμή κυκλώματος, ενώ οι είσοδοί του παραμένουν σε μία σταθερή κατάσταση (δεν μεταβάλλονται).

Η πρώτη εταιρεία που πειραματίστηκε με την χρήση της τεχνικής I_{DDQ} την δεκαετία του 1960, στην γραμμή παραγωγής ολοκληρωμένων κυκλωμάτων της σειράς CD4000 CMOS, ήταν η RCA. Στις επόμενες δεκαετίες η τεχνική αυτή τελειοποιήθηκε και χρησιμοποιήθηκε ευρύτατα από όλους τους κατασκευαστές. Μάλιστα, σύμφωνα με τις αναφορές, τα διαφεύγοντα κατασκευαστικά ελαττώματα μειώθηκαν από 10 έως και 100 φορές με τη χρήση της τεχνικής αυτής, συγκρινόμενη με την κλασική μέθοδο μέτρησης (ή παρακολούθησης) της τάσης. Σήμερα, διάφορες βελτιωμένες εκδόσεις της τεχνικής I_{DDQ} ενσωματώνονται σε πολλά ολοκληρωμένα κυκλώματα υψηλής αξιοπιστίας.

Η τεχνική I_{DDQ} είναι σήμερα η μόνη απλή και γρήγορη μέθοδος κατά την οποία, με την κατάλληλη επιλογή των τιμών των εισόδων του κυκλώματος, μπορούν να ανιχνευθούν διάφορα σφάλματα όπως τα σφάλματα γεφύρωσης μεταξύ γειτονικών γραμμών, καθώς και τα βραχυκυκλώματα μεταξύ μετάλλου πύλης και υποστρώματος (shorted gate oxide) – τα οποία ενδεχομένως να μην επιδρούν κατ’ αρχήν στη λογική λειτουργία του κυκλώματος αλλά προκαλούν συνήθως την αστοχία (failure) του κυκλώματος μετά από κάποιο χρόνο χρήσης. Επίσης, ανιχνεύονται απλά σφάλματα μόνιμης τιμής (stuck-at faults), σφάλματα καθυστέρησης (delay faults) αλλά και αρκετά σφάλματα ανοικτών κυκλωμάτων.

Παράλληλα με τον έλεγχο της ποιότητας, μια άλλη σημαντική παράμετρος που εξετάζεται κατά την δοκιμή I_{DDQ} είναι η ακριβής κατανάλωση του κυκλώματος. Η παράμετρος αυτή είναι ιδιαίτερα σημαντική για συσκευές που εμφυτεύονται στο ανθρώπινο σώμα όπως οι βηματοδότες και οι απινιδωτές, αλλά και για άλλες φορητές συσκευές όπως κινητά τηλέφωνα και φορητοί υπολογιστές, προκειμένου να εξασφαλιστεί η μεγαλύτερη δυνατή διάρκεια λειτουργίας για ένα συγκεκριμένο επίπεδο φόρτισης της μπαταρίας.

Οι δύο κυριότεροι παράγοντες που χαρακτηρίζουν την δοκιμή I_{DDQ} είναι η ακρίβεια και η ταχύτητα. Οι δύο αυτοί παράγοντες είναι αντικρουόμενοι όταν χρησιμοποιείται ένα γενικής χρήσης εργαστηριακό όργανο δοκιμής I_{DDQ} . Όταν πρόκειται να μετρηθούν πάρα πολύ μικρά ρεύματα τότε η μεγάλη ταχύτητα μετρήσεων μειώνει την ακρίβεια της μέτρησης του ρεύματος. Για παράδειγμα, χρησιμοποιώντας το SourceMeter 2400 της KEITHLEY, το οποίο είναι ένα γενικής χρήσης εργαστηριακό όργανο δοκιμής I_{DDQ} , μπορούμε να πετύχουμε μια τυπική ταχύτητα μετρήσεων της τάξης των 2500

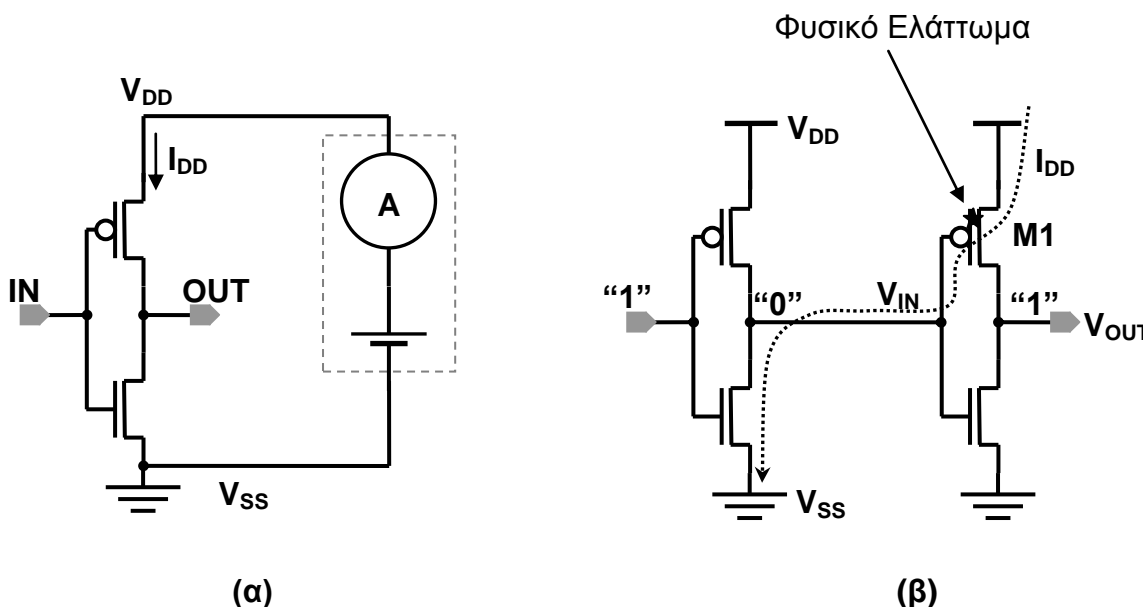
μετρήσεων I_{DDQ} ανά sec [133]. Στην περίπτωση που απαιτείται ταυτοχρόνως μεγάλη ταχύτητα αλλά και μεγάλη ακρίβεια μετρήσεων τότε είτε σχεδιάζεται ειδικό κύκλωμα για την δοκιμή αυτή, που μπορεί να είναι και ενσωματωμένο στο ολοκληρωμένο κύκλωμα είτε προσαρμόζεται κάποιο γενικό σύστημα δοκιμών (Automated Test Equipment) στα χαρακτηριστικά του υπό δοκιμή ολοκληρωμένου κυκλώματος.

Για την μέτρηση του ρεύματος I_{DDQ} ενός Ολοκληρωμένου Κυκλώματος και αναφερόμενοι στο σχήμα 6.1(α) θεωρούμε τα εξής:

- Όλες οι εισόδους του κυκλώματος συνδέονται είτε στο V_{DD} είτε στο V_{SS} .
- Η μέτρηση του ρεύματος γίνεται στη γραμμή τροφοδοσίας V_{DD} .
- Δεν υπάρχει φόρτος στις εξόδους του Ολοκληρωμένου Κυκλώματος (οι έξοδοι είναι στον «αέρα»).

Στο σχήμα 6.1(α) φαίνεται η συνδεσμολογία ενός απλού αναστροφέα CMOS με το τροφοδοτικό το οποίο καταγράφει το ρεύμα I_{DDQ} που τον διαρρέει.

Μετρώντας το ρεύμα ηρεμίας της γης I_{SS} έχουμε την αντίστοιχη ισοδύναμη μέθοδο δοκιμής I_{SSQ} . Στην πράξη, η μέθοδος δοκιμής I_{DDQ} σε ένα πραγματικό ολοκληρωμένο κύκλωμα που περιλαμβάνει μεγάλο αριθμό πυλών, χρησιμοποιεί ένα προκαθορισμένο σύνολο τιμών οι οποίες εφαρμόζονται στις εισόδους του κυκλώματος και ονομάζονται διάνυσμα δοκιμής I_{DDQ} . Για να πραγματοποιηθεί η μέτρηση I_{DDQ} εφαρμόζεται ένα διάνυσμα δοκιμής στις εισόδους του ολοκληρωμένου κυκλώματος, στη συνέχεια ακολουθεί ένας προκαθορισμένος χρόνος αναμονής μέχρι την εξάλειψη των μεταβατικών φαινομένων (settling time) - δηλαδή μέχρι να σταθεροποιηθούν και να πάρουν τις τελικές τιμές οι τάσεις και τα ρεύματα στους κόμβους και τους κλάδους του κυκλώματος, οπότε και μετράται το ρεύμα τροφοδοσίας μέσω της γραμμής τροφοδοσίας στους ακροδέκτες V_{DD} του ολοκληρωμένου κυκλώματος.



Σχήμα 6.1. (α) Η μέτρηση του ρεύματος ηρεμίας - I_{DDQ} - σε ένα CMOS κύκλωμα αναστροφέα. (β) Αύξηση του ρεύματος ηρεμίας εξαιτίας βραχυκυκλώματος της πύλης του M1.

Σε όλη τη διάρκεια της δοκιμής η τάση στον ακροδέκτη V_{DD} διατηρείται σταθερή. Μόλις πραγματοποιηθεί η μέτρηση συγκρίνεται με ένα καθορισμένο κατώφλι για να καθοριστεί

αν το κύκλωμα περνά με επιτυχία τη δοκιμή ή όχι. Το κατώφλι αυτό συνήθως βρίσκεται στην περιοχή των nA ή των μA , αλλά καθώς το ρεύμα ηρεμίας αυξάνει με την συρρίκνωση της τεχνολογίας μπορεί να φτάσει και στην τάξη των mA. Το κατώφλι καθορίζεται μετά από στατιστική ανάλυση των ρευμάτων I_{DDQ} σε ένα μεγάλο αριθμό λειτουργικά άψογων ολοκληρωμένων κυκλωμάτων. Ένα λειτουργικά άψογο ολοκληρωμένο κύκλωμα CMOS απαιτεί μεγάλο ρεύμα τροφοδοσίας μόνο κατά τη διάρκεια της λειτουργίας του υπό την επίδραση του ρολογιού, λόγω φόρτισης – εκφόρτισης των εσωτερικών κόμβων (και των ισοδύναμων χωρητικότητων). Το ρεύμα I_{DDQ} ενός ελαττωματικού ολοκληρωμένου κυκλώματος είναι μεγαλύτερο από το κατώφλι που έχει καθοριστεί και σε μερικές περιπτώσεις ανάλογα με το ελάττωμα μπορεί να είναι πολύ μεγαλύτερο, όπως π.χ. το ελάττωμα που φαίνεται στο σχήμα 6.1(β) και αφορά βραχυκύκλωμα της πύλης του τρανζίστορ M1, με αποτέλεσμα την μεγάλη τιμή του ρεύματος I_{DDQ} .

6.2 Καθορισμός του ρεύματος κατωφλίου

Όπως έχει αναφερθεί, ο καθορισμός του ρεύματος κατωφλίου είναι μια θεμελιώδης πειραματική διαδικασία για την επιτυχή δοκιμή I_{DDQ} καθώς ένα μεγάλο κατώφλι θα χαρακτηρίσει πολλά ελαττωματικά ολοκληρωμένα κυκλώματα ως «καλά», ενώ ένα μικρό κατώφλι ρεύματος θα έχει ως συνέπεια να απορρίπτονται μερικά «καλά» ολοκληρωμένα κυκλώματα.

Η τιμή του ρεύματος κατωφλίου είναι δύσκολο να βρεθεί καθώς το ρεύμα I_{DDQ} μεταβάλλεται από ολοκληρωμένο κύκλωμα σε ολοκληρωμένο κύκλωμα και εξαρτάται από τις διακυμάνσεις των κατασκευαστικών παραμέτρων κατά πρώτο λόγο πάνω στο ίδιο δισκίο πυριτίου (οι οποίες με τη σειρά τους μεταβάλουν τα χαρακτηριστικά του ολοκληρωμένου κυκλώματος) και κατά δεύτερο λόγο από τις μεταβολές από δισκίο σε δισκίο στη γραμμή παραγωγής. Στη συνέχεια θα περιγράψουμε μερικές μεθόδους υπολογισμού ή πρόβλεψης του ρεύματος κατωφλίου.

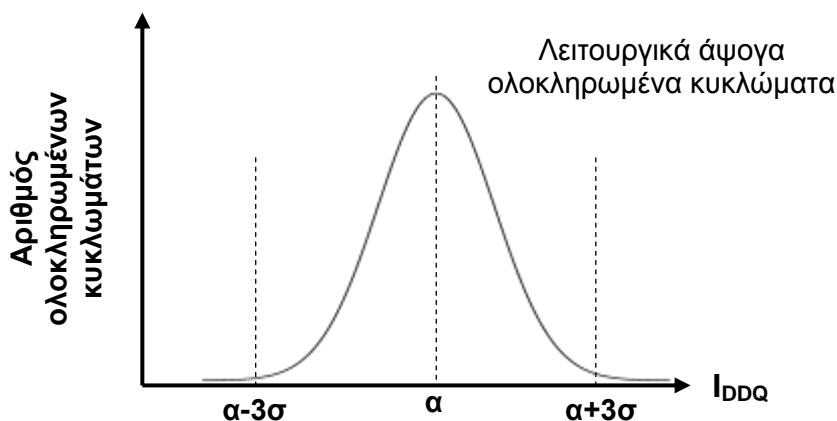
6.2.1 Πειραματικός καθορισμός του ρεύματος κατωφλίου I_{DDQ}

Για την πειραματική εύρεση του ρεύματος κατωφλίου I_{DDQ} απαιτείται:

- α) ένας μεγάλος αριθμός ολοκληρωμένων κυκλωμάτων, των οποίων θα μετρηθεί το ρεύμα διαρροής. Το σύνολο των ρευμάτων αυτών θα συμβολίζεται με S ενώ το πλήθος τους θα συμβολίζεται με n . Θα αναφερόμαστε επίσης συχνά στο σύνολο των ρευμάτων διαρροής ως δείγμα S με πλήθος n ,
- β) το γνωστό και καθορισμένο σύνολο διανυσμάτων δοκιμής, το οποίο στη συνέχεια θα συμβολίζεται με T .

Για κάθε ολοκληρωμένο κύκλωμα $X \in S$, εφαρμόζονται όλα τα διανύσματα δοκιμής T και μετά από την εφαρμογή του κάθε διανύσματος μετρείται το ρεύμα I_{DDQ} . Εάν I_X είναι το μέγιστο ρεύμα για κάθε ολοκληρωμένο κύκλωμα, τότε αυτό καταγράφεται ως το τελικό ρεύμα I_{DDQ} για το συγκεκριμένο ολοκληρωμένο κύκλωμα. Οι τιμές αυτές των ρευμάτων I_X χρησιμοποιούνται, όπως θα δούμε στην συνέχεια, για τον καθορισμό του ρεύματος κατωφλίου.

Αν παραστήσουμε σε ένα διάγραμμα την κατανομή των συχνοτήτων εμφάνισης των ρευμάτων $(I_{X1}, I_{X2}, \dots, I_{Xn})$ θα δούμε ότι προσεγγίζει την κανονική Gaussian κατανομή, όπως φαίνεται στο σχήμα 6.2 [134].



Σχήμα 6.2. Η κατανομή των ρευμάτων I_{DDQ} σε ένα CMOS κύκλωμα

Όπως έχει αναφερθεί το πλήθος του δείγματος των ολοκληρωμένων κυκλωμάτων είναι n και έστω ότι οι τιμές των ρευμάτων I_X είναι οι $(I_{X1}, I_{X2}, \dots, I_{Xn})$. Ο υπολογισμός του ρεύματος κατωφλίου I_{DDQ} γίνεται στη συνέχεια υπολογίζοντας δύο παραμέτρους, της μέσης τιμής α και της τυπικής απόκλισης σ χρησιμοποιώντας τις σχέσεις (6.1) ως ακολούθως:

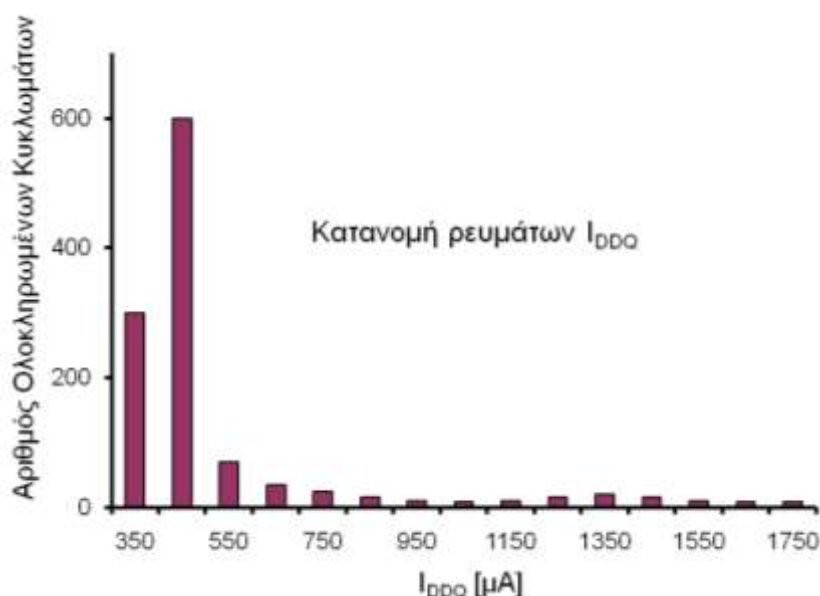
$$\alpha = \frac{1}{n} \sum_{j=1}^n I_{Xj} \quad \text{και} \quad \sigma^2 = \frac{1}{n} \sum_{j=1}^n (I_{Xj} - \alpha)^2 \quad (6.1)$$

Το εύρος των «έξι σίγμα» (six sigma range) στις δύο πλευρές της μέσης τιμής, όπως φαίνεται στο σχήμα 6.2, περιλαμβάνει σχεδόν όλο το πλήθος της κατανομής. Το κατώφλι I_{DDQ} ορίζεται ως εξής:

$$I_{DDQ, Threshold} = \alpha + 3 \cdot \sigma \quad (6.2)$$

Στην πράξη μπορεί να μην εμφανίζονται και τα δύο άκρα του «κώδωνα» της κατανομής (να μην είναι συμμετρική η καμπύλη της κατανομής) όπως στο πραγματικό παράδειγμα που αναφέρεται στην εργασία [135] και φαίνεται στο σχήμα 6.3. Στον υπολογισμό του ρεύματος κατωφλίου σε αυτήν την περίπτωση πρέπει να ακολουθήσουμε διαφορετική στατιστική ανάλυση, διότι μέσα στο δείγμα υπήρχαν και ελαττωματικά ολοκληρωμένα κυκλώματα με αποτέλεσμα να έχουμε αρκετές τιμές με αυξημένο ρεύμα I_{DDQ} . Κάτι τέτοιο είναι αναμενόμενο όταν πρόκειται για νέα τεχνολογία. Η στατιστική ανάλυση που ακολουθείται στην περίπτωση αυτή ονομάζεται "interquartile range statistics" και το 25% των μικρότερων τιμών των ρευμάτων I_{DDQ} έχει μεγαλύτερη βαρύτητα στον καθορισμό του κατωφλίου [135].

Ένα βασικό σημείο που πρέπει να ληφθεί υπόψιν στον καθορισμό του ρεύματος κατωφλίου είναι το ότι στα πρώτα στάδια της ζωής μιας νέας τεχνολογίας γίνεται συχνά επανάληψη του υπολογισμού καθώς τα ελαττώματα στην αρχή είναι πολλά. Αρχικά το ποσοστό των ελαττωματικών ολοκληρωμένων κυκλωμάτων στο δείγμα θα είναι αυξημένο, με αποτέλεσμα να υπολογίζεται μεγάλη τιμή για το ρεύμα κατωφλίου. Με το πέρασμα του χρόνου η τεχνολογία ωριμάζει και η κατασκευαστική απόδοση (yield) βελτιώνεται, οπότε και μειώνεται το πλήθος των ελαττωματικών ολοκληρωμένων κυκλωμάτων στο δείγμα.



Σχήμα 6.3. Κατανομή ρευμάτων με εσφαλμένα ολοκληρωμένα κυκλώματα στο δείγμα.

Σε ένα παράδειγμα ώριμης τεχνολογίας με δείγμα 11405 ολοκληρωμένων κυκλωμάτων ενός micro-controller όπως αναφέρεται στην εργασία [136] η μέση τιμή του ρεύματος ηρεμίας είναι $\mu=5,721\mu\text{A}$, η τυπική απόκλιση $\sigma=3,395\mu\text{A}$ και το κατώφλι I_{DDQ} υπολογίζεται σύμφωνα με τη σχέση (6.2) στην τιμή των $15\mu\text{A}$.

6.2.2 Πρόβλεψη του ρεύματος κατωφλίου I_{DDQ} με χρήση προσομοιώσεων

Στην περίπτωση που σε ένα ολοκληρωμένο κύκλωμα χρησιμοποιηθεί ενσωματωμένος αισθητήρας ρεύματος (BICS) για την μέτρηση του ρεύματος ηρεμίας και τη διάγνωση ορθής λειτουργίας θα πρέπει να είναι γνωστό το ρεύμα κατωφλίου. Αν δεν έχουν προηγηθεί πειραματικές μετρήσεις τότε ο μόνος τρόπος προσδιορισμού του ρεύματος κατωφλίου είναι η θεωρητική εκτίμησή του με τη χρήση σχεδιαστικών εργαλείων και την εκτέλεση κατάλληλων προσομοιώσεων.

Η πρώτη μέθοδος πρόβλεψης βασίζεται στην άθροιση όλων των επιμέρους ονομαστικών τιμών των ρευμάτων I_{DDQ} που διαρρέουν το κάθε κελί (cell) από τα οποία απαρτίζεται το ολοκληρωμένο κύκλωμα. Η άθροιση μπορεί να συμπεριληφθεί στη διαδικασία της σχεδίασης. Στο τελικό αποτέλεσμα της άθροισης προστίθεται και ένα επιπλέον 10% [135], για να συμπεριλάβει την αβεβαιότητα λόγω των μεταβολών των παραμέτρων και έτσι βρίσκεται η τελική τιμή του ρεύματος κατωφλίου I_{DDQ} .

Η υπόθεση που γίνεται στο σημείο αυτό είναι ότι το ονομαστικό ρεύμα I_{DDQ} που διαρρέει το κελί (cell) είναι το μέσο ρεύμα ηρεμίας αυτού του κελιού και συνεπώς το άθροισμα των ονομαστικών τιμών όλων των κελιών είναι το άνω όριο του μέσου ρεύματος I_{DDQ} για όλες τις τιμές των διανυσμάτων εισόδου. Με την προσεκτική επιλογή των διανυσμάτων δοκιμής που θα εφαρμοστούν στην είσοδο, το μέσο ρεύμα I_{DDQ} για το δεδομένο σύνολο διανυσμάτων θα δώσει ένα ικανοποιητικό αποτέλεσμα για το ρεύμα κατωφλίου.

Με τη δεύτερη μέθοδο πρόβλεψης τα ρεύματα που διαρρέουν το κύκλωμα εκτιμώνται με μεθόδους που αρχικά χρησιμοποιήθηκαν για την ανάλυση αξιοπιστίας των κυκλωμάτων VLSI [137], [138]. Με την προσομοίωση του κυκλώματος, σύμφωνα με τις μεθόδους

αυτές, υπολογίζεται ο μέσος όρος και η διακύμανση του ρεύματος σε κάθε κόμβο. Στην περίπτωση του ρεύματος κατωφλίου I_{DDQ} ο κόμβος που μας ενδιαφέρει είναι αυτός της τροφοδοσίας V_{DD} . Στον κόμβο αυτόν λοιπόν γίνεται ο υπολογισμός του ρεύματος I_{DDQ} , όπου εδώ χρειάζεται να υποθέσουμε ότι μεσολαβεί το απαραίτητο χρονικό διάστημα (settling time) μέχρι να αποκτήσει ο κόμβος την τελική του τιμή: μερικές φορές αυτό το χρονικό διάστημα χρειάζεται να είναι αρκετά μεγάλο. Μόλις σταθεροποιηθεί η τιμή του ρεύματος στον κόμβο, θα έχουμε την εκτίμηση της μέσης τιμής του ρεύματος. Οι περιορισμοί της μεθόδου αυτής είναι:

- α) η μεγάλη χρονική διάρκεια που απαιτείται,
- β) μπορεί να χρησιμοποιηθεί μόνο σε συνδυαστικά κυκλώματα και
- γ) δεν λαμβάνει υπόψιν τις διακυμάνσεις των κατασκευαστικών παραμέτρων.

Παρόλα αυτά, η μέθοδος αυτή έχει χρησιμοποιηθεί, διότι δίνει μια πρώτη εκτίμηση για την τιμή του ρεύματος κατωφλίου.

Η τρίτη μέθοδος πρόβλεψης [139] χρησιμοποιεί μοντέλα για το κύκλωμα σε τρία διαφορετικά επίπεδα: σε επίπεδο τρανζίστορ, σε ηλεκτρικό επίπεδο και σε επίπεδο πυλών.

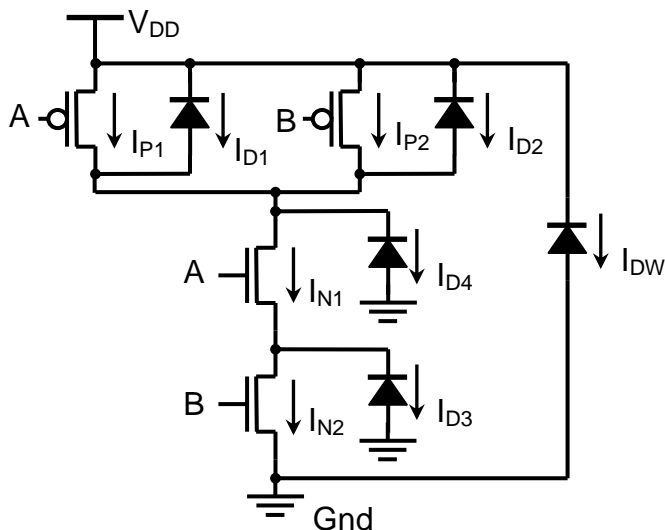
Στο επίπεδο τρανζίστορ για κάθε κελί υπολογίζεται το ρεύμα διαρροής από όλες τις ανάστροφα πολωμένες επαφές pn και από όλα τα μη αγωγή τρανζίστορ. Αυτά τα ρεύματα εξαρτώνται από τις παραμέτρους της τεχνολογίας [139].

Στο ηλεκτρικό επίπεδο τα κελιά αναπαριστώνται με τρανζίστορ και διόδους όπως η πύλη NAND δύο εισόδων που φαίνεται στο σχήμα 6.4. Η κάθε διόδος στο σχήμα μοντελοποιεί την αντίστοιχη ανάστροφα πολωμένη επαφή pn . Στο ίδιο σχήμα επίσης σημειώνονται τα ρεύματα διαρροής για το κάθε τρανζίστορ καθώς και ένα μόνιμο σταθερό ρεύμα I_{DW} που είναι ανεξάρτητο από τις τιμές των εισόδων. Όλα τα υπόλοιπα ρεύματα συνεισφέρουν στο τελικό ρεύμα διαρροής ανάλογα με τη λέξη που εφαρμόζεται στις εισόδους A και B της πύλης (το τελικό ρεύμα διαρροής εξαρτάται από τις εισόδους). Στον πίνακα 6.1 φαίνεται αναλυτικά ποια ρεύματα συμμετέχουν στο τελικό ρεύμα διαρροής. Αντίστοιχοι πίνακες μπορούν να υπολογιστούν με παρόμοιο τρόπο και για τις υπόλοιπες πύλες όπως τις NOR, XOR, κλπ.

Πίνακας 6.1. Ρεύμα I_{DDQ} για τους συνδυασμούς των εισόδων πύλης NAND-2.

A	B	I_{DDQ}
0	0	$I_{DW} + I_{D3} + I_{D4} + I_{N2}$
0	1	$I_{DW} + I_{D4} + I_{N1}$
1	0	$I_{DW} + I_{D3} + I_{D4} + I_{N2}$
1	1	$I_{DW} + I_{P1} + I_{P2} + I_{D1} + I_{D2}$

Η πύλη NAND δύο εισόδων έχει το ελάχιστο ρεύμα διαρροής όταν και οι δύο εισοδοί της είναι στο λογικό “0”. Μπορούμε να κανονικοποιήσουμε όλα τα ρεύματα I_{DDQ} ως προς αυτή την ελάχιστη τιμή, για τις τυπικές παραμέτρους της τεχνολογίας που χρησιμοποιείται στη σχεδίαση όπως αναφέρονται στην [182], και τα αποτελέσματα φαίνονται στον πίνακα 6.2.



Σχήμα 6.4. Μοντέλο υπολογισμού ρεύματος I_{DDQ} σε πύλη NAND δύο εισόδων (NAND-2).

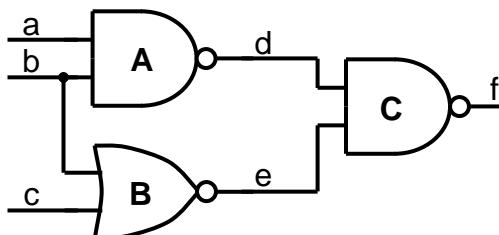
Πίνακας 6.2. Κανονικοποιημένες τιμές ρευμάτων I_{DDQ} για πύλες δύο εισόδων.

A	B	NAND	NOR	XOR
0	0	1	44	66
0	1	22	12	66
1	0	12	22	47
1	1	44	1	25

Εφόσον είναι γνωστή για ένα κύκλωμα η πληροφορία για το ρεύμα διαρροής κάθε πύλης και για τις διάφορες τιμές των εισόδων, μπορεί να υπολογιστεί το μέγιστο ρεύμα I_{DDQ} για αυτό το κύκλωμα όταν είναι λειτουργικά άφογο. Μπορούμε να χρησιμοποιήσουμε ως παράδειγμα το κύκλωμα τριών εισόδων και τριών πυλών που φαίνεται στο σχήμα 6.5 και αποτελείται από δύο πύλες NAND-2 και μία πύλη NOR-2. Για τους 8 συνδυασμούς των εισόδων του κυκλώματος του σχήματος 6.5 υπολογίζουμε τις εισόδους της κάθε πύλης. Στον πίνακα 6.3 φαίνονται οι παραπάνω υπολογισμοί για όλα τα δυνατά διανύσματα εισόδου και για κάθε πύλη οι προκύπτοντες συνδυασμοί στην είσοδό της καθώς και το ρεύμα που συνεισφέρει η κάθε μια πύλη στο συνολικό ρεύμα I_{DDQ} , για το κάθε ένα διάνυσμα. Στην τελευταία στήλη του πίνακα φαίνεται το συνολικό ρεύμα το οποίο είναι 100 φορές μεγαλύτερο από το ρεύμα της NAND-2 με εισόδους την λέξη “00”. Το ρεύμα αυτό είναι η εκτίμηση αυτής της μεθόδου για ρεύμα κατωφλίου στην δοκιμή I_{DDQ} .

Η παραπάνω μέθοδος παρουσιάζει και αυτή μερικά μειονεκτήματα αν χρησιμοποιηθεί ως έχει χωρίς τις απαραίτητες βελτιώσεις: α) στα ακολουθιακά κυκλώματα υπάρχει πλήθος καταστάσεων που ποτέ δεν εμφανίζονται στις εισόδους των εσωτερικών πυλών. Επομένως, το ρεύμα κατωφλίου I_{DDQ} που υπολογίζεται με τη μέθοδο αυτή είναι υπερεκτιμημένο, εκτός και αν δεν ληφθούν υπόψιν οι καταστάσεις αυτές. β) Η μέθοδος αυτή δεν λαμβάνει υπόψιν της τις διακυμάνσεις των κατασκευαστικών παραμέτρων. Αυτό πρέπει να γίνει συμπληρωματικά, υπολογίζοντας το κατώφλι για διάφορες τιμές των παραμέτρων. Στη συνέχεια, λαμβάνοντας υπόψιν την μέση τιμή και την τυπική απόκλιση από τις παραπάνω μετρήσεις μπορεί να υπολογιστεί το κατώφλι όπως έχει

περιγραφεί στην πρώτη μέθοδο. γ) Η εύρεση όλων των δυνατών καταστάσεων είναι εξαιρετικά δαπανηρή σε υπολογιστικούς πόρους, ιδιαίτερα στα μεγάλα κυκλώματα.



Σχήμα 6.5. Κύκλωμα τριών εισόδων για τον υπολογισμό του ρεύματος I_{DDQ} .

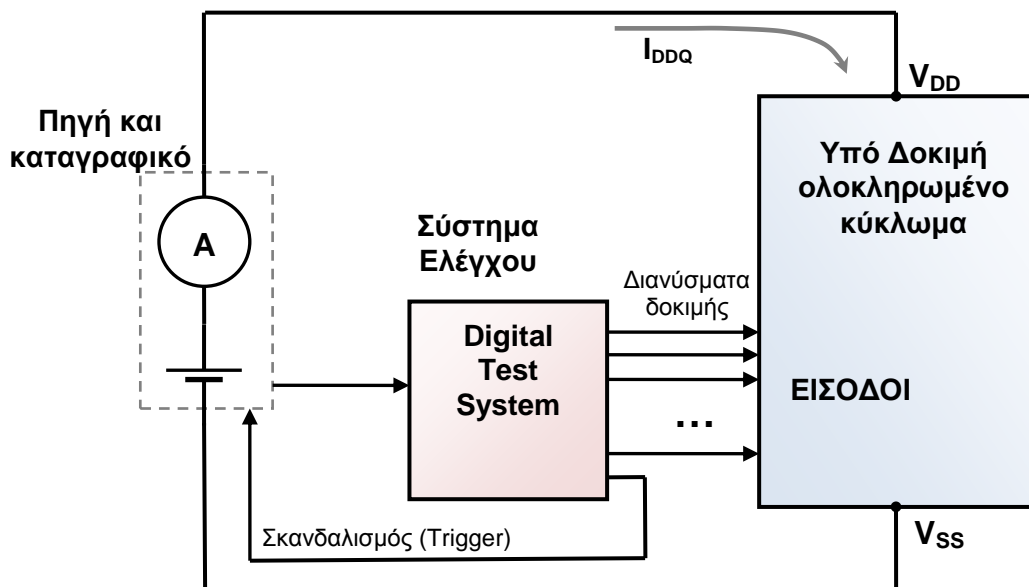
Πίνακας 6.3. Παράδειγμα υπολογισμού ρεύματος I_{DDQ} στο κύκλωμα του σχήματος 6.5 με όλα τα δυνατά διανύσματα εισόδου.

	a b c			A			B			C			Ολικό ρεύμα
	a	b	c	a	b	I	b	c	I	d	e	I	
T1	0	0	0	0	0	1	0	0	44	1	1	44	89
T2	0	0	1	0	0	1	0	1	12	1	0	12	25
T3	0	1	0	0	1	22	1	0	22	1	0	12	56
T4	0	1	1	0	1	22	1	1	1	1	0	12	35
T5	1	0	0	1	0	12	0	0	44	1	1	44	100
T6	1	0	1	1	0	12	0	1	12	1	0	12	36
T7	1	1	0	1	1	44	1	0	22	0	0	1	67
T8	1	1	1	1	1	44	1	1	1	0	1	22	57

Για παράδειγμα, στο κύκλωμα του σχήματος 6.5, θα μπορούσε να γίνει η δοκιμή των εσωτερικών κόμβων d και e καθώς και των εισόδων a , b και c για σφάλματα γεφύρωσης, αποφεύγοντας να χρησιμοποιηθεί το διάνυσμα δοκιμής T5 του πίνακα 6.3 που δίνει ως ολικό ρεύμα την τιμή 100. Στην πραγματικότητα, η δοκιμή θα μπορούσε να πραγματοποιηθεί χρησιμοποιώντας ένα υποσύνολο διανυσμάτων δοκιμής με τρία μόνο διανύσματα δοκιμής, τα T6, T7 και T8. Δύο σημεία πρέπει να τονιστούν στο σημείο αυτό: αφενός τα σφάλματα γεφύρωσης είναι αυτά που κυρίως ενδιαφέρουν την δοκιμή I_{DDQ} και αφετέρου η μέθοδος αυτή δίνει κατά βάση υπερεκτιμημένο ρεύμα κατωφλίου.

6.3 Τυπική διάταξη δοκιμής I_{DDQ}

Στο σχήμα 6.6 φαίνεται ένα τυπικό σύστημα δοκιμής I_{DDQ} για ολοκληρωμένα κυκλώματα CMOS. Η πηγή τάσης τροφοδοτεί το ολοκληρωμένο κύκλωμα με σταθερή τάση σε όλη την διάρκεια της δοκιμής. Η πηγή αυτή έχει την δυνατότητα να αποθηκεύει σε κάποια εσωτερική μνήμη ή να μεταφέρει σε εξωτερικό υπολογιστή το ρεύμα που παρέχει στο ολοκληρωμένο κύκλωμα. Οι είσοδοι του ολοκληρωμένου κυκλώματος συνδέονται με ένα ψηφιακό σύστημα ελέγχου με το οποίο όλες οι εισοδοί τίθενται στην επιθυμητή λογική κατάσταση.



Σχήμα 6.6. Η μέτρηση I_{DDQ} σε ένα κύκλωμα CMOS.

Το ίδιο σύστημα ελέγχου μόλις θέσει τις επιθυμητές τιμές και μετά τον χρόνο αποκατάστασης στέλνει ένα σήμα σκανδαλισμού στην πηγή ώστε αυτή να καταγράψει το ρεύμα τροφοδοσίας. Μετά την σύγκριση της τιμής του ρεύματος με το κατώφλι, η πηγή στέλνει ένα σήμα σκανδαλισμού στο ψηφιακό σύστημα ελέγχου για να παράγει το επόμενο διάνυσμα δοκιμής που θα εφαρμοστεί στις εισόδους του ολοκληρωμένου κυκλώματος. Με τη διαδικασία αυτή αυξάνεται η ταχύτητα μετρήσεων I_{DDQ} . Η διαδικασία επαναλαμβάνεται μέχρι να παραχθούν και να εφαρμοστούν όλα τα διανύσματα δοκιμής ή να αποτύχει στην δοκιμή I_{DDQ} το ολοκληρωμένο κύκλωμα.

6.4 Η δοκιμή I_{DDQ} στις υπο-μικρονικές τεχνολογίες

Το ρεύμα ηρεμίας I_{DDQ} ενός κυκλώματος ορίζεται ως το άθροισμα του ρεύματος διαρροής ή υποβάθρου του κυκλώματος (background current, I_B) εξαιτίας των διάφορων μηχανισμών παραγωγής ρεύματος διαρροής και του ρεύματος εξαιτίας ελαττωμάτων (defective current, I_{DEF}), εφόσον αυτό υπάρχει.

Υπάρχουν διάφοροι μηχανισμοί παραγωγής ρεύματος διαρροής οι οποίοι συνεισφέρουν στο συνολικό ρεύμα διαρροής I_{DDQ} των τρανζίστορ, όπως το υποκατωφλικό ρεύμα (subthreshold current), το ρεύμα διαρροής των επαφών pn (junction leakage), το ρεύμα φαινομένου σήραγγος της πύλης (gate tunnelling current), το ρεύμα εξαιτίας της επαγόμενης από τον απαγωγό μείωσης του φράγματος δυναμικού (Drain Induced Barrier Lowering - DIBL) και τέλος το ρεύμα διαρροής που επάγεται από την τάση της πύλης (Gate Induced Drain Leakage GIDL). Επίσης, υπάρχει και ένας αριθμός παραμέτρων, οι οποίες επηρεάζουν το ρεύμα διαρροής των τρανζίστορ όπως το μήκος του καναλιού (short channel effects), η τάση κατωφλίου (V_{TH}), το πάχος του οξειδίου της πύλης (gate oxide thickness), το βάθος της επαφής της απαγωγής και της πηγής (drain and source junction depth), η κατανομή των προσμίξεων (doping profile), η τάση τροφοδοσίας και η θερμοκρασία λειτουργίας [140].

Η δοκιμή I_{DDQ} με απλό κατώφλι ρεύματος βασίζεται στην υπόθεση ότι το ρεύμα διαρροής ενός λειτουργικά άσπογου ολοκληρωμένου κυκλώματος είναι πολύ μικρό. Στην

πράξη τα τελευταία χρόνια το ρεύμα αυτό αυξάνει από γενιά σε γενιά κατά σχεδόν μια τάξη μεγέθους. Καθώς το ρεύμα αυτό αυξάνεται η αποτελεσματικότητα της κλασικής δοκιμής I_{DDQ} σταδιακά μειώνεται. Στη συνέχεια θα δούμε πώς οι μέθοδοι δοκιμής I_{DDQ} τροποποιήθηκαν και βελτιώθηκαν προκειμένου να ξεπεράσουν αυτήν τη δυσκολία και να μπορούν να εφαρμοστούν και στην δοκιμή I_{DDQ} των νεότερων ολοκληρωμένων κυκλωμάτων.

Η σχέση που δίνει το υποκατωφλικό ρεύμα (subthreshold current) όταν δηλαδή η τάση πύλης-πηγής (V_{GS}) είναι μικρότερη της τάσης κατωφλίου (V_{th}) και το οποίο συνεισφέρει στο ρεύμα I_{DDQ} , είναι η ακόλουθη σε μια απλοποιημένη της έκφραση [141] :

$$I_{OFF} = I_0 \cdot \frac{W}{L} \cdot e^{\frac{V_{GS}-V_{th}}{n \cdot V_T}}, \quad V_{GS} < V_{th} \quad (6.3)$$

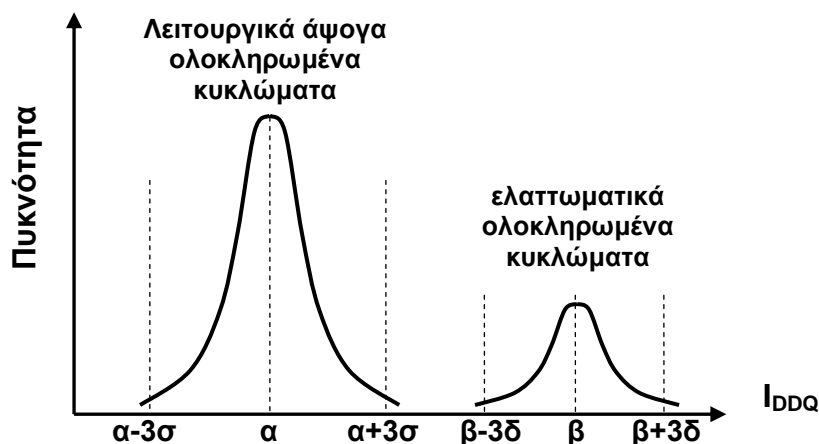
Όπου W , L είναι το πλάτος και το μήκος του καναλιού του τρανζίστορ, ενώ επίσης οι τιμές του συντελεστή αιώρησης υποκατωφλίου (subthreshold swing coefficient) n και του θερμικού δυναμικού V_T δίνονται από τις:

$$n = 1 + \frac{C_D}{C_{OX}} \quad \text{και} \quad V_T = \frac{kT}{q}$$

Καθώς η τεχνολογία συρρικνώνεται, μειώνονται τόσο η τροφοδοσία V_{DD} όσο και το πλάτος W , και το μήκος L του καναλιού, καθώς επίσης και τα πλάτη των μετάλλων αλλά και οι διαστάσεις των συνδέσεων: οι προσμίξεις αντίστοιχα προσαρμόζονται ώστε τα τρανζίστορ να έχουν τις επιθυμητές ηλεκτρικές παραμέτρους [142]. Το μειονέκτημα της συρρίκνωσης είναι η αύξηση του ρεύματος διαρροής, καθώς η τάση κατωφλίου V_{th} μειώνεται. Βέβαια, η καθυστέρηση του κυκλώματος ελαττώνεται (κάτι που είναι επιθυμητό). Για κυκλώματα υψηλής ταχύτητας απαιτείται $V_{th} \leq (V_{DD} / 4)$ [143], δηλαδή για κυκλώματα υψηλών επιδόσεων η απαίτηση είναι να μειώνεται η τάση κατωφλίου V_{th} , καθώς η τάση τροφοδοσίας (V_{DD}) μειώνεται. Από τη σχέση (6.3) φαίνεται όμως ότι μια γραμμική ελάττωση της τάσης κατωφλίου V_{th} , θα είχε ως συνέπεια την εκθετική αύξηση του ρεύματος διαρροής I_{OFF} . Για το λόγο αυτόν τα σύγχρονα ολοκληρωμένα κυκλώματα έχουν ρεύμα διαρροής που φτάνει σε τάξεις μεγέθους των εκατοντάδων mA. Αν αναλογιστεί κανείς ότι το ρεύμα που δημιουργείται από μία ατέλεια πχ. από ένα μόνιμα αγώγιμο τρανζίστορ ενός μεγάλου κυκλώματος είναι της τάξης των δεκάδων nA τότε γίνεται προφανής η δυσκολία της εφαρμογής της δοκιμής I_{DDQ} απλού κατωφλίου στα σύγχρονα κυκλώματα.

Στο σχήμα 6.7 φαίνεται η κατανομή των ρευμάτων για λειτουργικά άψογα και για ελαττωματικά κυκλώματα. Οι τιμές των μέσων ρευμάτων I_{DDQ} για τα λειτουργικά άψογα και για τα ελαττωματικά κυκλώματα είναι αντίστοιχα α και β . Η τυπική απόκλιση είναι αντίστοιχα σ και δ .

Καθώς η τεχνολογία συρρικνώνεται, αυξάνεται το ρεύμα διαρροής (I_{OFF}), δηλαδή αυξάνεται το α . Από την άλλη πλευρά, καθώς η τεχνολογία κλιμακώνεται το ρεύμα των εσφαλμένων κυκλωμάτων, δηλαδή το β , ελαττώνεται. Επιπρόσθετα, οι τυπικές αποκλίσεις των δύο κατανομών αυξάνουν. Καθώς οι δύο καμπύλες θα πλησιάζουν και θα επικαλύπτονται θα γίνεται ολοένα και δυσκολότερος ο διαχωρισμός των «καλών» από τα ελαττωματικά κυκλώματα με την δοκιμή I_{DDQ} απλού κατωφλίου.



Σχήμα 6.7. Κατανομή ρευμάτων I_{DDQ} για λειτουργικά άψογα και για ελαττωματικά κυκλώματα.

Ένα μέγεθος με το οποίο μπορούμε να περιγράψουμε τον βαθμό του διαχωρισμού είναι ο λόγος:

$$S_M = (\beta - \alpha) / \alpha$$

Ο λόγος αυτός περιγράφει και την αποτελεσματικότητα της δοκιμής I_{DDQ} [144].

Για τον προσεγγιστικό υπολογισμό του λόγου S_M θα χρησιμοποιήσουμε τις μεθόδους που περιγράφονται στην εργασία [144]. Οι παράμετροι της τεχνολογίας που χρειάζονται στον υπολογισμό του λόγου S_M φαίνονται στις πρώτες πέντε στήλες του πίνακα 6.4.

Οι υποθέσεις που έγιναν για τον παραπάνω υπολογισμό είναι οι εξής:

- Ο λόγος W/L είναι ίσος με 20.
- Η θερμοκρασία είναι 25°C
- Η τάση κατωφλίου V_{th} μεταβάλλεται με την ίδια κλίμακα όπως η V_{DD} .
- Ως σφάλματα λαμβάνονται υπόψιν μόνο τα γεφυρώματα.
- Το γεφύρωμα θεωρείται να έχει μηδενική αντίσταση.
- Το κύκλωμα αποτελείται μόνο από πύλες NAND-2.
- Το δικτύωμα pull-up θεωρείται ότι αποτελείται από ένα pMOS τρανζίστορ.
- Το δικτύωμα pull-down θεωρείται ότι αποτελείται από δύο nMOS τρανζίστορ σε σειρά.
- Η αντίσταση “on” του nMOS θεωρείται 300Ω .
- Η αντίσταση “on” του pMOS τρανζίστορ θεωρείται 750Ω .

Πίνακας 6.4. Παράμετροι τεχνολογίας και ο λόγος $S_M=(\beta-\alpha)/\alpha$ των ρευμάτων του σχήματος 6.7.

Έτος	Αριθμός Πυλών $\times 10^6$	V_{DD} V	L μm	Μέσο ρεύμα I_{OFF} nA/ μm	S_M 25°C	S_M 85°C
1995	5	3.3	0.45	0.004	1358	25
1998	14	2.5	0.25	0.12	22.1	0.88
2001	26	1.8	0.18	2.5	0.68	0.04
2004	50	1.5	0.09	14.2	0.08	0.01
2007	210	1.2	0.06	82	0.00	0.00

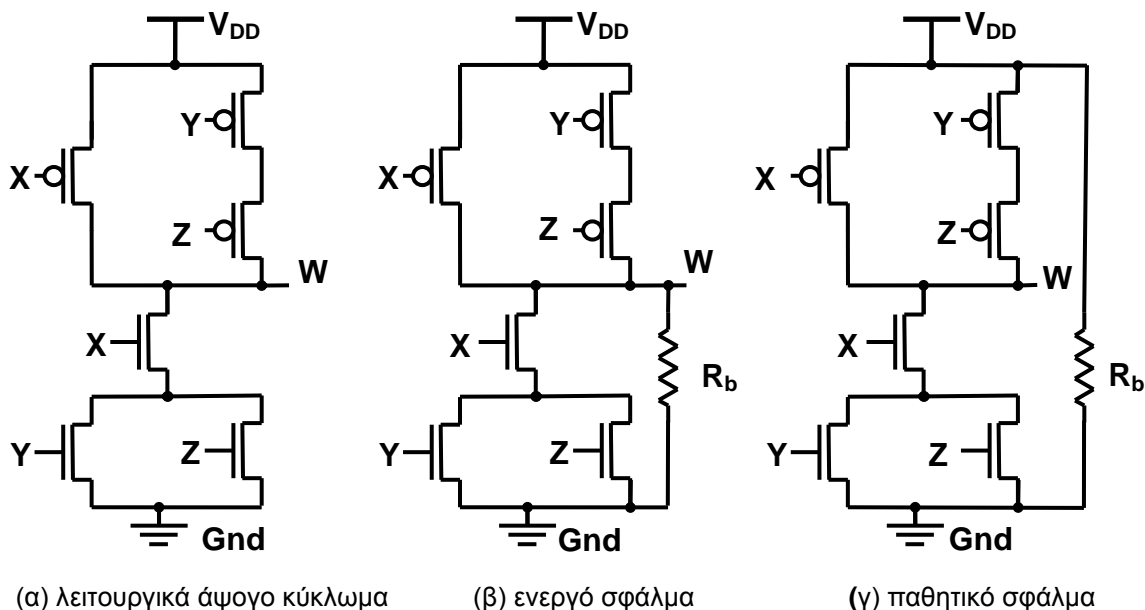
Με τις παραπάνω υποθέσεις υπολογίζεται η 6^η στήλη του πίνακα 6.4 που δίνει την τιμή του S_M στους 25°C. Στην έβδομη στήλη του ίδιου πίνακα φαίνεται η τιμή του S_M στους 85°C όπως υπολογίζεται στην εργασία [144]. Τα συμπεράσματα που προκύπτουν από τον πίνακα αυτό είναι τα εξής: α) ο διαχωρισμός του μέσου ρεύματος I_{DDQ} μεταξύ καλών και ελαττωματικών κυκλωμάτων μειώνεται ταχύτατα, β) ο διαχωρισμός είναι πολύ ευαίσθητος στην θερμοκρασία. Επομένως, είναι ξεκάθαρο ότι τα μέτρα που πρέπει να ληφθούν για να συνεχίσει η δοκιμή I_{DDQ} να εφαρμόζεται είναι τα εξής:

- Το κύκλωμα διαχωρίζεται σε μικρότερα τμήματα (partitioning), προκειμένου να ελαττωθεί ο αριθμός των τρανζίστορ.
- Η δοκιμή I_{DDQ} γίνεται σε χαμηλή θερμοκρασία.
- Χρησιμοποιούνται περισσότερα του ενός κατώφλια ρεύματος I_{DDQ} ή άλλες τεχνικές που θα δούμε στη συνέχεια.

6.5 Υπογραφή ρεύματος I_{DDQ} (Current Signature)

Θεωρούμε το κύκλωμα του σχήματος 6.8 (α) το οποίο είναι απαλλαγμένο από σφάλματα (fault free). Στο κύκλωμα αυτό θα θεωρήσουμε δύο σφάλματα, ένα ενεργό σφάλμα, σχήμα 6.8 (β), το οποίο ενεργοποιείται όταν η έξοδος (W) του κυκλώματος είναι στο λογικό “1” και ένα παθητικό σφάλμα, σχήμα 6.8 (γ), το οποίο είναι παρόν ανεξαρτήτως καταστάσεων του κυκλώματος. Για την δοκιμή I_{DDQ} του κυκλώματος αυτού θα θεωρήσουμε το σύνολο διανυσμάτων δοκιμής {T1, T2, T3, T4}. Τα διανύσματα αυτά ορίζονται στις στήλες 2,3 και 4 του πίνακα 6.5. Στις στήλες 5,6 και 7 του πίνακα φαίνονται τα ρεύματα I_{DDQ} για τα αντίστοιχα τρία κυκλώματα του σχήματος 6.8.

Το διάγραμμα των μετρήσεων των ρευμάτων αυτών για το λειτουργικά άψογο κύκλωμα φαίνεται στο σχήμα 6.9(i). Αν διατάξουμε τα διανύσματα δοκιμής έτσι ώστε τα ρεύματα να βρίσκονται σε αύξουσα σειρά τότε έχουμε το διάγραμμα του σχήματος 6.9 (ii). Αν λάβουμε υπόψιν και τις μεταβολές των παραμέτρων τότε σχηματίζεται μία ζώνη (Σχήμα 6.10), αλλά η μορφή του σχήματος παραμένει η ίδια. Το διάγραμμα αυτό ονομάζεται «υπογραφή» ρεύματος του κυκλώματος ως προς τα διανύσματα {T1, T2, T3, T4} και είναι κάποιο είδος «ιδιότητας» του λειτουργικά άψογου κυκλώματος. Το διάγραμμα αυτό χαρακτηρίζεται από τα διαφορετικά επίπεδα του ρεύματος I_{DDQ} και τον αριθμό των διανυσμάτων που βρίσκονται σε κάθε επίπεδο. Στο παράδειγμα που εξετάζεται εδώ έχουμε δύο διαφορετικά επίπεδα ρεύματος I_{DDQ} και από δύο διανύσματα σε κάθε επίπεδο.



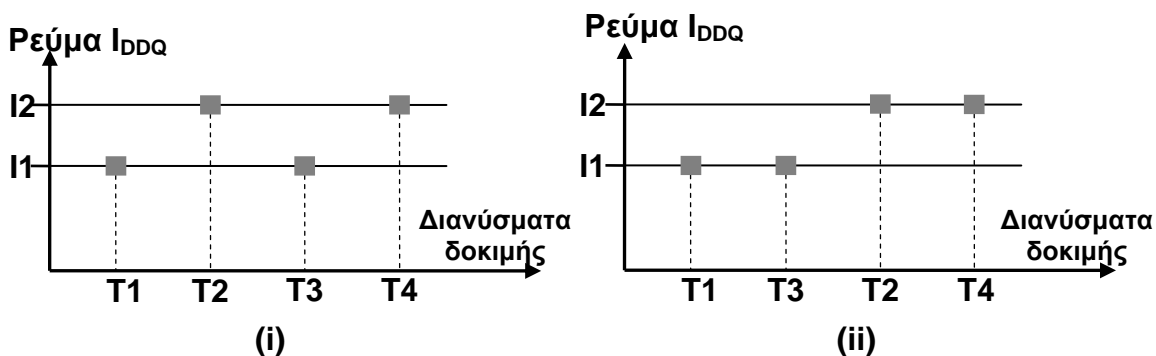
Σχήμα 6.8. Κύκλωμα με δύο ειδών σφάλματα γεφύρωσης που επηρεάζουν την υπογραφή ρεύματος.

Πίνακας 6.5. Διανύσματα δοκιμής του κυκλώματος του σχήματος 6.8

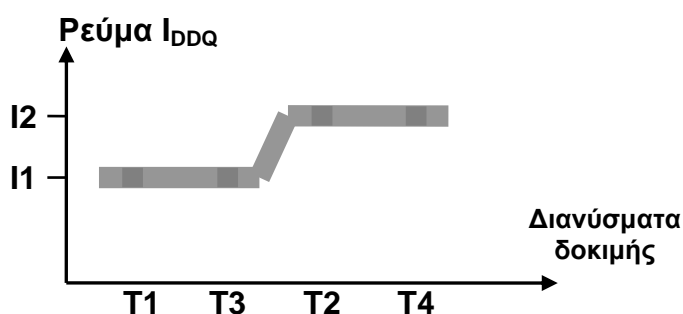
	X	Y	Z	I _{DDQ}		
				(α)	(β)	(γ)
T1	0	1	1	I1	I3	I5
T2	1	1	1	I2	I2	I5
T3	1	1	0	I1	I1	I5
T4	0	0	0	I2	I4	I5

Αν εφαρμοστεί το ίδιο σύνολο διανυσμάτων δοκιμής στο ελαττωματικό κύκλωμα του σχήματος 6.8 (β) με το ενεργό σφάλμα, το αντίστοιχο διάγραμμα ρεύματος φαίνεται στο σχήμα 6.11(i). Η υπογραφή αυτή είναι τελείως διαφορετική από την αναμενόμενη ορθή υπογραφή του σχήματος 6.10: η διαφορά αυτή μπορεί εύκολα να αναγνωριστεί και το κύκλωμα χαρακτηρίζεται ως εσφαλμένο. Το ενεργό σφάλμα χαρακτηρίζεται από το γεγονός ότι τα ρεύματα εξαρτώνται από τα διανύσματα εισόδου και γι' αυτό μεταβάλλουν το σχήμα της υπογραφής ρεύματος ορθής λειτουργίας όπως είναι στο σχήμα 6.11(i).

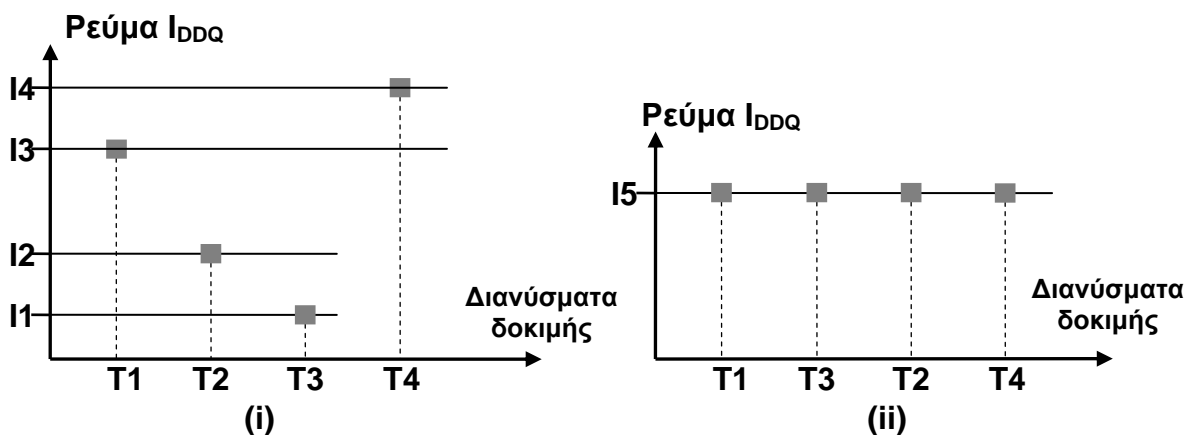
Διαφορετικά σφάλματα όπως αυτό του σχήματος 6.8 (γ) δίνουν πάντα το ίδιο μεγάλο ρεύμα διαρροής όπως φαίνεται στο σχήμα 6.11(ii). Τα σφάλματα αυτά καλούνται παθητικά σφάλματα και δίνουν μια υπογραφή η οποία δεν παρουσιάζει καμία μεταβολή. Ένα τέτοιο ελαττωματικό κύκλωμα μπορεί να ανιχνευτεί παρατηρώντας την μορφή της υπογραφής ρεύματος, αλλά δεν μπορεί να ανιχνευτεί με την δοκιμή I_{DDQ} απλού κατωφλίου. Επίσης πρέπει να τονιστεί ότι το παραπάνω ελαττωματικό κύκλωμα φαίνεται στον λογικό αναλυτή ότι λειτουργεί κανονικά και, αν δεν ενδιαφέρει η αυξημένη κατανάλωση του κυκλώματος, αυτό μπορεί να χρησιμοποιηθεί (δηλαδή, να διατεθεί στην αγορά) κανονικά, βελτιώνοντας την κατασκευαστική απόδοση.



Σχήμα 6.9. (i) Διάγραμμα ρευμάτων I_{DDQ} και υπογραφή ρεύματος του κυκλώματος του σχήματος 6.8(α) και (ii) το ίδιο διάγραμμα σε διάταξη αύξουσα.



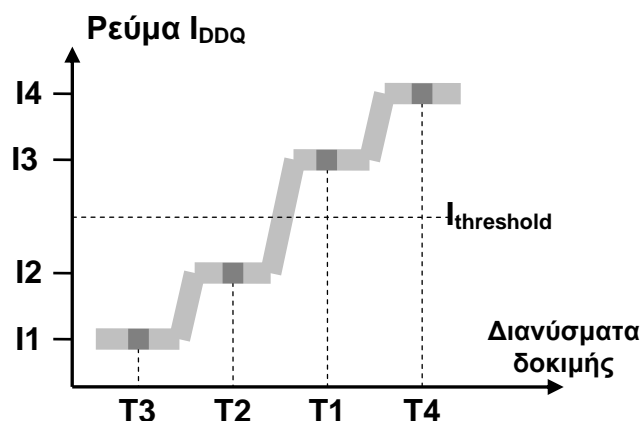
Σχήμα 6.10. Μορφή της υπογραφής ρεύματος I_{DDQ} .



Σχήμα 6.11. Υπογραφή ρεύματος I_{DDQ} για κύκλωμα με σφάλμα: (i) του σχήματος 6.8(β) με ενεργό σφάλμα και (ii) του σχήματος 6.8(γ) με παθητικό σφάλμα.

Ένα πρόβλημα που συναντάται στην δοκιμή I_{DDQ} απλού κατωφλίου, στην περίπτωση ενός λειτουργικά άψογου κυκλώματος με μεγάλο ρεύμα διαρροής, είναι η δυσκολία στην επιλογή ενός κατάλληλου ρεύματος κατωφλίου το οποίο θα διαχωρίζει τα καλά από τα ελαττωματικά κυκλώματα. Έστω $I_{threshold}$ η τιμή του ρεύματος κατωφλίου που θα εφαρμοστεί στην δοκιμή I_{DDQ} . Η τιμή αυτή φαίνεται στο σχήμα 6.12 και βρίσκεται πιο πάνω από τις τιμές των ρευμάτων I_1 και I_2 οι οποίες με τη σειρά τους βρέθηκαν με στατιστική ανάλυση. Τα διανύσματα T_1 και T_4 στην περίπτωση ενεργού σφάλματος, όπως έχει αναφερθεί και νωρίτερα, οδηγούν σε μεγάλα ρεύματα I_{DDQ} . Το ρεύμα που αντιστοιχεί στο διάνυσμα T_1 και οφείλεται σε ελάττωμα είναι I_3 και αντίστοιχα για το T_4

είναι I_4 . Αν τα ρεύματα I_1 και I_2 είναι σε κάποια καλά κυκλώματα πιο μεγάλα από το μέσο όρο τότε τα I_3 και I_4 μπορεί να βρίσκονται κάτω από το κατώφλι $I_{\text{threshold}}$.



Σχήμα 6.12. Υπογραφή ρεύματος του κυκλώματος με ενεργό σφάλμα σε αύξουσα διάταξη.

Είναι φανερό επομένως ότι σε «παρτίδες» ολοκληρωμένων κυκλωμάτων με μεγάλα ρεύματα, η δοκιμή I_{DDQ} απλού κατωφλίου δεν μπορεί να διαχωρίσει τα ελαττωματικά από τα «καλά» ολοκληρωμένα κυκλώματα χωρίς να επηρεάσει την κατασκευαστική απόδοση.

Η υπογραφή ρεύματος όμως μπορεί να χρησιμοποιηθεί και στην περίπτωση μεγάλων ρευμάτων, καθώς εκείνο που ξεχωρίζει τα ελαττωματικά από τα «καλά» κυκλώματα δεν είναι οι τιμές των ρευμάτων αλλά η μορφή της καμπύλης, που στην περίπτωση του ελαττωματικού κυκλώματος στο σχήμα 6.12 έχει τέσσερα επίπεδα ενώ στο σχήμα 6.10 έχει δύο επίπεδα.

6.6 Νέες τεχνικές δοκιμής I_{DDQ}

Έχουν προταθεί αρκετές τεχνικές οι οποίες προσπαθούν να κάνουν την δοκιμή I_{DDQ} εφικτή στις νανοτεχνολογίες. Οι τεχνικές αυτές μπορούν να χωριστούν σε δύο κύριες κατηγορίες: σε αυτές που έχουν ως στόχο να ελαττώσουν το ρεύμα διαρροής κατά τη διάρκεια της δοκιμής I_{DDQ} και σε αυτές που προσπαθούν να αυξήσουν την αναισθησία της δοκιμής I_{DDQ} στις διακυμάνσεις του ρεύματος διαρροής. Στις εργασίες [145], [146], [147] η τάση κατωφλίου αυξάνεται, εφαρμόζοντας κατά την διάρκεια της δοκιμής την κατάλληλη πόλωση στο υπόστρωμα, ώστε το ρεύμα διαρροής να μειωθεί.

Στις εργασίες [147], [148], [149], εξετάζεται η χρήση της τεχνικής διπλής τάσης κατωφλίου, εφαρμόζοντας την υψηλή τάση κατωφλίου στα τρανζίστορ που βρίσκονται στα μονοπάτια με μεγάλους χρόνους καθυστέρησης (αργά μονοπάτια - slow paths) του υπό έλεγχο κυκλώματος (CUT).

Στην εργασία [146] χρησιμοποιείται μια διαφορετική μέθοδος μείωσης του ρεύματος διαρροής, αυτή της εφαρμογής χαμηλότερης τάσης τροφοδοσίας κατά την διάρκεια ηρεμίας (quiescent state) του κυκλώματος. Στην ίδια εργασία επίσης, εφόσον το ρεύμα διαρροής αυξάνεται εκθετικά με τη θερμοκρασία ενώ το ρεύμα που οφείλεται σε σφάλματα μειώνεται με την αύξηση της θερμοκρασίας, γίνεται η εφαρμογή της δοκιμής I_{DDQ} σε χαμηλές θερμοκρασίες όπου το ρεύμα διαρροής είναι πολύ μικρότερο αναδεικνύοντας το ρεύμα λόγω παρουσίας σφαλμάτων. Η εφαρμογή της δοκιμής I_{DDQ} σε δύο διαφορετικές θερμοκρασίες έχει επίσης αναλυθεί και στην εργασία [150].

Επιπλέον, μια τεχνική πολύ-παραμετρικής δοκιμής I_{DDQ} παρουσιάστηκε στις εργασίες [146], [151] η οποία χρησιμοποιεί το ρεύμα I_{DDQ} και την μέγιστη συχνότητα λειτουργίας F_{max} του κυκλώματος για να διακρίνει τα κυκλώματα που κατασκευάστηκαν με fast process (μικρή τάση κατωφλίου V_{th} – αυξημένο ρεύμα διαρροής) από τα ελαττωματικά κυκλώματα και να πετύχει με τον τρόπο αυτό υψηλή κατασκευαστική απόδοση.

Στην εργασία [152], ως κριτήριο απόρριψης/αποδοχής χρησιμοποιείται ο λόγος του μεγίστου ρεύματος I_{DDQ} προς το ελάχιστο ρεύμα I_{DDQ} για ένα σύνολο διανυσμάτων δοκιμής (current ratios). Ο λόγος αυτός υπολογίζεται μετά από δοκιμές και μετρήσεις σε ένα σύνολο «καλών» (άψογα λειτουργικών) κυκλωμάτων. Στη συνέχεια, κατά την δοκιμή στο στάδιο της παραγωγής μετρείται η τιμή του ρεύματος I_{DDQ} για το δiάνυσμα εισόδου που δίνει το ελάχιστο ρεύμα I_{DDQ} και η τιμή αυτή χρησιμοποιείται ως παράγοντας για την πρόβλεψη του μεγίστου ρεύματος I_{DDQ} με βάση τον προκαθορισμένο λόγο που έχει βρεθεί από τις προηγούμενες μετρήσεις. Το προβλεπόμενο μέγιστο ρεύμα I_{DDQ} χρησιμοποιείται ως κατώφλι για το σύνολο των διανυσμάτων δοκιμής που θα εφαρμοστούν στο κύκλωμα.

Μια άλλη μέθοδος [153] χρησιμοποιεί ένα σύνολο από μετρήσεις I_{DDQ} για να προβλέψει το ρεύμα I_{DDQ} του κάθε διανύσματος δοκιμής. Στη συνέχεια, η απόλυτη τιμή της διαφοράς μεταξύ της μετρούμενης και της προβλεπόμενης τιμής του ρεύματος I_{DDQ} χρησιμοποιείται ως κριτήριο για την κατάταξη του κυκλώματος ως ελαττωματικού ή «καλού».

6.6.1 Η μέθοδος ΔI_{DDQ} (Delta I_{DDQ})

Μια άλλη τεχνική η οποία προτάθηκε από τον Thibeault [154], και ονομάστηκε τεχνική δοκιμής ΔI_{DDQ} , κατάφερε να αυξήσει την ποιότητα της τεχνικής I_{DDQ} . Σύμφωνα με την τεχνική αυτή λαμβάνονται μετρήσεις των διαφορών (delta - Δ) των ρευμάτων I_{DDQ} μεταξύ διαδοχικών διανυσμάτων δοκιμής ενός κυκλώματος [155], [156], [157], [158], [159]. Η τιμή του ΔI_{DDQ} στο i -στό δiάνυσμα δοκιμής δίνεται από την σχέση:

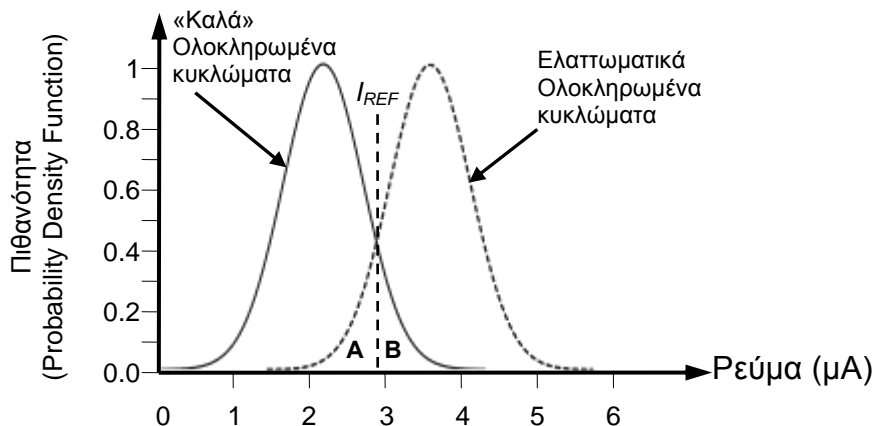
$$\Delta I_{DDQ}(i) = I_{DDQ}(i) - I_{DDQ}(i-1) \quad (6.4)$$

Σε ένα ολοκληρωμένο κύκλωμα που δεν έχει ελαττώματα η μέση τιμή των delta – Δ αναμένεται να είναι μια μικρή μη μηδενική τιμή, αλλά για ένα ελαττωματικό ολοκληρωμένο κύκλωμα η τιμή αυτή θα πρέπει να είναι πολύ μεγαλύτερη, αυξάνοντας την διακριτική ικανότητα της τεχνικής I_{DDQ} και επιτρέποντας τον διαχωρισμό μεταξύ ελαττωματικών και «καλών» ολοκληρωμένων κυκλωμάτων [160].

Το ιστόγραμμα της απλής μεθόδου I_{DDQ} επηρεάζεται από τις διακυμάνσεις στο ρεύμα τροφοδοσίας από ολοκληρωμένο σε ολοκληρωμένο (chip-to-chip) και από δισκίο σε δισκίο (wafer-to-wafer), οι οποίες μερικές φορές είναι και μεγαλύτερες από τις διακυμάνσεις στις μετρήσεις από δiάνυσμα δοκιμής σε δiάνυσμα δοκιμής. Η μέθοδος ΔI_{DDQ} εξαλείφει αυτές τις διακυμάνσεις μεταξύ των ολοκληρωμένων κυκλωμάτων.

Αν ένα «καλό» ολοκληρωμένο κύκλωμα καταδειχθεί στην δοκιμή ως «ελαττωματικό», τότε ως συνέπεια θα έχουμε απώλεια της απόδοσης (yield loss). Αν ένα ελαττωματικό ολοκληρωμένο δεν ανιχνευθεί στην δοκιμή και δηλωθεί ως «καλό», αυτό θα βρεθεί σε κάποιο σύστημα ή σε κάποιο προϊόν και αναφέρεται ως «διαφυγή από την δοκιμή» (test escape). Στην εργασία [155] ο Thibeault σύγκρινε τις πιθανότητες P για λανθασμένη απόφαση στην δοκιμή (false test decision) για την δοκιμή I_{DDQ} σύμφωνα με το σχήμα 6.13. Στο σχήμα αυτό η κατανομή ρευμάτων με την συνεχόμενη γραμμή αφορά τα

«καλά» ολοκληρωμένα κυκλώματα και η διακεκομμένη γραμμή αναφέρεται στα ελαττωματικά. Η περιοχή A αναπαριστά τα ελαττωματικά ολοκληρωμένα κυκλώματα που διέφυγαν από την δοκιμή και η περιοχή B αναπαριστά τις απώλειες της απόδοσης. Η κατακόρυφη γραμμή ανάμεσα στις περιοχές A και B είναι το κατώφλι απόφασης I_{REF} .



Σχήμα 6.13. Γενική κατανομή ρεύματος τροφοδοσίας για "καλά" και ελαττωματικά κυκλώματα.

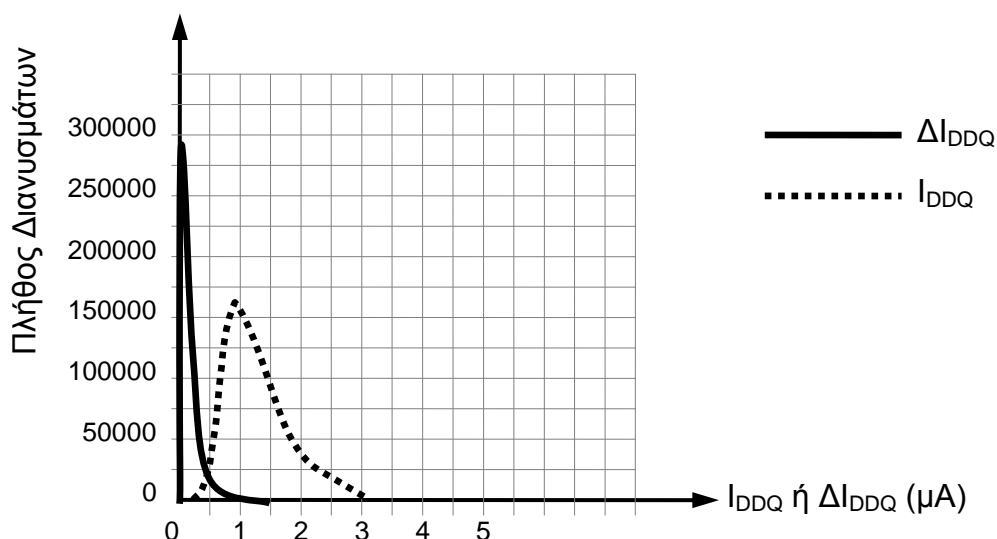
Ο Thibeault συνέκρινε θεωρητικά τη μέθοδο I_{DDQ} και την ΔI_{DDQ} στην εργασία [161], με βάση κατανομές ρεύματος αντίστοιχες με αυτές του σχήματος 6.13 και τα συμπεράσματα καθώς και οι πιθανότητες P για λανθασμένη απόφαση στον έλεγχο συνοψίζονται στον πίνακα 6.6.

Πίνακας 6.6. Πιθανότητες για λανθασμένη απόφαση στον έλεγχο στις μεθόδους I_{DDQ} και ΔI_{DDQ} [161]

Παράμετρος κατανομής	I_{DDQ}		ΔI_{DDQ}	
	Σύμβολο	Τιμή	Σύμβολο	Τιμή
P	P_{iddq}	0.032	P_{delta}	$4.4 \cdot 10^{-5}$
μ_g (μέση τιμή «καλών» ολοκληρωμένων κυκλωμάτων)	μ_{gi}	0.696	μ_{gd}	≈ 0
Δ_{def} (η κορυφή του $ \Delta I_{DDQ} $ εξαιτίας ελαττώματος)	Δ_{def}	0.4	Δ_{def}	0.4
μ_b (μέση τιμή ελαττωματικών ολοκληρωμένων κυκλωμάτων)	$\mu_{gi} + \Delta_{def}$	1.096	$\mu_{gd} + \Delta_{def}$	0.4
σ^2 (διακύμανση και για τις δύο μεθόδους)	σ_i^2	0.039	σ_d^2	0.004
Λόγος πιθανοτήτων για διάφορες τιμές του Δ_{def}				
	Δ_{def}	P_{iddq} / P_{delta}	πιθανότητες P για λανθασμένη απόφαση στον έλεγχο	
	0.3	81		
	0.4	721		
	0.5	10000		

Το μεγάλο πλεονέκτημα της μεθόδου ΔI_{DDQ} είναι το ότι μπορεί να εξαλείψει μια σταθερή (ανεξάρτητη από τα διανύσματα δοκιμής) ολίσθηση του ρεύματος τροφοδοσίας εξαιτίας των διακυμάνσεων των κατασκευαστικών παραμέτρων, μέσω της διαφοράς στον υπολογισμό των τιμών.

Στο σχήμα 6.14, όπου απεικονίζονται οι κατανομές των ρευμάτων των δύο μεθόδων, γίνεται προφανής ο λόγος για τον οποίο η μέθοδος ΔI_{DDQ} είναι καλύτερη από την απλή μέθοδο I_{DDQ} , ενώ επίσης φαίνεται η περαιτέρω αύξηση της χρησιμότητας της τεχνικής αυτής ειδικά στις νανοτεχνολογίες. Το ιστόγραμμα της ΔI_{DDQ} για τα ρεύματα των «καλών» ολοκληρωμένων κυκλωμάτων είναι στενότερο και μετατοπισμένο κοντά στον κατακόρυφο άξονα -y σε σχέση με το ιστόγραμμα της I_{DDQ} .



Σχήμα 6.14. Κατανομές ρευμάτων για τις μεθόδους ελέγχου I_{DDQ} και ΔI_{DDQ} .

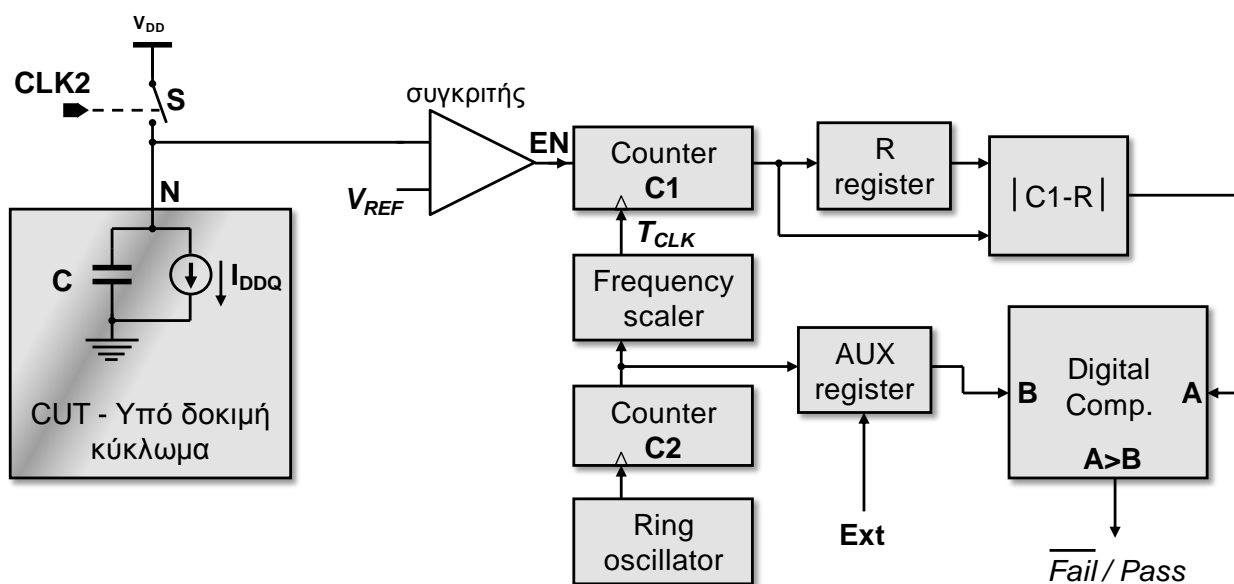
Εκτός από την τεχνική ΔI_{DDQ} η οποία βελτίωσε σημαντικά την ικανότητα ανίχνευσης μικρών μεταβολών του ρεύματος τροφοδοσίας εξαιτίας των σφαλμάτων, έχουν προταθεί και μέθοδοι οι οποίες βασίζονται σε στατιστική ανάλυση (statistical cluster analysis) [162], σε μείωση της διακύμανσης (variance reduction) του ρεύματος διαρροής εξετάζοντας κυκλώματα μέσα σε μικρή περιοχή του δισκίου (smaller wafer regions) [163], καθώς επίσης και μέθοδοι που βασίζονται σε διαχωρισμό του δισκίου σε περιοχές και ανάλυση των μετρήσεων κάθε περιοχής (wafer-level spatial analysis) [164].

Επίσης πρόσφατα έχει προταθεί και η μέθοδος του λόγου ρεύματος «περιοχής» (Neighbor Current Ratio - NCR) [165], [166] η οποία συνδυάζει τον λόγο ρευμάτων με την συσχέτιση των τιμών του ρεύματος I_{DDQ} στις διάφορες περιοχές του δισκίου βελτιώνοντας την απόδοση της τεχνικής I_{DDQ} . Επιπρόσθετα, λόγω της εξάρτησης του ρεύματος διαρροής από τα διανύσματα δοκιμής που εφαρμόζονται στις εισόδους του υπό δοκιμή κυκλώματος (CUT) [167], έχει προταθεί μια μέθοδος με την οποία επιλέγονται ως κατάλληλα διανύσματα δοκιμής από το σύνολο των διανυσμάτων δοκιμής I_{DDQ} , εκείνα που παρέχουν μικρά ρεύματα διαρροής [168].

Μια (διαφορετική) μέθοδος I_{DDQ} προτείνεται στην [169], αυτή της γραφικής υπογραφής του ρεύματος I_{DDQ} (graphical I_{DDQ} current signature) κατά την οποία οι μετρήσεις του ρεύματος I_{DDQ} σχεδιάζονται ως κυματομορφή και ο διαχωρισμός των ελαττωματικών

Η γη του υπό δοκιμή κυκλώματος συνδέεται στην δεξιά είσοδο (IN1) του BICS η οποία αναφέρεται στο σχήμα 6.15 ως I_{IN} . Στην αριστερή είσοδο (IN2) συνδέεται το ρεύμα αναφοράς (I_{REF}). Το ρεύμα αναφοράς προέρχεται από διαφορετικό τμήμα του υπό δοκιμή κυκλώματος με την ίδια όμως ακριβώς χωρητικότητα με το τμήμα που συνδέεται στην είσοδο IN1. Καθώς ο αισθητήρας σήματος είναι εξαιρετικά ευαίσθητος στις χωρητικότητες που συνδέονται στις εισόδους του, οποιαδήποτε διαφορά στις διαστάσεις των δύο τμημάτων θα είχε ως πιθανό αποτέλεσμα την εσφαλμένη απόφαση στις εξόδους καθώς η διαφορά των χωρητικότητων θα φόρτιζε με διαφορετικό ρυθμό τις εισόδους του αισθητήρα σήματος. Η δοκιμή του κάθε τμήματος γίνεται σε διαφορετικές χρονικές περιόδους με την βοήθεια των σημάτων REF1 και REF2. Έτσι, όταν δοκιμάζεται το δεξί τμήμα στην είσοδο IN1, τροφοδοτείται εξωτερικά ρεύμα αναφοράς με τη βοήθεια του σήματος REF2 στον αριστερό κλάδο του αισθητήρα σήματος και στην επόμενη περίοδο που δοκιμάζεται το τμήμα που τροφοδοτεί την είσοδο IN2, χρησιμοποιείται στον δεξί κλάδο εξωτερικό ρεύμα αναφοράς, με την βοήθεια του REF1. Τα NPN διπολικά τρανζίστορ T1 και T2 καθώς και οι δίοδοι D1 και D2 χρησιμοποιούνται για να ελαχιστοποιήσουν την πτώση τάσης κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος. Χρησιμοποιούνται ρολόγια με αντίθετη φάση για την προφόρτιση (CLK1) και την ανίχνευση (CLK2). Οι επιδόσεις αυτού του BICS εξαρτώνται από την χωρητικότητα που «βλέπουν» οι εισοδοί του και για συνολική χωρητικότητα 2.5pF η μέγιστη συχνότητα λειτουργίας του (στην τεχνολογία 2,0μm n-well MOSIS που σχεδιάστηκε) ήταν 40MHz, ενώ για χωρητικότητα 50pF η μέγιστη συχνότητα λειτουργίας ήταν 37MHz.

Ακολούθως, περιγράφουμε έναν νεότερο BICS, ο οποίος χρησιμοποιεί μια διαφορετική τεχνική [175] για την μέτρηση του ρεύματος I_{DDQ} . Το υπό δοκιμή κύκλωμα μοντελοποιείται με την χωρητικότητα C και την πηγή ρεύματος I_{DDQ} όπως φαίνεται στο σχήμα 6.16. Σε μια χρονική στιγμή το κύκλωμα διακόπτεται από την τροφοδοσία V_{DD} με τη βοήθεια του CLK2 και του διακόπτη S ενώ η τάση του κόμβου N παρακολουθείται από τον συγκριτή. Η έξοδος του συγκριτή οδηγεί τον μετρητή C1 ο οποίος μετρά το πλήθος των παλμών διάρκειας T_{CLK} μέχρι η τάση του κόμβου N να φτάσει την τάση αναφοράς V_{REF} . Στη συνέχεια, χρησιμοποιείται η μέθοδος ΔI_{DDQ} για να καθορίσει αν το ολοκληρωμένο κύκλωμα είναι ελαττωματικό ή περνά την δοκιμή.



Σχήμα 6.16. Ο BICS για την δοκιμή I_{DDQ} της [175].

Όταν ο διακόπτης S κλείσει, ο ρυθμός εκφόρτισης $\frac{\Delta V}{\Delta t}$ του κόμβου N θα ισούται με $\frac{I_{DDQ}}{C}$ και επομένως, ο αριθμός m_1 των περιόδων T_{CLK} οι οποίοι μετρούνται από τον C1 μέχρις ότου η τάση του κόμβου N φτάσει στην τάση V_{REF} θα είναι:

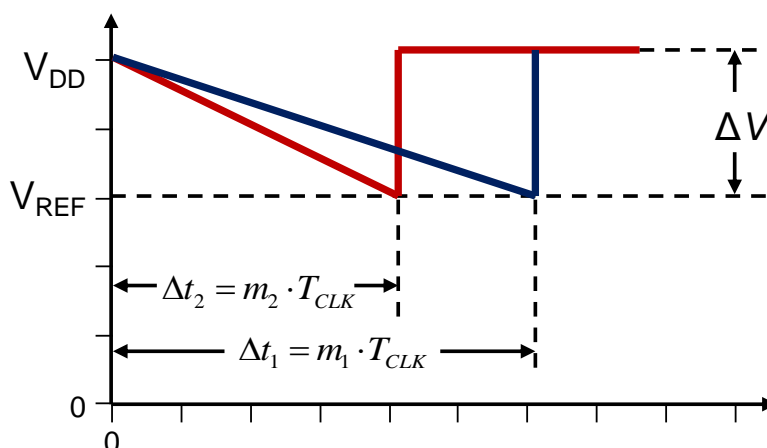
$$m_1 = \frac{C}{I_{DDQ}} \cdot \Delta V \cdot f_{CLK}$$

Στην περίπτωση που το ολοκληρωμένο κύκλωμα δεν περιέχει ελαττώμα ο ρυθμός εκφόρτισης θα είναι μικρότερος σε σύγκριση με τον ρυθμό εκφόρτισης παρουσία ελαττώματος. Αν λόγω παρουσίας ελαττώματος, το κύκλωμα εκφορτίζεται με μεγαλύτερο ρεύμα, έστω $(I_{DDQ})'$, τότε ο αριθμός m_2 των περιόδων T_{CLK} θα δίνεται από την σχέση:

$$m_2 = \frac{C}{(I_{DDQ})'} \cdot \Delta V \cdot f_{CLK}$$

Τα δύο χρονικά διαστήματα που αντιστοιχούν στην εκφόρτιση παρουσία σφάλματος και στην εκφόρτιση απουσία σφάλματος φαίνονται στο σχήμα 6.17.

Ο συγκεκριμένος BICS έχει το πλεονέκτημα να προσαρμόζεται στις μεταβολές των κατασκευαστικών παραμέτρων στο κάθε ολοκληρωμένο κύκλωμα και έτσι είναι αυτορυθμιζόμενος. Στην τεχνολογία 0,18μm που σχεδιάστηκε, το ελάχιστο ρεύμα ελαττώματος που μπορεί να μετρήσει ισούται με 1μΑ, ενώ αν το ρεύμα I_{DDQ} είναι μεγαλύτερο από 100μΑ τότε το ελάχιστο ρεύμα ελαττώματος που μπορεί να μετρήσει σε αυτή την περίπτωση είναι ίσο με το 1% του ρεύματος I_{DDQ} .



Σχήμα 6.17. Η λειτουργία του BICS κυκλώματος στο σχήμα 6.16.

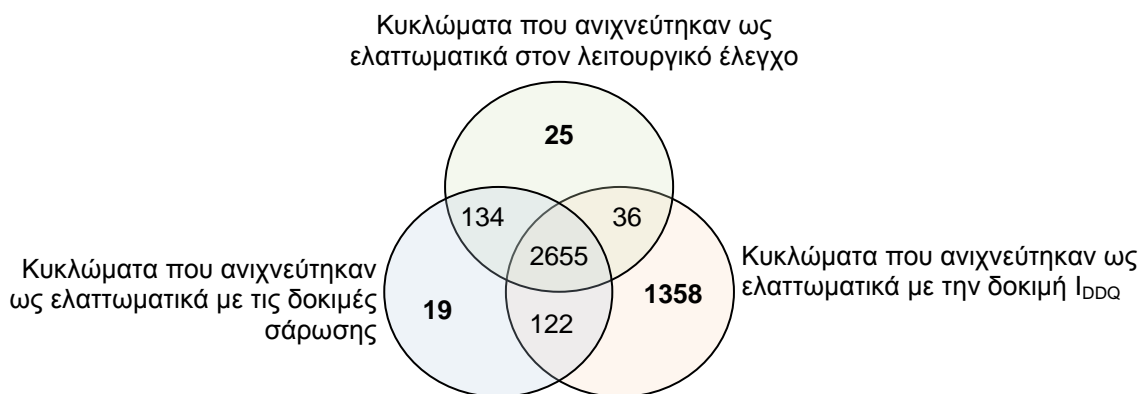
Σε πρόσφατες εργασίες όπως για παράδειγμα στην εργασία [177], χρησιμοποιείται BICS στην γραμμή τροφοδοσίας V_{DD} όπου με τεχνικές καθρεπτισμού μετατρέπεται το ρεύμα I_{DDQ} σε τάση. Το αντίστοιχο ολοκληρωμένο κύκλωμα επίδειξης της μεθόδου, κατασκευασμένο σε τεχνολογία ES2 0.6μm CMOS, απαιτεί την χρήση εξωτερικής τάσης αναφοράς για να αντισταθμίσει τις μεταβολές στις κατασκευαστικές παραμέτρους σε κάθε ολοκληρωμένο κύκλωμα και μπορεί να ανιχνεύσει ρεύμα ελαττώματος ισοδύναμο με ωμική αντίσταση 355kΩ. Στην εργασία [178] παρουσιάζεται ένα BICS κύκλωμα κατασκευασμένο σε τεχνολογία UMC 90nm CMOS, το οποίο είναι σε θέση να μετρήσει ρεύμα I_{DDQ} στην περιοχή 50nA-1mA με ακρίβεια (ρεύμα σφάλματος) μικρότερη του 5%, αλλά και αυτός απαιτεί εξωτερική τάση αναφοράς για την αντιστάθμιση των μεταβολών στις κατασκευαστικές παραμέτρους. Τέλος, στην εργασία [179] παρουσιάζεται ένας ταχύτατος BICS κατασκευασμένος σε τεχνολογία IBM 65nm CMOS, ο οποίος είναι σε θέση να μετρήσει ρεύμα I_{DDQ} στην περιοχή 50μA-100μA αλλά το ελάχιστο ρεύμα σφάλματος που μπορεί να ανιχνεύσει είναι 1μA. Στο επόμενο κεφάλαιο θα παρουσιαστεί μια νέα τεχνική δοκιμής I_{DDQ} η οποία έχει τη δυνατότητα να μετρήσει ρεύμα ελαττώματος της τάξης των δεκάδων nA.

6.8 Αξιολόγηση της τεχνικής I_{DDQ}

Για να αξιολογήσουμε την σημασία της δοκιμής I_{DDQ} θα αναφέρουμε ως παράδειγμα ένα ολοκληρωμένο κύκλωμα της HP [180] με 8577 πύλες και 436 flip-flops. Η διαδικασία της δοκιμής περιελάμβανε τις τυπικές τεχνικές που χρησιμοποιούνται στα ψηφιακά κυκλώματα δηλαδή τον λειτουργικό έλεγχο και τεχνικές δοκιμών σάρωσης. Στο κύκλωμα, κατά την διαδικασία του λειτουργικού ελέγχου, εφαρμόστηκαν 59000 διανύσματα (functional vectors) με ταχύτητες 20MHz και 32MHz, επίσης εφαρμόστηκαν 357 δοκιμές σάρωσης και τέλος εφαρμόστηκαν και 141 δοκιμές I_{DDQ} με ρεύμα κατωφλίου 30μA. Στις ανωτέρω δοκιμασίες χρησιμοποιήθηκαν συνολικά 26415 ολοκληρωμένα κυκλώματα. Η συντριπτική πλειοψηφία των κυκλωμάτων είχαν ρεύματα ηρεμίας της τάξης των 100-200nA, ενώ τα ελαττωματικά κυκλώματα είχαν ρεύματα ηρεμίας μεγαλύτερα από 1mA. Η κάλυψη σφαλμάτων για απλά σφάλματα μόνιμης τιμής πέτυχε ένα ποσοστό 76,4% μόνο με τον λειτουργικό έλεγχο, ενώ με τον συνδυασμό όλων των δοκιμασιών το ποσοστό έγινε 99,3%. Τα αποτελέσματα των τριών τεχνικών απεικονίζονται στον πίνακα 6.7 και για παράδειγμα το 122 που φαίνεται στην 4^η στήλη του πίνακα φανερώνει ότι αυτό το πλήθος ολοκληρωμένων κυκλωμάτων πέρασε τον λειτουργικό έλεγχο αλλά ανιχνεύτηκε ως ελαττωματικό και από τις δοκιμές I_{DDQ} και από τις δοκιμές σάρωσης. Η ίδια πληροφορία απεικονίζεται πιο παραστατικά με το διάγραμμα Venn στο σχήμα 6.18 χωρίς κλίμακα.

Στον πίνακα 6.8 ο οποίος έχει αντίστοιχη δομή με τον πίνακα 6.7, φαίνονται οι ρυθμοί απόρριψης (Reject Rate) [180] όταν χρησιμοποιούνται οι τρεις μέθοδοι δοκιμής μόνες τους ή σε συνδυασμό μεταξύ τους. Χωρίς καμία μέθοδο διάγνωσης ο ρυθμός απόρριψης θα είναι 16,46%, ενώ με τον συνδυασμό της δοκιμής I_{DDQ} και του λειτουργικού ελέγχου, ο ρυθμός απόρριψης θα είναι 0,09%. Ο πίνακας 6.8 δείχνει ότι η πιο αποτελεσματική από τις τρεις μεθόδους δοκιμής είναι η δοκιμή I_{DDQ} η οποία από μόνη της δίνει ένα ρυθμό απόρριψης μόνο 0,8% και η επόμενη σε αποτελεσματικότητα είναι η μέθοδος με δοκιμές σάρωσης με 6,04%.

Το πιο ενδιαφέρον συμπέρασμα που προκύπτει από τον πίνακα 6.8 είναι το γεγονός ότι με τον συνδυασμό και των τριών μεθόδων δοκιμής εξασφαλίζεται η ιδανική αξιοπιστία με ρυθμό απόρριψης 0% ή με άλλα λόγια ότι ανιχνεύονται και τα 2655 ελαττωματικά ολοκληρωμένα κυκλώματα.



Σχήμα 6.18. Αριθμός των ελαττωματικών ολοκληρωμένων κυκλωμάτων της HP που ανιχνεύτηκαν με διάφορες μεθόδους διάγνωσης ορθής λειτουργίας [180].

Πίνακας 6.7. Κατανομή των ολοκληρωμένων κυκλωμάτων σύμφωνα με τα αποτελέσματα του λειτουργικού ελέγχου, του ελέγχου σάρωσης, και του ελέγχου I_{DDQ} .

	λειτουργικός έλεγχος και δοκιμές σάρωσης				
	κυκλώματα που πέρασαν και τις δοκιμές σάρωσης και τον λειτουργικό έλεγχο	κυκλώματα που ανιχνεύτηκαν ως ελαττωματικά μόνο με τον λειτουργικό έλεγχο	κυκλώματα που ανιχνεύτηκαν ως ελαττωματικά μόνο με τις δοκιμές σάρωσης	κυκλώματα που ανιχνεύτηκαν ως ελαττωματικά και με τις δοκιμές σάρωσης και με τον λειτουργικό έλεγχο	σύνολο
κυκλώματα που πέρασαν τις δοκιμές I_{DDQ}	22066	25	19	134	22244
κυκλώματα που δεν πέρασαν τις δοκιμές I_{DDQ}	1358	36	122	2655	4171
σύνολο	23424	61	141	2789	26415

Πίνακας 6.8. Ο ρυθμός απόρριψης (Reject Rate) για τους διάφορους συνδυασμούς των μεθόδων διάγνωσης ορθής λειτουργίας στο ολοκληρωμένο κύκλωμα της HP [180].

	Δοκιμές σάρωσης και λειτουργικός έλεγχος			
	Καμία από τις δύο μεθόδους δοκιμής	Μόνο με λειτουργικό έλεγχο	Μόνο με δοκιμές σάρωσης	Και οι δύο μέθοδοι δοκιμής
Χωρίς δοκιμή I_{DDQ}	16,46%	6,36%	6,04%	5,80%
Με δοκιμή I_{DDQ}	0,80%	0,09%	0,11%	0,00%

6.9 Συμπεράσματα

Η δοκιμή I_{DDQ} αποτελεί ένα πολύ σημαντικό εργαλείο για την βελτίωση της αξιοπιστίας των CMOS ολοκληρωμένων κυκλωμάτων διότι ανιχνεύει πολλά είδη σφαλμάτων με μικρό σχετικά κόστος σε χρόνο και εξοπλισμό. Παρόλο που έχει προβλεφθεί πολλές φορές το τέλος της χρησιμότητάς της, εξακολουθεί εντούτοις, με συνεχείς βελτιώσεις, να χρησιμοποιείται ακόμη στη δοκιμή των ολοκληρωμένων κυκλωμάτων.

7. ΤΕΧΝΙΚΗ ΔΟΚΙΜΗΣ I_{DDQ} ΜΕ ΑΝΤΙΜΕΤΩΠΙΣΗ ΤΩΝ ΔΙΑΚΥΜΑΝΣΕΩΝ ΤΟΥ ΡΕΥΜΑΤΟΣ ΔΙΑΡΡΟΗΣ ΚΑΙ ΚΥΚΛΩΜΑ ΕΝΣΩΜΑΤΩΜΕΝΗΣ ΕΦΑΡΜΟΓΗΣ ΤΗΣ

7.1 Εισαγωγή

Η δοκιμή ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων CMOS με την τεχνική I_{DDQ} έχει χρησιμοποιηθεί ευρύτατα για την ανίχνευση σφαλμάτων. Στο κεφάλαιο αυτό θα προτείνουμε μια τεχνική η οποία επεκτείνει την βιωσιμότητα της δοκιμής I_{DDQ} στις νανοτεχνολογίες και θα δώσουμε πειραματικά αποτελέσματα, βάσει κατασκευασμένου κυκλώματος που υλοποιήσαμε με την τεχνική αυτή. Η βασική ιδέα της νέας τεχνικής είναι η αντιστάθμιση, κατά την διάρκεια της δοκιμής, του εγγενούς ρεύματος διαρροής από τον κόμβο ανίχνευσης του υπό δοκιμή κυκλώματος. Μετά την αντιστάθμιση του ρεύματος διαρροής μπορούν να χρησιμοποιηθούν μια σειρά από ευρέως γνωστές στη βιβλιογραφία τεχνικές ανίχνευσης ρεύματος για τη δοκιμή I_{DDQ} .

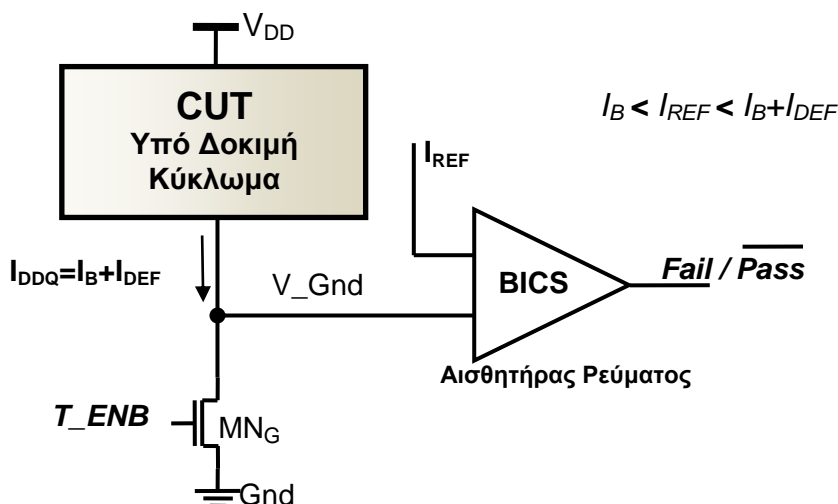
Η τεχνική I_{DDQ} βασίζεται στην υπόθεση ότι το εγγενές ρεύμα ηρεμίας (ρεύμα διαρροής, background current, I_B), ενός απαλλαγμένου από σφάλματα ολοκληρωμένου κυκλώματος είναι μικρό σε σχέση με το ρεύμα ηρεμίας παρουσία σφάλματος. Αν, επομένως, τεθεί ως κατώφλι η μέγιστη από τις δυνατές τιμές των ρευμάτων διαρροής ενός υπό δοκιμή κυκλώματος (Circuit Under Test - CUT), τότε μπορούμε να διακρίνουμε τα ελαττωματικά από τα λειτουργικά άψογα κυκλώματα συγκρίνοντας το I_{DDQ} ρεύμα τους με το ρεύμα κατωφλίου. Στην περίπτωση που το I_{DDQ} ρεύμα βρεθεί να έχει μεγαλύτερη τιμή από το ρεύμα κατωφλίου, τότε το κύκλωμα χαρακτηρίζεται ως ελαττωματικό (defective). Στις σημερινές νανοτεχνολογίες όμως η αποτελεσματικότητα αυτής της τεχνικής I_{DDQ} απειλείται από τις μεγάλες διακυμάνσεις του ρεύματος ηρεμίας εξαιτίας των αντίστοιχων διακυμάνσεων στις κατασκευαστικές παραμέτρους των νανοτεχνολογιών. Υπό αυτές τις συνθήκες, η εφαρμογή της δοκιμής I_{DDQ} χρησιμοποιώντας ένα απλό κατώφλι για τον διαχωρισμό των ελαττωματικών από τα λειτουργικά άψογα κυκλώματα θα είχε ως αποτέλεσμα είτε τη μειωμένη κατασκευαστική απόδοση (yield loss) με ένα χαμηλό ρεύμα κατωφλίου είτε τη μειωμένη κάλυψη σφαλμάτων (reduced fault coverage) με ένα υψηλό ρεύμα κατωφλίου καθιστώντας την τεχνική πρακτικά μη εφαρμόσιμη. Στην πρώτη περίπτωση θα απορρίπτονται «καλά» κυκλώματα ενώ στην δεύτερη ελαττωματικά κυκλώματα θα εκλαμβάνονται ως «καλά».

Επιπρόσθετα, καθώς η τεχνολογία κλιμακώνεται, χρησιμοποιείται ένας συνεχώς μεγαλύτερος αριθμός τρανζίστορ ανά ολοκληρωμένο κύκλωμα, με πολύ μικρές διαστάσεις καναλιού (L) και μικρή τάση κατωφλίου (V_{th}), με αποτέλεσμα να υπάρχει μεγάλη αύξηση στο ρεύμα ηρεμίας (απουσία σφάλματος) [145], [181], [144], [150], [182], [183], [140], [146], [147], [184], [185], [186], ενώ ταυτόχρονα μειώνεται το ρεύμα που οφείλεται σε ελαττώματα ή κατασκευαστικές ατέλειες (defective currents) και που απαιτείται να ανιχνευθεί [183]. Μια εκτίμηση είναι ότι το ρεύμα διαρροής (leakage current) των τρανζίστορ αυξάνεται κατά ένα παράγοντα 7,5 σε κάθε νέα τεχνολογία [140].

Η τεχνική δοκιμής I_{DDQ} η οποία προτείνεται σε αυτή την εργασία έχει ως στόχο τον έλεγχο του ρεύματος διαρροής του υπό δοκιμή κυκλώματος στον κόμβο μέτρησης του ρεύματος I_{DDQ} κατά τη διάρκεια εφαρμογής της δοκιμής λαμβάνοντας υπόψιν τις διακυμάνσεις του ρεύματος. Επίσης, προτείνονται μια κατάλληλη αρχιτεκτονική δοκιμής I_{DDQ} καθώς και το αντίστοιχο ενσωματωμένο κύκλωμα ανίχνευσης ρεύματος για να υποστηρίξουν την προτεινόμενη τεχνική. Μια πρώτη μελέτη της τεχνικής αυτής έγινε στην εργασία [187], ενώ τα πρώτα πειραματικά αποτελέσματα παρουσιάστηκαν στην εργασία [188]. Επιπλέον, θα παρουσιαστεί ένα μοντέλο για τη θεωρητική μελέτη της τεχνικής το οποίο αποδείχθηκε ότι συμφωνεί με τα πειραματικά αποτελέσματα.

7.2 Το πρόβλημα δοκιμής I_{DDQ} στις νανοτεχνολογίες

Όπως έχει αναφερθεί στο προηγούμενο κεφάλαιο, το ρεύμα ηρεμίας I_{DDQ} ενός κυκλώματος δίνεται από τη σχέση $I_{DDQ}=I_B+I_{DEF}$, όπου I_B είναι το συνολικό ρεύμα διαρροής – υποβάθρου (background current) και I_{DEF} είναι το ρεύμα σφάλματος. Στο σχήμα 7.1 παρουσιάζεται μια τυπική διάταξη δοκιμής I_{DDQ} , η οποία βασίζεται στη χρήση είτε εξωτερικού αισθητήρα ρεύματος είτε ενσωματωμένου αισθητήρα ρεύματος (Built-In, Current Sensor – BICS). Το υπό δοκιμή κύκλωμα απομονώνεται από την γη (Gnd) με τη βοήθεια του nMOS τρανζίστορ (MN_G) ενώ ο BICS συνδέεται στην εικονική γη (virtual ground – V_Gnd) του υπό δοκιμή κυκλώματος.



Σχήμα 7.1. Ένα τυπικό σχήμα δοκιμής I_{DDQ} το οποίο βασίζεται στη χρήση ενός BICS.

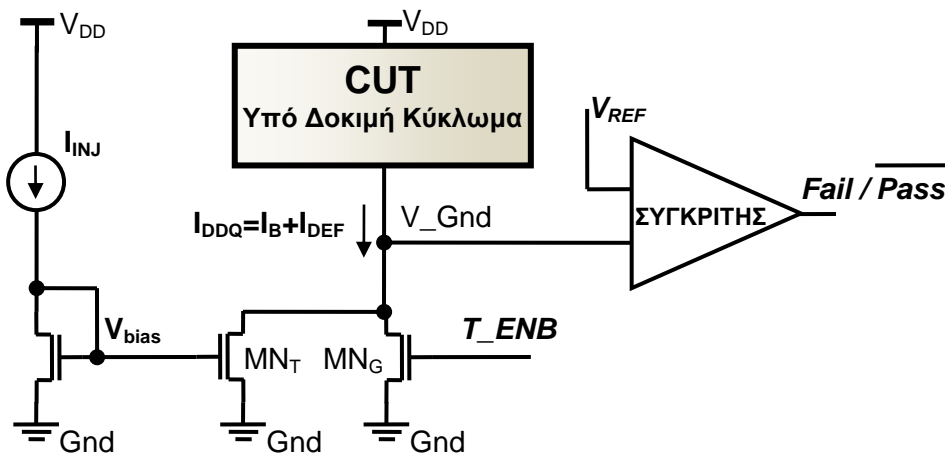
Κατά τη διάρκεια της κανονικής λειτουργίας το σήμα T_ENB είναι σε υψηλή στάθμη (“1”) οπότε το τρανζίστορ MN_G καθίσταται αγώγιμο με συνέπεια ο κόμβος V_Gnd να συνδέεται στη γη. Στην διάρκεια της δοκιμής (κατάσταση δοκιμής) το σήμα T_ENB μεταβαίνει σε χαμηλή στάθμη (“0”) και το τρανζίστορ MN_G είναι σε μη αγώγιμη κατάσταση. Ο αισθητήρας BICS συγκρίνει το ρεύμα I_{DDQ} του υπό δοκιμή κυκλώματος με ένα ρεύμα αναφοράς (I_{REF}). Στην περίπτωση που το ρεύμα I_{DDQ} είναι μεγαλύτερο από το ρεύμα αναφοράς I_{REF} το υπό δοκιμή κύκλωμα χαρακτηρίζεται ως ελαττωματικό. Σύμφωνα με την παραπάνω αρχή που παρουσιάζεται στο σχήμα 7.1, το ρεύμα I_{REF} πρέπει να είναι μεγαλύτερο από την μέγιστη τιμή του ρεύματος διαρροής I_B των μη ελαττωματικών CUT. Η πιο πάνω αρχή δοκιμής I_{DDQ} μπορεί να εφαρμοστεί ισοδύναμα και στον ακροδέκτη V_{DD} της τροφοδοσίας με την βοήθεια ενός pMOS τρανζίστορ.

Το ρεύμα διαρροής I_B στις σύγχρονες νανοτεχνολογίες αυξάνεται συνεχώς με την συρρίκνωση των διαστάσεων. Εκτός αυτού, μειώνεται το εύρος των τιμών του ρεύματος

παρουσία ελαττωμάτων I_{DEF} το οποίο θα πρέπει να ανιχνεύεται [183], με αποτέλεσμα να υπάρχει επιπλέον μείωση στην διαφορά μεταξύ των τιμών του ρεύματος I_{DDQ} των μη ελαττωματικών κυκλωμάτων και των τιμών του ρεύματος I_{DDQ} των ελαττωματικών κυκλωμάτων.

Εκτός όμως από τις μεγάλες τιμές του ρεύματος I_B , ένα άλλο μεγάλο πρόβλημα της δοκιμής I_{DDQ} στις νανοτεχνολογίες είναι οι αυξημένες διακυμάνσεις στο ρεύμα I_B , οι οποίες με τη σειρά τους οφείλονται στις αυξημένες διακυμάνσεις των κατασκευαστικών παραμέτρων που επιφέρει η συρρίκνωση της τεχνολογίας. Επίσης, η τιμή του ρεύματος I_B επηρεάζεται από τις μεταβολές της θερμοκρασίας. Λαμβάνοντας υπόψιν αυτές τις διακυμάνσεις στην τιμή του ρεύματος I_B , η εφαρμογή της δοκιμής I_{DDQ} όταν χρησιμοποιείται για όλα τα ολοκληρωμένα κυκλώματα της γραμμής παραγωγής, ένα απλό κατώφλι ως ρεύμα αναφοράς I_{REF} για τον διαχωρισμό των κυκλωμάτων σε ελαττωματικά ή λειτουργικά άψογα, είναι στην πράξη μη εφαρμόσιμη, όπως αναφέρθηκε νωρίτερα. Επομένως, το ρεύμα αναφοράς I_{REF} θα πρέπει να προσαρμόζεται για κάθε κύκλωμα αν θέλουμε να λάβουμε υπόψιν τις μεταβολές των κατασκευαστικών παραμέτρων και τις μεταβολές της θερμοκρασίας. Μια τέτοια διαδικασία εφαρμογής διαφορετικού ρεύματος αναφοράς είναι ιδιαίτερα δύσκολη για προφανείς λόγους.

Μια προτεινόμενη εναλλακτική τεχνική [189] για την δοκιμή I_{DDQ} φαίνεται στο σχήμα 7.2. Εδώ, έχει προστεθεί το τρανζίστορ MN_T , μεταξύ του κόμβου της εικονικής γης του CUT και της γης (Gnd), παράλληλα με το τρανζίστορ MN_G . Το τρανζίστορ MN_T είναι πολωμένο με μια κατάλληλη τάση V_{bias} τέτοια ώστε, στην περίπτωση απουσίας σφάλματος, η τάση V_{V_Gnd} του κόμβου εικονικής γης (V_Gnd) να είναι μικρότερη από μια τάση αναφοράς V_{REF} , ενώ στην περίπτωση παρουσίας σφάλματος να είναι μεγαλύτερη από την V_{REF} εξαιτίας του επιπλέον ρεύματος σφάλματος I_{DEF} στο CUT.



Σχήμα 7.2. Η βασική αρχή της δοκιμής I_{DDQ} με αντιστάθμιση του I_B .

Ένας συγκριτής τάσης συνδεδεμένος στον κόμβο εικονικής γης (V_Gnd) διακρίνει τα ελαττωματικά από τα «καλά» κυκλώματα. Στην τοπολογία αυτή το CUT και το τρανζίστορ MN_T λειτουργούν ως μετατροπέας ρεύματος σε τάση. Η τάση πόλωσης V_{bias} μπορεί να παραχθεί χρησιμοποιώντας ένα εξωτερικό ρεύμα (I_{INJ} στο σχήμα 7.2) και ένα καθρέπτη ρεύματος. Όπως και στο κύκλωμα του σχήματος 7.1, το τρανζίστορ MN_G χρησιμοποιείται ως διακόπτης-εναλλάκτης μεταξύ της κανονικής λειτουργίας και της κατάστασης δοκιμής σύμφωνα με την τιμή του σήματος T_ENB .

Εφόσον όμως το ρεύμα διαρροής I_B του CUT επηρεάζεται από τις μεταβολές της θερμοκρασίας και των κατασκευαστικών παραμέτρων θα πρέπει αντίστοιχα να

προσαρμόζεται κάθε φορά κατάλληλα και το εξωτερικό ρεύμα I_{INJ} (το ρεύμα αυτό συμβολίζεται ως I_{REF} στο σχήμα 7.1), προκειμένου να μην υπάρξει μείωση της απόδοσης (yield loss) ή μείωση της κάλυψης σφαλμάτων (fault coverage).

7.3 Η προτεινόμενη τεχνική δοκιμής I_{DDQ}

Σύμφωνα με τη μέθοδο δοκιμής I_{DDQ} που περιγράφηκε παραπάνω και αφορά το κύκλωμα του σχήματος 7.2, είναι αναγκαίος ένας μηχανισμός ο οποίος θα προσαρμόζει δυναμικά το ρεύμα έγχυσης I_{INJ} στις μεταβολές της θερμοκρασίας και των διακυμάνσεων των κατασκευαστικών παραμέτρων. Στην ενότητα αυτή θα παρουσιάσουμε τη νέα τεχνική, καθώς και το αντίστοιχο κύκλωμα, που επιτυγχάνουν αυτό το σκοπό.

7.3.1 Τεχνική αντιστάθμισης διακυμάνσεων κατασκευαστικών παραμέτρων και θερμοκρασίας

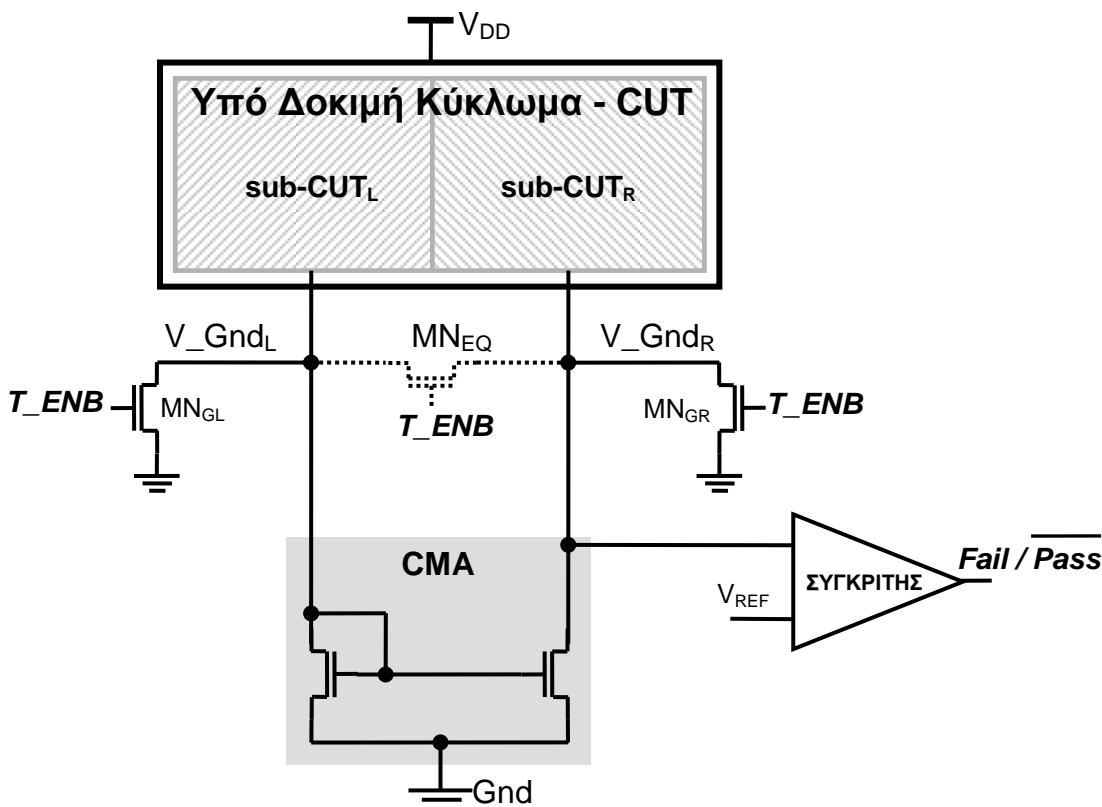
Για να επιτευχθεί η επιθυμητή αναισθησία της δοκιμής I_{DDQ} στις μεταβολές της θερμοκρασίας και των κατασκευαστικών παραμέτρων χρησιμοποιήθηκε η ιδέα της κατάτμησης (partitioning) του υπό δοκιμή κυκλώματος σε δύο υποκυκλώματα (subcircuits) (στο εξής θα ονομάζονται αριστερό υποκύκλωμα ή sub-CUT_L και δεξί υποκύκλωμα ή sub-CUT_R). Το ρεύμα διαρροής του αριστερού υποκυκλώματος χρησιμοποιείται ως ρεύμα έγχυσης I_{INJ} για τον έλεγχο του δεξιού υποκυκλώματος και αντιστρόφως. Εφόσον σε κάθε περίπτωση και το ρεύμα διαρροής και το ρεύμα έγχυσης I_{INJ} επηρεάζονται εξίσου από τις διακυμάνσεις της θερμοκρασίας και των κατασκευαστικών παραμέτρων στο CUT, η διαδικασία δοκιμής I_{DDQ} τείνει να γίνει σχεδόν ανεξάρτητη από αυτούς τους δύο παράγοντες

Στο σχήμα 7.3 φαίνεται ένα απλοποιημένο διάγραμμα βαθμίδων της προτεινόμενης τεχνικής I_{DDQ} όπου το ρεύμα διαρροής του υποκυκλώματος sub-CUT_L χρησιμοποιείται για την παραγωγή του ρεύματος I_{INJ} για τον έλεγχο I_{DDQ} του υποκυκλώματος sub-CUT_R. Για τον σκοπό αυτό χρησιμοποιείται ένας καθρέπτης ρεύματος ως ενισχυτής (Current Mirror Amplifier - CMA). Κάθε τμήμα του υπό δοκιμή κυκλώματος πρέπει να έχει την δική του εικονική γη (V_{GndL} και V_{GndR} για τα δύο τμήματα αντίστοιχα).

Το πλήρες κύκλωμα της προτεινόμενης τεχνικής I_{DDQ} , το οποίο περιλαμβάνει τον CMA, τον συγκριτή και τα τρανζίστορ MN_{GL} και MN_{GR} , μπορεί είτε να ενσωματωθεί στο ολοκληρωμένο κύκλωμα μαζί με το CUT και να αποτελέσει ένα κύκλωμα BICS είτε να χρησιμοποιηθεί εξωτερικά ως μέρος του εξοπλισμού αυτόματης δοκιμής (Automatic Test Equipment - ATE). Στην δεύτερη περίπτωση, οι κόμβοι των εικονικών γειώσεων (V_{GndL} και V_{GndR}) των δύο υποκυκλωμάτων (sub-CUT_L και sub-CUT_R) συνδέονται σε ξεχωριστούς ακροδέκτες. Στην πρώτη περίπτωση, οι δύο κόμβοι με τις εικονικές γειώσεις του κυκλώματος (CUT) μπορούν να βραχυκυκλωθούν και εσωτερικά μέσω του τρανζίστορ εξίσωσης τάσης MN_{EQ} που φαίνεται στο σχήμα 7.3.

Κατά την διάρκεια της δοκιμής I_{DDQ} το ρεύμα διαρροής I_{BL} του αριστερού υποκυκλώματος (sub-CUT_L) χρησιμοποιείται ως το ρεύμα έγχυσης I_{INJ} στην είσοδο του ενισχυτή CMA για την παραγωγή του ρεύματος πόλωσης $I_{BR} = \beta \cdot I_{BL}$, το οποίο ισούται με το ρεύμα διαρροής του δεξιού υποκυκλώματος (sub-CUT_R) για τη δοκιμή του δεξιού υποκυκλώματος (sub-CUT_R). Το β είναι η απολαβή ρεύματος του καθρέπτη ρεύματος και, όπως έχει αναφερθεί παραπάνω, το δεξί υποκύκλωμα (sub-CUT_R) με τον καθρέπτη ρεύματος σχηματίζουν ένα μετατροπέα ρεύματος σε τάση. Η τάση που παράγεται κατά

τη διάρκεια της δοκιμής στον κόμβο V_{GndR} συγκρίνεται με μια καθορισμένη τάση αναφοράς V_{REF} έτσι ώστε να διαχωριστούν τα «καλά» από τα ελαττωματικά κυκλώματα.

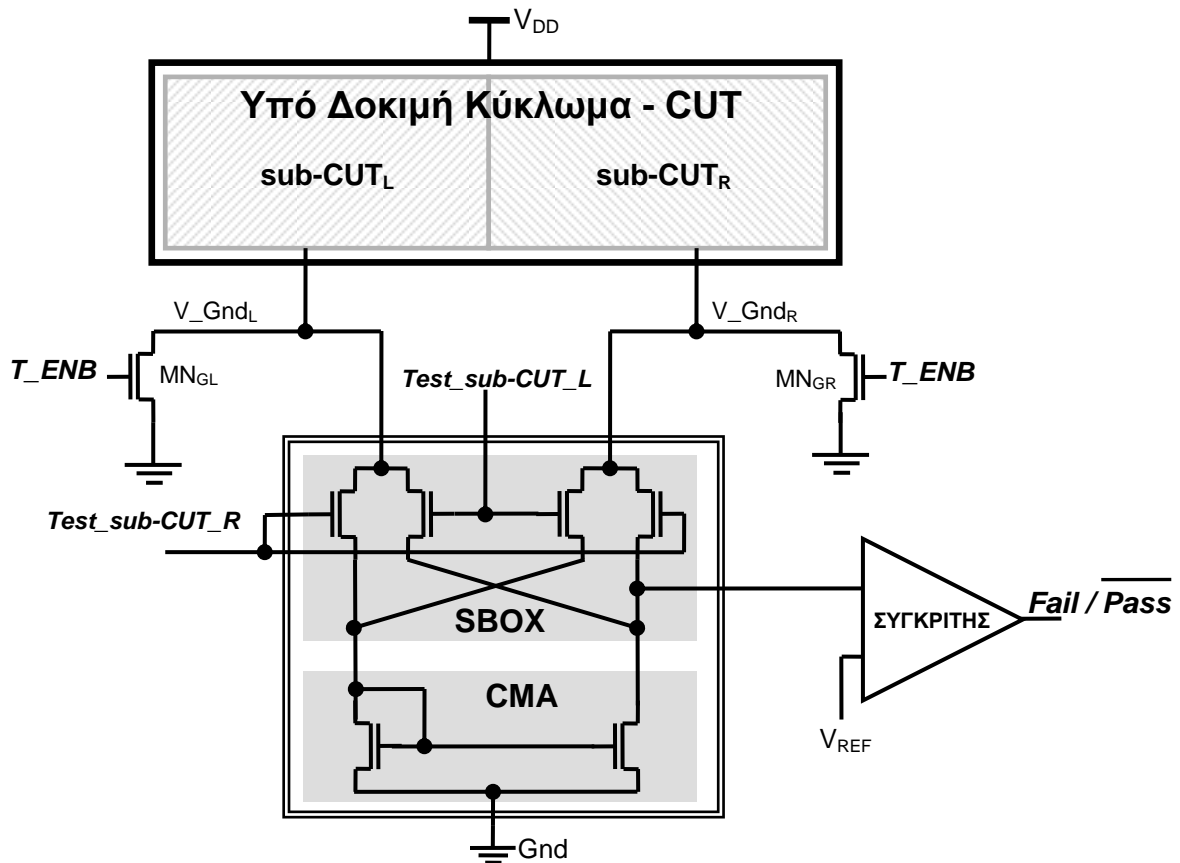


Σχήμα 7.3. Η προτεινόμενη τεχνική δοκιμής I_{DDQ} .

Στην πράξη χρειάζεται ένας μόνο ενισχυτής CMA για να ελέγξει και τα δύο υποκυκλώματα. Αυτό επιτυγχάνεται με την χρήση μίας βαθμίδας μεταγωγής, που φαίνεται στο σχήμα 7.4 με την ονομασία SBOX και με την βοήθεια δύο σημάτων ελέγχου ($Test_sub-CUT_L$ και $Test_sub-CUT_R$).

Η διαδικασία δοκιμής I_{DDQ} χωρίζεται σε δύο διαδοχικές φάσεις σύμφωνα με το σχήμα 7.5. Στη διάρκεια της πρώτης φάσης ($Test_sub-CUT_R = "1"$ και $Test_sub-CUT_L = "0"$) το αριστερό υποκύκλωμα ($sub-CUT_L$) παρέχει το ρεύμα έγχυσης I_{INJ} , το οποίο στη συνέχεια θα ονομάζεται και ρεύμα αναφοράς, ενώ το δεξί υποκύκλωμα ($sub-CUT_R$) είναι το υπό δοκιμή κύκλωμα και δοκιμάζεται χρησιμοποιώντας ένα σύνολο διανυσμάτων δοκιμής. Στην διάρκεια της δεύτερης φάσης ($Test_sub-CUT_R = "0"$ και $Test_sub-CUT_L = "1"$) το δεξί υποκύκλωμα ($sub-CUT_R$) παρέχει το ρεύμα αναφοράς, ενώ το αριστερό υποκύκλωμα ($sub-CUT_L$) είναι το υπό δοκιμή κύκλωμα και δοκιμάζεται χρησιμοποιώντας το δικό του διαφορετικό σύνολο διανυσμάτων δοκιμής.

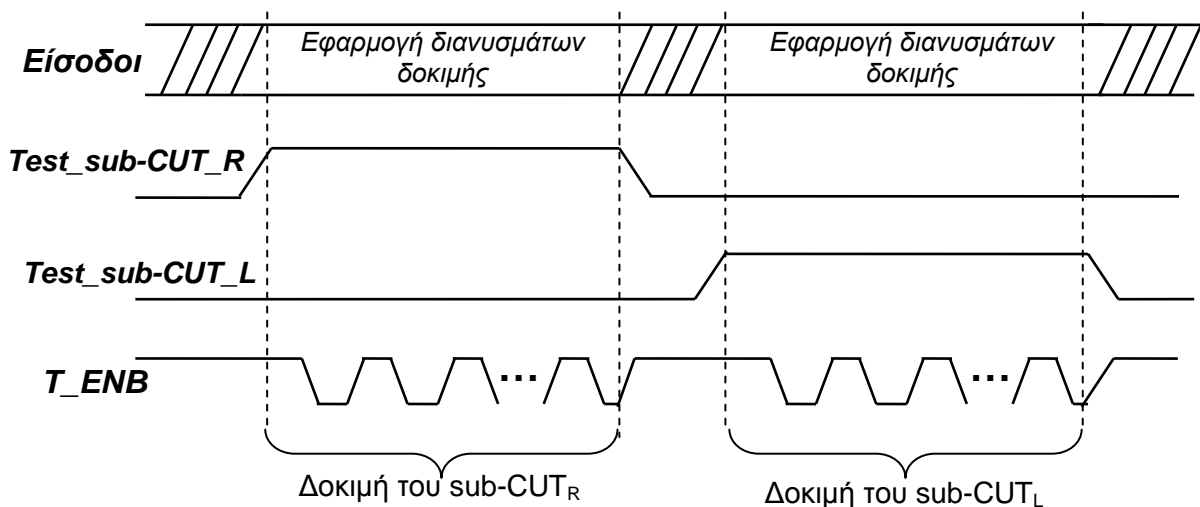
Επομένως, στην διάρκεια της πρώτης φάσης, το ρεύμα διαρροής I_{BL} του αριστερού υποκυκλώματος ($sub-CUT_L$) χρησιμοποιείται ως ρεύμα αναφοράς για την παραγωγή του απαιτούμενου ρεύματος πόλωσης I_{BR} για το δεξί υποκύκλωμα (sub_CUT_R), ενώ στη δεύτερη φάση ο μηχανισμός ενεργοποιείται κατά συμπληρωματικό τρόπο.



Σχήμα 7.4. Χρήση ενός ενισχυτή CMA με τη βοήθεια του μπλοκ μεταγωγής.

Να σημειωθεί ότι, εφόσον κατά την διάρκεια της κανονικής λειτουργίας τα σήματα *Test_sub-CUT_L* και *Test_sub-CUT_R* μπορούν να πάρουν οτιδήποτε τιμή, αρκεί να χρησιμοποιηθεί ένα μόνο σήμα και το συμπλήρωμά του στη θέση τους.

Κάθε ένα διάνυσμα δοκιμής εφαρμόζεται στις εισόδους του υποκυκλώματος με το σήμα *T_ENB* σε υψηλή στάθμη ("1"). Στη συνέχεια, το σήμα *T_ENB* μεταβαίνει σε χαμηλή στάθμη ("0") για να πραγματοποιηθεί η διαδικασία δοκιμής I_{DDQ} στο τρέχον υποκύκλωμα και ούτω καθεξής, μέχρις ότου ολοκληρωθεί η διαδικασία με την εφαρμογή όλων των διανυσμάτων δοκιμής.



Σχήμα 7.5. Κυματομορφές σημάτων δοκιμής I_{DDQ}.

7.3.2 Ρυθμιζόμενος ενισχυτής με καθρέπτη ρεύματος

Στην γενική περίπτωση της δοκιμής I_{DDQ} , τα δύο υποκυκλώματα του CUT δεν είναι ίδια μεταξύ τους. Συνεπώς, τα δύο ρεύματα διαρροής τους I_{BL} και I_{BR} δεν αναμένεται να είναι ίσα μεταξύ τους. Επίσης, η τιμή του ρεύματος διαρροής εξαρτάται από το διάνυσμα δοκιμής που εφαρμόζεται κάθε φορά στην είσοδο του υποκυκλώματος. Είναι προφανές επομένως, ότι απαιτείται η χρήση ενός ρυθμιζόμενου (tunable) καθρέπτη ρεύματος (δηλαδή, ένας καθρέπτης ρεύματος με ρυθμιζόμενη απολαβή ρεύματος β) για να μπορέσει να παράγει για κάθε ένα διάνυσμα δοκιμής (j) το αντίστοιχο ρεύμα πόλωσης $I_{B(L/R)j}$ από το ρεύμα αναφοράς $I_{B(R/L)j}$ σύμφωνα με τη σχέση: $I_{B(L/R)j} = \beta_j I_{B(R/L)j}$. Η διαδικασία της ρύθμισης (tunability) του καθρέπτη ρεύματος είναι μεν μια απαιτητική διαδικασία, αλλά δεν είναι εξαιρετικά δύσκολη ούτε είναι περιοριστικός παράγοντας στον σχεδιασμό του BICS, για τους εξής δύο λόγους [190]:

- α) ο συνολικός αριθμός των διανυσμάτων δοκιμής των δύο υποκυκλωμάτων για την δοκιμή I_{DDQ} είναι σχετικά πολύ μικρός και
- β) στις τεχνικές I_{DDQ} , από τα διάφορα διανύσματα δοκιμής τα οποία αναδεικνύουν ένα σφάλμα, συνήθως επιλέγεται το διάνυσμα που δίνει το μικρότερο ρεύμα διαρροής.

Επομένως, η επιλογή των απαιτούμενων διανυσμάτων δοκιμής μπορεί να βασιστεί στην στατική ανάλυση ισχύος [191], [192] έτσι ώστε να μειωθούν οι μεταβολές του ρεύματος διαρροής κατά την μετάβαση από το ένα διάνυσμα δοκιμής στο άλλο. Η παραπάνω διαδικασία επιλογής των διανυσμάτων δοκιμής δεν απαιτεί πολύ μεγάλο χρόνο, διότι αφενός γίνεται με απλές αναλύσεις DC και αφετέρου εκτελείται μία μόνο φορά. Στη συνέχεια γίνεται ομαδοποίηση όσων διανυσμάτων δοκιμής δίνουν ρεύματα διαρροής με παραπλήσιες τιμές. Με τον τρόπο αυτό περιορίζονται σε μεγάλο βαθμό οι απαιτήσεις για λεπτή ρύθμιση του καθρέπτη ρεύματος. Σε κάθε μια ομάδα διανυσμάτων δοκιμής αντιστοιχεί και η κατάλληλη κατάσταση του καθρέπτη ρεύματος (απολαβή ρεύματος). Πιθανές διαφορές μεταξύ των τιμών που βρίσκονται με προσομοίωση και των πραγματικών τιμών του ρεύματος διαρροής του CUT εξαιτίας διακυμάνσεων θερμοκρασίας και κατασκευαστικών παραμέτρων, δεν ακυρώνουν την τεχνική εφόσον αυτές οι μεταβολές επηρεάζουν το ίδιο τα ρεύματα διαρροής και των δύο υποκυκλωμάτων. Επομένως, η απολαβή ρεύματος β δεν επηρεάζεται.

Μια πρώτη προσέγγιση για την υλοποίηση του ρυθμιζόμενου ενισχυτή καθρέπτη ρεύματος (Tunable-Current Mirror Amplifier – T-CMA) φαίνεται στο σχήμα 7.6. Στο κύκλωμα αυτό χρησιμοποιούνται n παράλληλοι καθρέπτες ρεύματος ως ενισχυτές ρεύματος για την παραγωγή του κατάλληλου ρεύματος πόλωσης $I_{B(R/L)}$ για τον έλεγχο I_{DDQ} του αντίστοιχου υποκυκλώματος (sub-CUT_(R/L)) με τον κατάλληλο συνδυασμό για την ενεργοποίηση των κλάδων.

Ο κάθε ένας κλάδος από τους n παράλληλους καθρέπτες ενεργοποιείται με τη βοήθεια του σήματος SEL_j . Στη συνέχεια, θα εξετάσουμε πότε και ποιοι κλάδοι ενεργοποιούνται στη διάρκεια της δοκιμής.

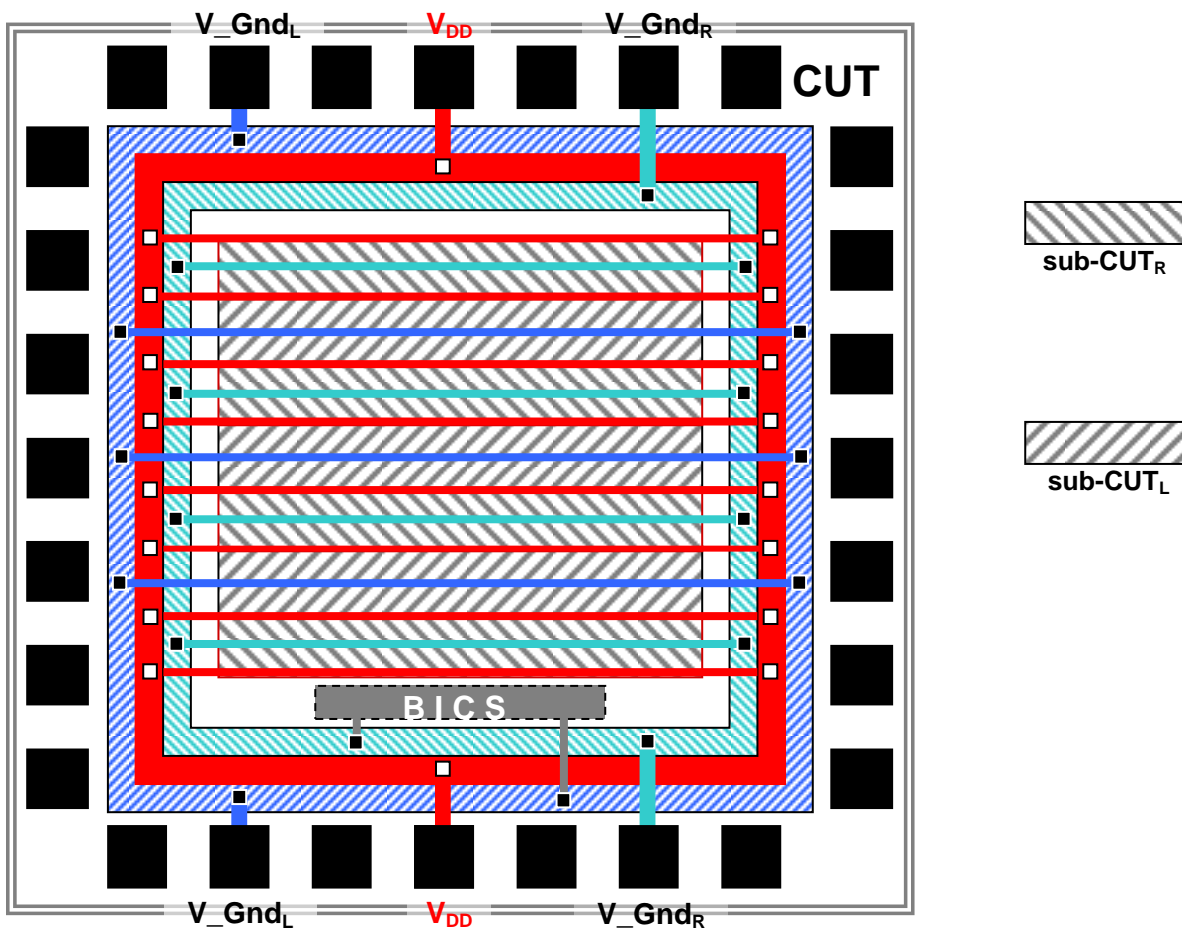
Ο καθρέπτης ρεύματος ο οποίος δρα ως απαγωγή ρεύματος (current sink) στην εικονική γη του υποκυκλώματος sub-CUT_(R/L) καθρεπτίζει το ρεύμα αναφοράς που εισέρχεται στον αριστερό κλάδο του καθρέπτη (στο σχήμα 7.6 αναφέρεται ως *Injection Current Port*) διαμέσου ενός αριθμού τρανζίστορ απαγωγής ($M_1 - M_n$) (sinking transistors) με διαφορετικά πλάτη W .

Το κάθε τρανζίστορ απαγωγής χαρακτηρίζεται από το πλάτος του W_i (όπου το $i \in (1, 2, \dots, n)$) και δίνει ένα συντελεστή ενίσχυσης c_i ο οποίος συνεισφέρει κατά μοναδικό

($\beta_{(L/R)} = \Sigma C_i$). Με την κατάλληλη επιλογή των μεγεθών των τρανζίστορ απαγωγής, ο T-CMA μπορεί να παράγει όλα τα απαιτούμενα ρεύματα πόλωσης. Μόλις ολοκληρωθεί η δοκιμή I_{DDQ} με το τρέχον υποσύνολο διανυσμάτων δοκιμής, ξεκινά η εισαγωγή του επόμενου *διανύσματος ενεργοποίησης* στον καταχωρητή ISR και μόλις ολοκληρωθεί η φόρτωση, ο T-CMA είναι έτοιμος για την δοκιμή I_{DDQ} της επόμενης ομάδας διανυσμάτων δοκιμής που αντιστοιχεί. Αυτό συνεχίζεται μέχρι την εφαρμογή όλων των διανυσμάτων.

7.3.3 Κατάτμηση του CUT σε υποκυκλώματα

Η θεμελιώδης απαίτηση της προτεινόμενης τεχνικής I_{DDQ} είναι η κατάτμηση (partitioning) του CUT σε δύο υποκυκλώματα είτε χρησιμοποιηθεί ενσωματωμένο κύκλωμα BICS είτε εξωτερικό κύκλωμα BICS. Σύμφωνα με αυτή την απαίτηση, κάθε υποκύκλωμα του CUT χρειάζεται τις δικές του ξεχωριστές γραμμές τροφοδοσίας. Στην περίπτωση μας, όπου ο καθρέπτης παρεμβάλλεται στον ακροδέκτη της γείωσης (όπως φαίνεται στο σχήμα 7.4), η τροφοδοσία V_{DD} είναι κοινή για τα δύο υποκυκλώματα, ενώ το κάθε ένα υποκύκλωμα έχει ξεχωριστή γη. Μια διάταξη των γραμμών της τροφοδοσίας (power rail) που θα μπορούσε να χρησιμοποιηθεί (και ειδικά των γραμμών των δύο γειώσεων που μας ενδιαφέρει) φαίνεται στο σχήμα 7.7. Σύμφωνα με αυτή τη διάταξη, οι δύο ανεξάρτητες ομάδες των γραμμών των γειώσεων (V_{GndL} και V_{GndR}) τοποθετούνται εναλλάξ μέσα στο CUT και κατανέμουν ομοιόμορφα τις δύο γειώσεις σε όλη την επιφάνεια του CUT. Τα μέρη του κυκλώματος που έχουν την μία κοινή γείωση σχηματίζουν το ένα υποκύκλωμα (sub-CUT).



Σχήμα 7.7. Μια πιθανή διάταξη των γραμμών τροφοδοσίας (power rail).

Με τον τρόπο αυτό οι τοπικές (intradie) μεταβολές θερμοκρασίας και κατασκευαστικών παραμέτρων επηρεάζουν με τον ίδιο τρόπο τα δύο υποκυκλώματα κατά την διάρκεια δοκιμής I_{DDQ} . Σε ένα μεγάλο κύκλωμα που αποτελείται από παρόμοια κελιά, η χρήση της προτεινόμενης τοπολογίας σχεδίασης του υπό δοκιμή κυκλώματος, με την αλληλοεμπλοκή των δύο υποκυκλωμάτων, εξασφαλίζει ότι τα δύο αυτά υποκυκλώματα στατιστικά θα έχουν παραπλήσιο μέγεθος. Θα πρέπει όμως να τονιστεί ότι δεν είναι απαραίτητη προϋπόθεση τα δύο αυτά υποκυκλώματα να έχουν ίδιο ή παραπλήσιο μέγεθος προκειμένου η προτεινόμενη τεχνική να είναι επιτυχής.

7.3.4 Διακριτική ικανότητα του κυκλώματος BICS

Δεδομένου ότι το υπό δοκιμή κύκλωμα έχει διαμοιραστεί σε δύο υποκυκλώματα, μπορεί να χρησιμοποιηθεί για την δοκιμή I_{DDQ} ένα εξωτερικό ή ένα ενσωματωμένο κύκλωμα δοκιμής σύμφωνα με το σχήμα 7.3. Όμως, ειδικά στην περίπτωση της ενσωματωμένης δοκιμής I_{DDQ} (δηλ. με τη χρήση ενός BICS), υπάρχουν τρεις αλληλοεξαρτώμενες παράμετροι που πρέπει να ληφθούν υπόψιν:

- το μέγεθος του CUT,
- το μέγεθος του BICS κυκλώματος και
- η επιθυμητή διακριτική ικανότητα ρεύματος σφάλματος (defective current resolution).

Η διακριτική ικανότητα ρεύματος σφάλματος καθορίζεται από την ελάχιστη τιμή του ρεύματος σφάλματος που μπορεί να ανιχνεύσει ο αισθητήρας σε σχέση με το ρεύμα υποβάθρου [174] - ένας πιο αυστηρός ορισμός θα δοθεί στη συνέχεια με τη σχέση 7.10. Στην ενότητα αυτή θα εξεταστεί η αλληλεξάρτηση των τριών παραμέτρων σχεδίασης που αναφέρθηκαν παραπάνω.

Για λόγους απλότητας, το CUT θα μοντελοποιηθεί ως ένα κύκλωμα αποτελούμενο από N όμοιους αναστροφείς με τρανζίστορ ίδιων διαστάσεων, όπως φαίνεται στο σχήμα 7.8. Το κύκλωμα CUT χωρίζεται σε δύο υποκυκλώματα, το sub-CUT_L και το sub-CUT_R, με N_L και N_R αναστροφείς αντίστοιχα ($N=N_L+N_R$). Ο ενσωματωμένος αισθητήρας (BICS) αποτελείται από έναν τυπικό καθρέπτη ρεύματος. Ο συγκριτής και το SBOX δεν φαίνονται στο σχήμα αυτό. Το σφάλμα μοντελοποιείται ως μια αντίσταση R_{DEF} μεταξύ της τροφοδοσίας V_{DD} και της εικονικής γης V_{GNDR} . Το ρεύμα I_{DEF} που διαρρέει αυτή την αντίσταση είναι το ρεύμα σφάλματος.

Υποθέτουμε ότι οι απόλυτες τιμές των τάσεων κατωφλίου του pMOS και του nMOS τρανζίστορ είναι ίσες. Επίσης, σε κάθε αναστροφή τα nMOS τρανζίστορ έχουν τις ελάχιστες διαστάσεις της τεχνολογίας ($W_N=W_{min}$), ενώ οι διαστάσεις των pMOS τρανζίστορ είναι α φορές μεγαλύτερες ($W_P=\alpha W_N$) έτσι ώστε, κάτω από τις ίδιες συνθήκες τροφοδοσίας, και τα δύο τρανζίστορ να δίνουν το ίδιο ρεύμα απαγωγής (drain current). Επομένως, το ρεύμα διαρροής ενός pMOS τρανζίστορ (σε ένα αναστροφή με είσοδο στο "1") ισούται, στο μοντέλο μας, με το ρεύμα διαρροής ενός nMOS τρανζίστορ (σε έναν αναστροφή με είσοδο στο "0"). Συνεπώς, για λόγους απλότητας αλλά χωρίς βλάβη της γενικότητας, μπορούμε να θεωρήσουμε ότι το συνολικό ρεύμα υποβάθρου του κυκλώματος προέρχεται από το άθροισμα των ρευμάτων διαρροής των nMOS τρανζίστορ.

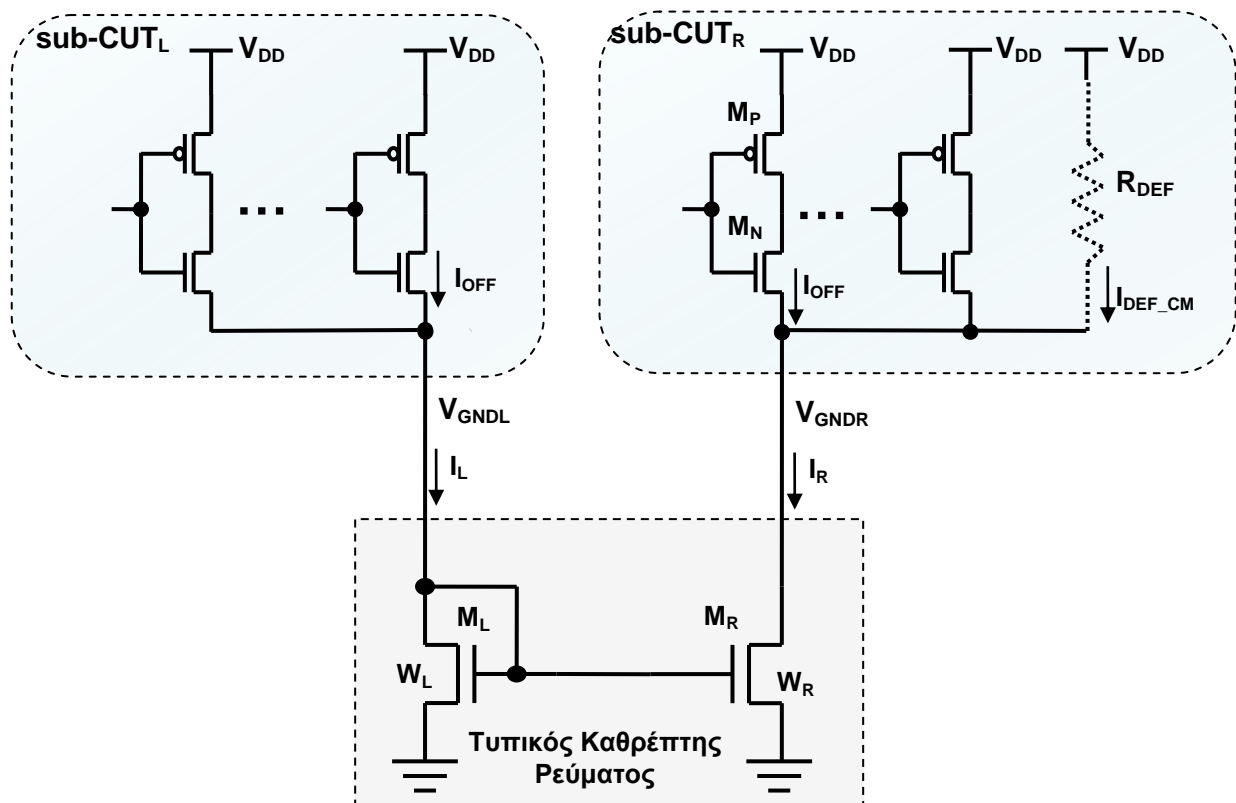
Το υποκατωφλικό ρεύμα (I_{OFF}) ενός nMOS τρανζίστορ δίνεται από την σχέση που ακολουθεί [194]:

$$I_{OFF} = \mu_n C_{OX} \frac{W}{L} V_T^2 e^{1.8} e^{\frac{V_{GS} - V_{th0} + \eta V_{DS} + \gamma V_{BS}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}} \right) \quad (7.1)$$

όπου V_{GS} , V_{DS} και V_{BS} συμβολίζουν την τάση της πύλης, του απαγωγού (drain) και του υποστρώματος ως προς το δυναμικό της πηγής (source) αντίστοιχα, μ_n είναι η ευκινησία, C_{ox} η χωρητικότητα του οξειδίου της πύλης ανά μονάδα επιφάνειας, W και L είναι οι ενεργές διαστάσεις (πλάτος και μήκος αντίστοιχα) του τρανζίστορ, V_{th0} είναι η τάση κατωφλίου μηδενικής πόλωσης, V_T είναι το θερμικό δυναμικό, n είναι ο συντελεστής αιώρησης υποκατωφλίου (subthreshold swing coefficient), η είναι ο συντελεστής $DIBL$ (επαγόμενη από τον απαγωγό μείωση του φράγματος δυναμικού) και γ είναι ο γραμμικοποιημένος συντελεστής επίδρασης σώματος (linearized body effect coefficient).

Αν θεωρήσουμε ένα nMOS τρανζίστορ όπως το M_N του αναστροφέα στο σχήμα 7.8 και υποθέσουμε ότι η πύλη του οδηγείται στο “0” από κάποιον άλλο αναστροφέα, τότε ισχύουν οι εξής σχέσεις για τις τάσεις του τρανζίστορ:

- α) $V_{GS}=0$ (διότι σήμα χαμηλής στάθμης στην είσοδο είναι σήμα με τάση ίση με την V_{GNDR}),
- β) $V_{DS}=V_{DD}-V_{GNDR}$ και
- γ) $V_{BS}=V_B-V_S=0-V_{GNDR}=-V_{GNDR}$ στην περίπτωση που το υπόστρωμα συνδέεται στη γη, διαφορετικά $V_{BS}=0$ αν το υπόστρωμα συνδέεται με την V_{GNDR} .



Σχήμα 7.8. Το μοντέλο που χρησιμοποιείται για την μελέτη του CUT.

Λαμβάνοντας υπόψιν τα πιο πάνω, η σχέση του ρεύματος διαρροής (7.1) γράφεται:

$$I_{OFF} = \mu_n C_{OX} \frac{W}{L} V_T^2 e^{1.8} e^{\frac{-V_{th0} + \eta(V_{DD} - V_{GNDR}) - \gamma V_{GNDR}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD} - V_{GNDR}}{V_T}} \right) \quad (7.2)$$

Το τρανζίστορ M_R του καθρέπτη ρεύματος λειτουργεί στην περιοχή κόρου, οπότε το ρεύμα απαγωγής θα δίνεται από τη σχέση:

$$I_{DR} = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W_R}{L} (V_{GSR} - V_{th})^2 \cdot (1 + \lambda \cdot V_{DSR}) \quad (7.3)$$

όπου W_R και L είναι το πλάτος και το μήκος του τρανζίστορ, V_{GSR} , V_{DSR} είναι η τάση πύλης-πηγής και απαγωγής-πηγής αντίστοιχα, V_{th} είναι η τάση κατωφλίου και λ είναι η παράμετρος διαμόρφωσης μήκους καναλιού. Ισχύει ότι:

$$V_{th} = V_{th0} + \gamma' \cdot \left(\sqrt{|-2\Phi + V_{SB}|} - \sqrt{|2\Phi|} \right) \quad (7.4)$$

όπου γ' είναι ο συντελεστής επίδρασης σώματος και Φ είναι το δυναμικό Fermi. Επίσης, για τα τρανζίστορ M_L και M_R του καθρέπτη ρεύματος του σχήματος 7.8 ισχύει $V_{GSR} = V_{GSL} = V_{GNDL}$ και $V_{DSR} = V_{GNDR}$, συνεπώς η σχέση (7.3) μπορεί να γραφεί ως εξής:

$$I_{DR} \equiv I_R = \frac{\mu_n \cdot C_{OX}}{2} \cdot \frac{W_R}{L} (V_{GNDL} - V_{th})^2 \cdot (1 + \lambda \cdot V_{GNDR}) \quad (7.5)$$

Στην κατάσταση ισορροπίας ισχύει:

$$I_{DR} = I_R = N_R \cdot I_{OFF} \quad (7.6)$$

Αντικαθιστώντας τις σχέσεις (7.2) και (7.5) στην σχέση (7.6) έχουμε:

$$\begin{aligned} \frac{W_R}{2} (V_{GNDL} - V_{th})^2 \cdot (1 + \lambda \cdot V_{GNDR}) &= \\ &= N_R \cdot W \cdot V_T^2 e^{1.8} e^{\frac{-V_{th0} + \eta(V_{DD} - V_{GNDR}) - \gamma V_{GNDR}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD} - V_{GNDR}}{V_T}} \right) \end{aligned} \quad (7.7)$$

Γενικά ισχύει $N_L = s \cdot N_R$ (όπου s μπορεί να είναι οποιοσδήποτε πραγματικός αριθμός). Για απλότητα θα υποθέσουμε, χωρίς βλάβη της γενικότητας, ότι ισχύει $N_L = N_R = N/2$. Στην συνέχεια θέτουμε $W_L = W_R$ και έχουμε ότι α) το ρεύμα του αριστερού τμήματος I_L θα ισούται με το ρεύμα διαρροής του δεξιού τμήματος I_R ($I_L = I_R = N I_{OFF}/2$) και β) $V_{GNDR} = V_{GNDL}$. Η σχέση (7.7) με τις πιο πάνω υποθέσεις γράφεται ως εξής:

$$\begin{aligned} W_R (V_{GNDR} - V_{th})^2 \cdot (1 + \lambda \cdot V_{GNDR}) &= \\ &= N \cdot W \cdot V_T^2 e^{1.8} e^{\frac{-V_{th0} + \eta(V_{DD} - V_{GNDR}) - \gamma V_{GNDR}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD} - V_{GNDR}}{V_T}} \right) \end{aligned} \quad (7.8)$$

Σύμφωνα με τη διάταξη της δοκιμής I_{DDQ} , η οποία φαίνεται στο σχήμα 7.3, χρησιμοποιείται ένας συγκριτής για να ξεχωρίσει τα λειτουργικά άψογα από τα ελαττωματικά κυκλώματα. Στην περίπτωση που η τάση V_{GNDR} είναι μικρότερη από μια τάση αναφοράς V_{REF} τότε το δεξί τμήμα του κυκλώματος χαρακτηρίζεται ως λειτουργικά άψογο, διαφορετικά ως ελαττωματικό. Επομένως, για μια δεδομένη τάση αναφοράς V_{REF} και θέτοντας $V_{GNDR} = V_{REF}$ στην σχέση (7.8) μπορούμε, με δεδομένο επίσης το μέγεθος του κυκλώματος N , να καθορίσουμε το κατάλληλο πλάτος W_R του τρανζίστορ που πρέπει να χρησιμοποιηθεί στον καθρέπτη ρεύματος.

Διατυπώνοντας διαφορετικά, με βάση πάλι την σχέση (7.8), μπορούμε να εκτιμήσουμε το μέγεθος N του κυκλώματος CUT το οποίο μπορεί να ελέγξει ο καθρέπτης, με δεδομένο το πλάτος W_R του τρανζίστορ, από την εξής σχέση:

$$\frac{W_R}{N} = \frac{W \cdot V_T^2 e^{1.8} e^{\frac{-V_{th0} + \eta(V_{DD} - V_{REF}) - \gamma V_{REF}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD} - V_{REF}}{V_T}} \right)}{(V_{REF} - V_{th})^2 \cdot (1 + \lambda \cdot V_{REF})} \quad (7.9)$$

Ακολούθως, θα εξετάσουμε την επίδραση των διακυμάνσεων των κατασκευαστικών παραμέτρων στους παραπάνω υπολογισμούς, λαμβάνοντας υπόψιν ότι μαζί με το CUT επηρεάζονται από αυτές τις μεταβολές και τα τρανζίστορ του καθρέπτη ρεύματος.

Στη σχέση (7.9), οι διακυμάνσεις των κατασκευαστικών παραμέτρων επηρεάζουν την τάση κατωφλίου (V_{th} or V_{th0}), την κινητικότητα (μ_n), την χωρητικότητα οξειδίου πύλης ανά μονάδα επιφανείας (C_{ox}) και τον συντελεστή επίδρασης σώματος (γ) του τρανζίστορ. Όπως αναμένεται (αλλά και αποδεικνύεται από την σχέση (7.8)), αν αντικαταστήσουμε στην σχέση αυτή τις τιμές των παραμέτρων που δίνουν μεγάλο ρεύμα διαρροής για αυτή την τεχνολογία (αναφέρονται συνήθως ως fast process corner) τότε η τάση V_{GNDR} αυξάνει, ενώ αντικαθιστώντας τις τιμές που δίνουν το μικρότερο ρεύμα διαρροής (slow process corner) η τάση V_{GNDR} μειώνεται.

Στη συνέχεια, αν για ένα δεδομένο N και απουσία σφαλμάτων, χρησιμοποιήσουμε την σχέση (7.9) για να καθορίσουμε το W_R σε συνθήκες τυπικών τιμών των παραμέτρων (typical process), τότε θα παρατηρήσουμε για τα δύο corners της τεχνολογίας (το fast και το slow) τα εξής: α) στην περίπτωση που το CUT βρίσκεται στο fast corner η τάση V_{GNDR} θα είναι μεγαλύτερη από την V_{REF} με αποτέλεσμα να έχουμε απώλεια απόδοσης

(yield loss) και β) στην περίπτωση που το CUT βρίσκεται στο slow corner η τάση V_{GNDR} θα είναι μικρότερη από την V_{REF} οδηγώντας σε μειωμένη κάλυψη σφαλμάτων. Η μείωση αυτή στην δεύτερη περίπτωση προέρχεται από το γεγονός ότι για να ανυψωθεί η τάση του κόμβου V_{GNDR} πάνω από την V_{REF} απαιτείται ένα σφάλμα με μεγάλο ρεύμα (μικρή ωμική αντίσταση) έτσι ώστε να μπορέσει αυτό να ανιχνευτεί. Αυτό σημαίνει ότι σφάλματα με μεγαλύτερες ωμικές αντιστάσεις δεν είναι σε θέση να ανιχνευτούν. Για τους παραπάνω λόγους, στον υπολογισμό του W_R , με δεδομένο το μέγεθος N του κυκλώματος CUT, δεδομένη την τάση αναφοράς V_{REF} και για μια δεδομένη επίσης διακριτική ικανότητα ρεύματος σφαλμάτων, θα πρέπει να ληφθούν υπόψιν και οι διακυμάνσεις των κατασκευαστικών παραμέτρων.

Ορισμός. Διακριτική ικανότητα ρεύματος σφαλμάτων (defective current resolution) *res* ονομάζεται ο λόγος του ρεύματος του σφάλματος I_{DEF} , που προκαλείται από κάποια ωμική αντίσταση με την οποία μοντελοποιείται το σφάλμα, προς το ολικό ρεύμα διαρροής I_B του κυκλώματος απουσία σφάλματος.

$$res = \frac{I_{DEF}}{I_B} \times 100\% \quad (7.10)$$

Σύμφωνα με τον ορισμό, όσο μικρότερη είναι η διακριτική ικανότητα τόσο πιο μικρό ρεύμα σφάλματος μπορεί να ανιχνευτεί - γεγονός που αποτελεί και τον στόχο της δοκιμής I_{DDQ} . Επομένως, το ελάχιστο ανιχνεύσιμο ρεύμα σφάλματος I_{DEF} θα προέρχεται από την μέγιστη ωμική αντίσταση R_{DEF} η οποία μπορεί να ανιχνευτεί. Άρα, στην δοκιμή I_{DDQ} θέλουμε η διακριτική ικανότητα να είναι όσο το δυνατόν μικρότερη, έτσι ώστε σφάλματα με μεγάλη ωμική αντίσταση να μπορούν να ανιχνεύονται. Η χειρότερη διακριτική ικανότητα, για ένα δεδομένο κύκλωμα CUT και για ένα δεδομένο αισθητήρα BICS, εμφανίζεται προφανώς στο slow process corner, όπου το ρεύμα I_B έχει την μικρότερη τιμή σύμφωνα με τη σχέση (7.1).

Για να αποφύγουμε την μείωση της κατασκευαστικής απόδοσης (yield loss) κατά την εφαρμογή της δοκιμής I_{DDQ} σε ένα κύκλωμα CUT με μέγεθος N , υπολογίζουμε αρχικά την διάσταση W_R του καθρέπτη από την εξίσωση (7.9), έτσι ώστε η τάση V_{GNDR} στο fast process corner να ισούται με την τάση αναφοράς V_{REF} ($V_{GNDR_FA} = V_{REF}$). Συνεπώς, στη σχέση (7.9) η τιμή της τάσης κατωφλίου θα πρέπει να αντικατασταθεί από αυτή του fast process corner (V_{th0_FA}) της τεχνολογίας που εξετάζουμε.

$$W_R = \frac{N \cdot W \cdot V_T^2 e^{1.8} e^{\frac{-V_{th0_FA} + \eta(V_{DD} - V_{REF}) - \gamma_{FA} V_{REF}}{n \cdot V_T}} \left(1 - e^{\frac{-V_{DD} - V_{REF}}{V_T}} \right)}{\left(V_{REF} - V_{th_FA} \right)^2 \cdot (1 + \lambda \cdot V_{REF})} \quad (7.11)$$

Μετά τον υπολογισμό της διάστασης του τρανζίστορ του καθρέπτη θα πρέπει να υπολογιστεί και η τάση του κόμβου V_{GNDR} για slow process corner (V_{GNDR_SL}) και στη συνέχεια να υπολογιστεί η διακριτική ικανότητα που μπορεί να επιτευχθεί με την προτεινόμενη τεχνική. Όπως έχουμε αναφέρει ισχύει ότι $V_{GNDR_SL} = V_{GNDR_SL}$. Για να υπολογίσουμε την τάση V_{GNDR_SL} , θα χρησιμοποιήσουμε την σχέση (7.8) στην οποία θα αντικαταστήσουμε την τιμή του W_R που υπολογίσαμε παραπάνω και επίσης, ως τάση

κατωφλίου θα θέσουμε την τιμή της slow process corner (V_{th_SL}) της τεχνολογίας που χρησιμοποιούμε:

$$W_R (V_{GNDR_SL} - V_{th_SL})^2 (1 + \lambda \cdot V_{GNDR_SL}) = NW \cdot V_T^2 e^{1.8} e^{\frac{-V_{th0_SL} + \eta(V_{DD} - V_{GNDR_SL}) - \gamma_{SL} V_{GNDR_SL}}{n \cdot V_T}} \left(1 - e^{\frac{V_{DD} - V_{GNDR_SL}}{V_T}} \right) \quad (7.12)$$

Η εξίσωση (7.12) είναι δύσκολο να λυθεί αναλυτικά ως προς την τάση V_{GNDR_SL} , όμως μπορούμε να βρούμε λύση χρησιμοποιώντας αριθμητικές μεθόδους με την βοήθεια διαφόρων εργαλείων λογισμικού όπως το Maple [195].

Σύμφωνα με τη σχέση (7.10), για τον υπολογισμό της διακριτικής ικανότητας *res* ρεύματος σφαλμάτων, θα χρειαστεί αρχικά να υπολογίσουμε το ελάχιστο ανιχνεύσιμο ρεύμα σφάλματος I_{DEF} στην κανονική κατάσταση λειτουργίας του κυκλώματος CUT. Το ελάχιστο αυτό ρεύμα σφάλματος υπολογίζεται χωρίς την παρουσία του καθρέπτη ρεύματος, με τον κόμβο V_{GNDR} βραχυκυκλωμένο στη γη, από την σχέση $I_{DEF} = V_{DD}/R_{DEF}$ και αντιστοιχεί στην μέγιστη ανιχνεύσιμη αντίσταση σφάλματος R_{DEF} (Σχήμα 7.8).

Όμως, παρουσία του καθρέπτη ρεύματος, το ρεύμα σφάλματος που θα διαρρέει την R_{DEF} θα είναι το I_{DEF_CM} και θα είναι διαφορετικό από το I_{DEF} . Για να μπορεί αυτή η αντίσταση σφάλματος R_{DEF} να ανιχνεύεται σε όλα τα process corner θα πρέπει να εξασφαλίσουμε ότι θα ανιχνεύεται από το slow process corner. Η αναγκαιότητα αυτή προκύπτει από το γεγονός ότι στο corner αυτό το δυναμικό στον κόμβο V_{GNDR} (δηλαδή στην εικονική γη V_{GNDR} του δεξιού τμήματος του CUT) έχει την ελάχιστη τιμή V_{GNDR_SL} . Στην περίπτωση αυτή, η παρουσία του σφάλματος R_{DEF} στο δεξί τμήμα θα πρέπει να μπορεί να ανυψώσει το δυναμικό της εικονικής γης από την τιμή V_{GNDR_SL} σε τιμή ελάχιστα παραπάνω από V_{REF} για να μπορεί να ανιχνευθεί. Στην οριακή περίπτωση, θεωρούμε ότι, με την παρουσία του σφάλματος, η V_{GNDR_SL} θα γίνει ίση με την V_{REF} . Με την αποκατάσταση της ισορροπίας επομένως έχουμε $V_{GNDR} = V_{REF}$ και επίσης θα ισχύει:

$$I_{DEF_CM} = I_{DR_SL_DEF} - \frac{N}{2} I_{OFF_SL_DEF} \quad (7.13)$$

Όπου το $I_{DR_SL_DEF}$ είναι το ρεύμα απαγωγού του τρανζίστορ M_R παρουσία σφάλματος και το οποίο υπολογίζεται χρησιμοποιώντας την σχέση (7.5) για το slow corner θέτοντας $V_{GS} = V_{GNDL_SL}$ και $V_{DS} = V_{REF}$:

$$I_{DR_SL_DEF} = \frac{\mu_{n_SL} \cdot C_{OX_SL}}{2} \cdot \frac{W_R}{L} (V_{GNDL_SL} - V_{th_SL})^2 \cdot (1 + \lambda \cdot V_{REF}) \quad (7.14)$$

Ενώ το ρεύμα $I_{OFF_SL_DEF}$ είναι το ρεύμα διαρροής του τρανζίστορ στην περίπτωση παρουσίας σφάλματος και υπολογίζεται για το slow corner από την σχέση (7.2) θέτοντας $V_{GNDR} = V_{REF}$:

$$I_{OFF_SL_DEF} = \mu_{n_SL} C_{OX_SL} \frac{W}{L} V_T^2 e^{1.8} e^{\frac{-V_{th0_SL} + \eta(V_{DD} - V_{REF}) - \gamma_{SL} V_{REF}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD} - V_{REF}}{V_T}} \right) \quad (7.15)$$

Συνεπώς, η μέγιστη αντίσταση σφάλματος R_{DEF} που μπορεί να ανιχνευτεί σε όλα τα process corners δίνεται από την εξής σχέση:

$$R_{DEF} = \frac{V_{DD} - V_{REF}}{I_{DEF_CM}} \quad (7.16)$$

Στη συνέχεια, μπορούμε να υπολογίσουμε το ελάχιστο ανιχνευόμενο ρεύμα σφάλματος I_{DEF} στον κανονικό τρόπο λειτουργίας (normal mode) από την σχέση:

$$I_{DEF} = \frac{V_{DD}}{R_{DEF}} = \frac{V_{DD}}{V_{DD} - V_{REF}} \cdot I_{DEF_CM} \quad (7.17)$$

Το αντίστοιχο ρεύμα διαρροής (background current) I_B του κυκλώματος CUT μπορεί να υπολογιστεί για το slow corner από τη σχέση (7.1) θέτοντας $V_{GS} = V_{BS} = 0$, $V_{DS} = V_{DD}$:

$$I_B = N \cdot I_{OFF} = N \mu_{n_SL} C_{OX_SL} \frac{W}{L} V_T^2 e^{1.8} e^{\frac{-V_{th0_SL} + \eta V_{DD}}{n \cdot V_T}} \left(1 - e^{-\frac{V_{DD}}{V_T}} \right) \quad (7.18)$$

Τελικά, αντικαθιστώντας στην σχέση (7.10) το ρεύμα I_{DEF} από την (7.17) και το I_B από την (7.18), μπορούμε να εκτιμήσουμε την διακριτική ικανότητα ρεύματος σφάλματος res του BICS με δεδομένα το μέγεθος N του κυκλώματος CUT, την τάση αναφοράς V_{REF} και το πλάτος W_R του τρανζίστορ του καθρέπτη ρεύματος.

Οι πιο πάνω υπολογισμοί μας δίνουν μια εκτίμηση της διακριτικής ικανότητας ρεύματος σφάλματος για την περίπτωση που το κύκλωμα κατασκευάστηκε στο slow corner, δηλαδή για την χειρότερη περίπτωση. Αυτή είναι μια απαισιόδοξη εκτίμηση εφόσον ένα κύκλωμα κατασκευασμένο με διαφορετικές τιμές των κατασκευαστικών παραμέτρων (π.χ. καταστάσεις typical ή fast) θα έχει σαφώς καλύτερη διακριτική ικανότητα, με την πιο καλή για το κύκλωμα που είναι κατασκευασμένο σε fast corner. Εφόσον επιλέχτηκε η τάση αναφοράς V_{REF} να είναι ίση με την V_{GNDR} για το fast corner ($V_{REF} = V_{GNDR_FA}$), συνεπάγεται από την παραπάνω ανάλυση ότι η διακριτική ικανότητα για τις χειρότερες συνθήκες μπορεί να βελτιωθεί αν μειωθεί η διαφορά της τάσης V_{GNDR} στο slow corner από την τάση αναφοράς V_{REF} ($V_{REF} - V_{GNDR_SL} \rightarrow 0$). Όσο η διαφορά μειώνεται θα απαιτείται ολοένα και μικρότερο ρεύμα σφάλματος I_{DEF_CM} για να ανυψώνει την τάση στον κόμβο V_{GNDR} από V_{GNDR_SL} σε V_{REF} . Συνεπώς, θα μπορεί να ανιχνευτεί, σύμφωνα με την σχέση (7.17), μικρότερο ρεύμα σφάλματος I_{DEF} .

Από την σχέση (7.8) μπορεί να αποδειχθεί ότι η διαφορά $V_{GNDR_FA} - V_{GNDR_SL}$ μειώνεται καθώς το μέγεθος N του κυκλώματος CUT ελαττώνεται, ή καθώς το πλάτος W_R του τρανζίστορ του καθρέπτη ρεύματος αυξάνεται. Εφόσον όμως το μέγεθος N είναι σταθερό για ένα δεδομένο κύκλωμα CUT, για να μπορέσουμε να ελαττώσουμε την

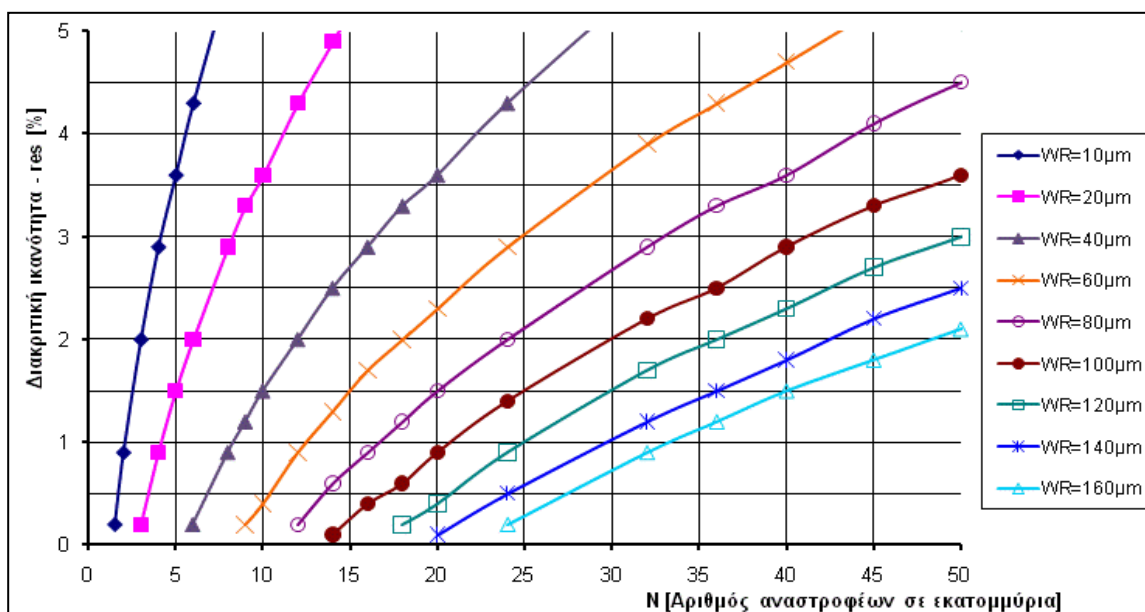
διαφορά $V_{GNDR_FA} - V_{GNDR_SL}$ θα πρέπει να αυξήσουμε τον αριθμό των υποκυκλωμάτων (partitions) μέσα στο CUT ώστε το νέο N στη σχέση να είναι το μέγεθος του κάθε ζεύγους υποκυκλώματων. Για να μπορέσουμε επομένως να εξασφαλίσουμε μια καθορισμένη διακριτική ικανότητα ρεύματος σφαλμάτων θα πρέπει να βρούμε την ιδανική ισορροπία ανάμεσα στον αριθμό των υποκυκλωμάτων μέσα στο CUT και στο κόστος επιφάνειας πυριτίου (το οποίο καθορίζεται από το W_R) του ενσωματωμένου αισθητήρα (BICS).

Στη συνέχεια, θα εφαρμόσουμε την παραπάνω ανάλυση χρησιμοποιώντας τις παραμέτρους της 180nm CMOS τεχνολογίας της ST-Microelectronics (STM), για να έχουμε μια ποσοτική εκτίμηση ανάμεσα στο μέγεθος του κυκλώματος (N) και τις απαιτούμενες διαστάσεις του αισθητήρα (W_R). Οι τιμές των παραμέτρων φαίνονται στον πίνακα 7.1. Η τάση τροφοδοσίας V_{DD} είναι 1.8V και η τάση αναφοράς που επιλέχθηκε είναι $V_{REF}=0.9V$.

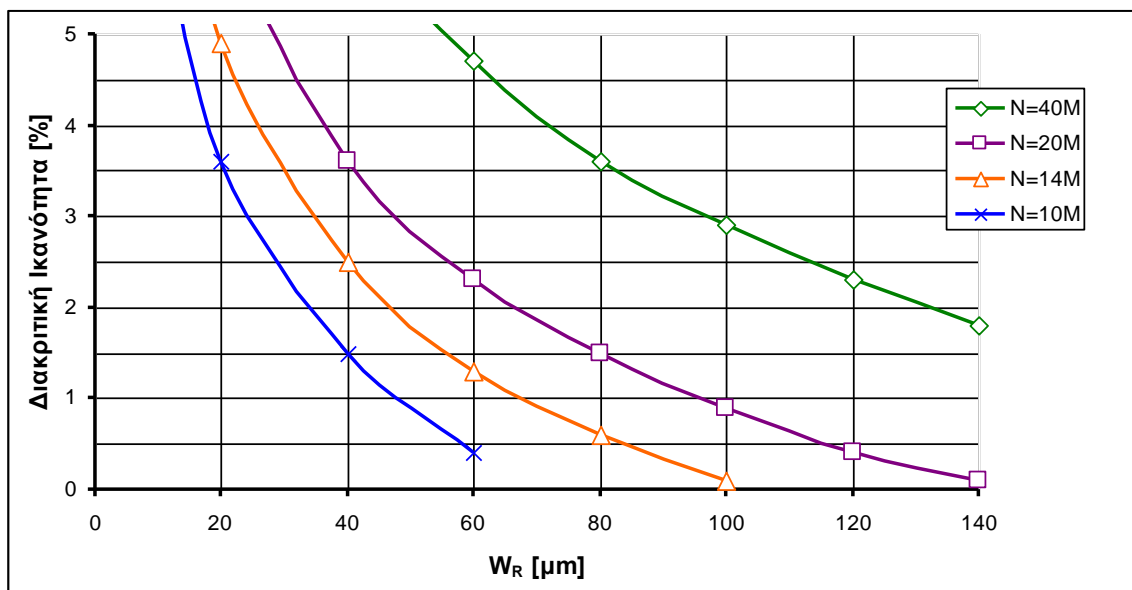
Στο σχήμα 7.9 φαίνονται οι τιμές της διακριτικής ικανότητας ρεύματος σφάλματος res σε συνάρτηση με το μέγεθος του κυκλώματος N για διάφορες τιμές του πλάτους του καθρέπτη ρεύματος W_R . Από τις καμπύλες του διαγράμματος στο σχήμα 7.9 φαίνεται ότι μπορούμε να πετύχουμε οποιαδήποτε επιθυμητή διακριτική ικανότητα αρκεί να αυξάνουμε το πλάτος του τρανζίστορ του καθρέπτη ρεύματος καθώς αυξάνεται το μέγεθος του κυκλώματος. Στο σχήμα 7.10 φαίνεται η διακριτική ικανότητα ρεύματος σφάλματος ως συνάρτηση του πλάτους του τρανζίστορ του καθρέπτη ρεύματος για διάφορες τιμές του μεγέθους του κυκλώματος.

Πίνακας 7.1. Παράμετροι Τεχνολογίας της STM CMOS 180nm.

Παράμετρος	Τάση Κατωφλίου (nMOS)	Συντελεστής Subthreshold swing	Συντελεστής DIBL	Γινόμενο $\mu_n C_{ox}$	Linearized Body effect coefficient	Channel-length modulation parameter
σύμβολο	V_{th}	n	η	$\mu_n C_{ox} = k'$	γ	λ (ή V_A^{-1})
μονάδα	V			A/V^2		V^{-1}
τιμή	0.37	1.43	$6.918 \cdot 10^{-4}$	$1.363 \cdot 10^{-4}$	0.04	0.224



Σχήμα 7.9. Η διακριτική ικανότητα ρεύματος σφάλματος res σε συνάρτηση με το μέγεθος του κυκλώματος N , για διάφορες τιμές του πλάτους του καθρέπτη ρεύματος W_R .

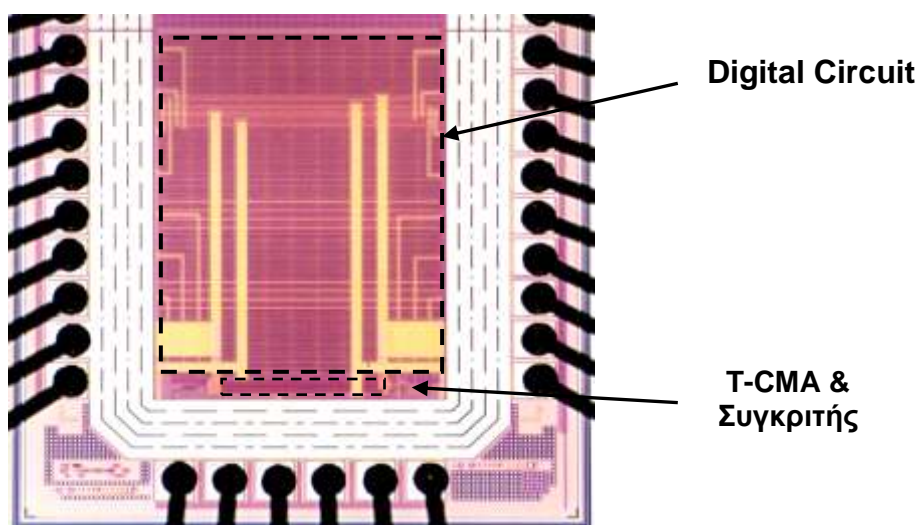


Σχήμα 7.10. Η διακριτική ικανότητα ρεύματος σφάλματος ως συνάρτηση του πλάτους του τρανζίστορ του καθρέπτη ρεύματος W_R , για διάφορες τιμές του μεγέθους του κυκλώματος N.

7.4 Σχεδιασμός του κυκλώματος δοκιμής I_{DDQ} και πειραματικά αποτελέσματα

7.4.1 Το ολοκληρωμένο κύκλωμα επίδειξης

Για την επιβεβαίωση της λειτουργίας της προτεινόμενης τεχνικής I_{DDQ} σχεδιάστηκε και κατασκευάστηκε ένα κύκλωμα επίδειξης σε μια τυπική τεχνολογία CMOS στα 180nm (STM) με $V_{DD}=1.8V$. Το κύκλωμα επίδειξης περιλαμβάνει: α) ένα ψηφιακό κύκλωμα το οποίο είναι το υπό δοκιμή κύκλωμα και β) έναν ενσωματωμένο αισθητήρα ρεύματος (BICS), ο οποίος αποτελείται από ένα ρυθμιζόμενο καθρέπτη ρεύματος και έναν συγκριτή τάσης. Το ψηφιακό κύκλωμα έχει καταταμηθεί σε δύο υποκυκλώματα (subcircuits). Η μικροφωτογραφία του κυκλώματος επίδειξης φαίνεται στο σχήμα 7.11.



Σχήμα 7.11. Μικροφωτογραφία του ολοκληρωμένου κυκλώματος επίδειξης δοκιμής I_{DDQ} .

7.4.1.1 Το ψηφιακό κύκλωμα

Το υπό δοκιμή κύκλωμα (CUT) είναι ένα ψηφιακό κύκλωμα το οποίο αποτελείται από 10800 πύλες NAND δύο εισόδων και 10800 πύλες NOR δύο εισόδων. Περιλαμβάνει συνολικά 86400 τρανζίστορ τα οποία ισοδυναμούν με 199028 μοναδιαία τρανζίστορ (μοναδιαίο θεωρείται το τρανζίστορ ελάχιστης διάστασης, $W=0,28\mu\text{m}$ και $L=0,18\mu\text{m}$ της τεχνολογίας που χρησιμοποιήθηκε). Η κατάτμηση του κυκλώματος σε δύο υποκυκλώματα έγινε σύμφωνα με την τεχνική που προτείνεται στο σχήμα 7.7. Κάθε υποκύκλωμα (subcircuit) περιέχει τις μισές NAND και τις μισές πύλες NOR. Επίσης, κάθε υποκύκλωμα έχει ένα ξεχωριστό ζεύγος σημάτων εισόδου που οδηγεί όλες τις πύλες NAND και ένα ξεχωριστό ζεύγος σημάτων εισόδου που οδηγεί όλες τις πύλες NOR, συνολικά τέσσερα σήματα για το κάθε υποκύκλωμα. Αυτά τα οκτώ σήματα στις εισόδους του CUT είναι ανεξάρτητα και ελέγχονται εξωτερικά παρέχοντας 256 διαφορετικούς συνδυασμούς. Το CUT δεν εκτελεί κάποια χρήσιμη λειτουργία εφόσον δεν είναι αυτό το σημαντικό για την επίδειξη, αλλά το κάθε τμήμα του CUT παρέχει ένα μεταβλητό ρεύμα διαρροής εξαρτώμενο από τις τιμές των σημάτων στις εισόδους των πυλών, καθώς το ρεύμα διαρροής μιας πύλης CMOS εξαρτάται από την κατάσταση των εισόδων της [182], [167].

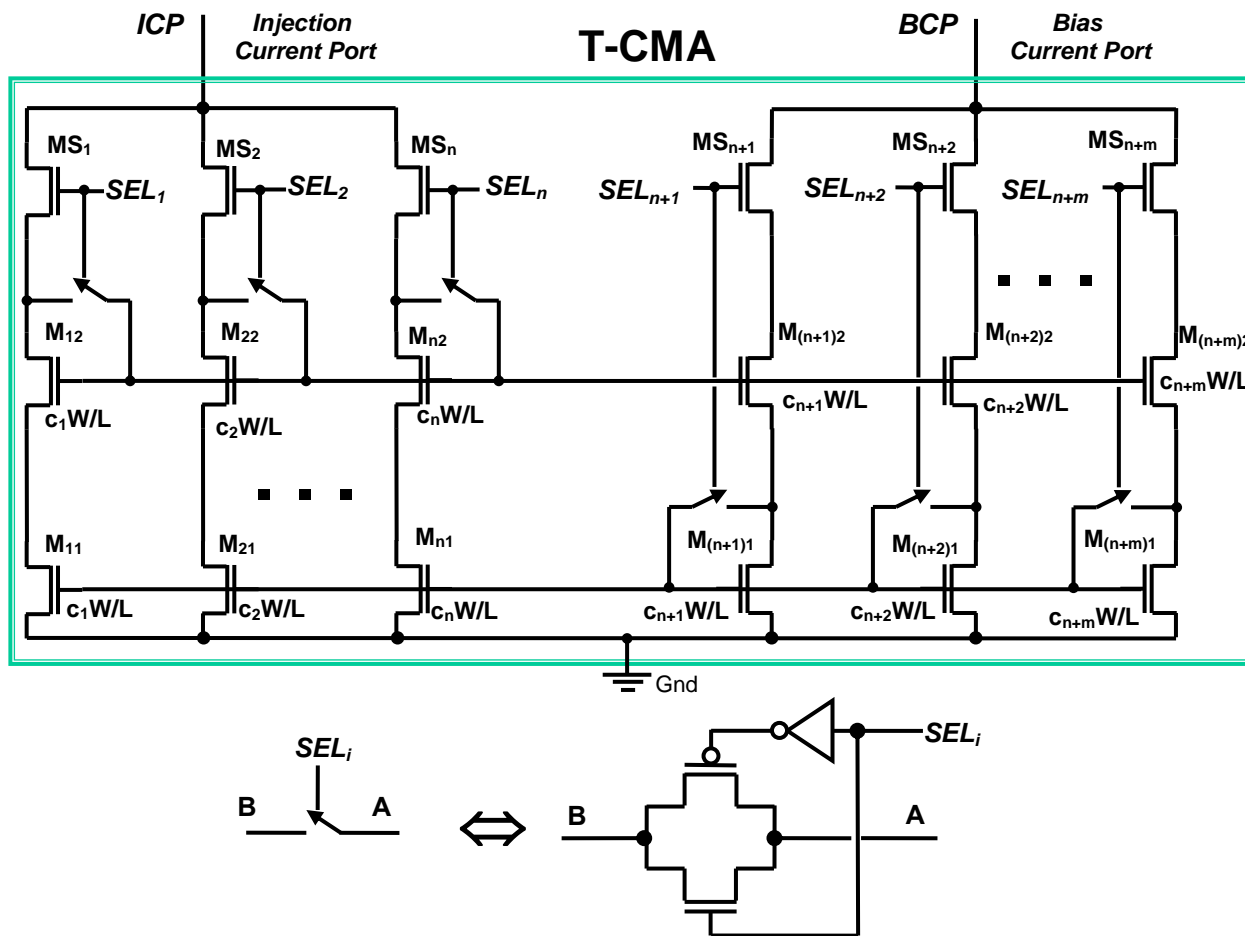
Παρόλο που τα δύο υποκυκλώματα του CUT είναι όμοια, η εγκυρότητα της προτεινόμενης τεχνικής δεν αναιρείται, διότι με την εφαρμογή των κατάλληλων διανυσμάτων δοκιμής στις εισόδους των δύο υποκυκλωμάτων του, μπορούμε να πετύχουμε πολύ μεγάλη διαφορά στα ρεύματα διαρροής του κάθε υποκυκλώματος, έως και 17 φορές.

7.4.1.2 Ο ρυθμιζόμενος καθρέπτης ρεύματος

Το βασικό μέρος του ενσωματωμένου αισθητήρα ρεύματος είναι ο ρυθμιζόμενος ενισχυτής/καθρέπτης ρεύματος (T-CMA), ο οποίος φαίνεται στο σχήμα 7.12. Βασίζεται στην τοπολογία του καθρέπτη Wilson και επιλέχθηκε διότι παρουσιάζει μεγάλη αντίσταση εξόδου [196]. Ο T-CMA αποτελείται συνολικά από έξι κλάδους, τρεις στο τμήμα παραγωγής του ρεύματος αναφοράς (ή ρεύματος I_{INJ} , ή ρεύματος I_L), συνδεδεμένους στον ακροδέκτη *ICP* (Injection Current Port) και τρεις στο τμήμα παραγωγής του ρεύματος πόλωσης, συνδεδεμένους στον ακροδέκτη *BCP* (Bias Current Port). Υπάρχουν έξι σήματα επιλογής (SEL_1 - SEL_6), ένα για κάθε κλάδο, τα οποία χρησιμοποιούνται για τη ρύθμιση του καθρέπτη ρεύματος. Τα σήματα αυτά οδηγούν τα τρανζίστορ επιλογής MS_1 - MS_6 και τους αντίστοιχους διακόπτες CMOS σε κάθε κλάδο. Τα πλάτη των τρανζίστορ του καθρέπτη M_1 - M_{12} , επιλέχθηκαν έτσι ώστε να μπορούν να παράγουν όλα τα απαραίτητα ρεύματα πόλωσης, μετά από προσομοιώσεις για κάθε συνδυασμό εισόδων του ψηφιακού κυκλώματος και για κάθε process corner της τεχνολογίας.

Τα πλάτη (W) των τρανζίστορ του ρυθμιζόμενου καθρέπτη του σχήματος 7.12 είναι:

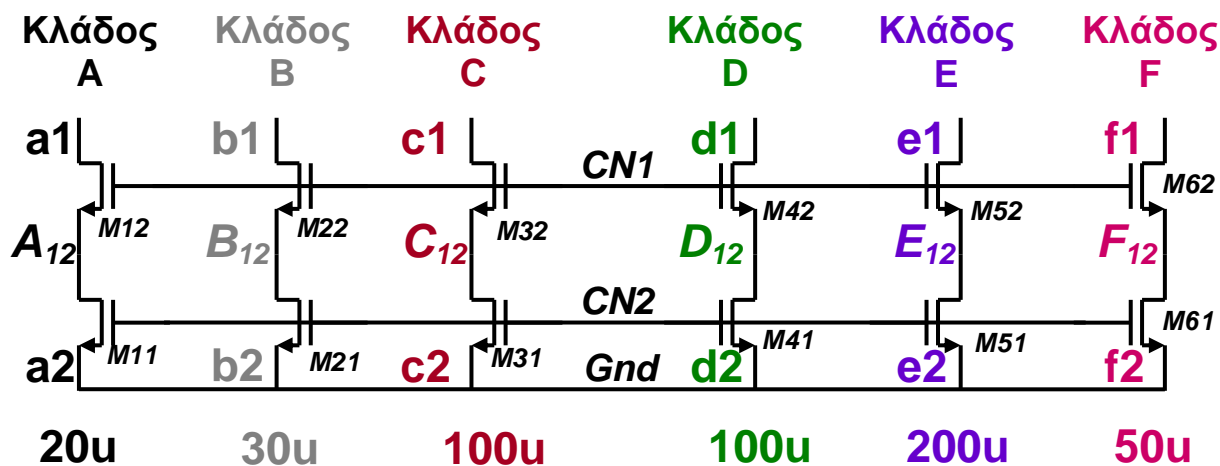
- i) $20\mu\text{m}$ για τα τρανζίστορ M_{12} και M_{11} ,
- ii) $30\mu\text{m}$ για τα τρανζίστορ M_{21} και M_{22} ,
- iii) $100\mu\text{m}$ για τα τρανζίστορ M_{31} και M_{32} ,
- iv) $50\mu\text{m}$ για τα τρανζίστορ M_{41} και M_{42} ,
- v) $100\mu\text{m}$ για τα τρανζίστορ M_{51} και M_{52} και
- vi) $200\mu\text{m}$ για τα τρανζίστορ M_{61} και M_{62}



Σχήμα 7.12. Το κύκλωμα του προτεινόμενου T-CMA και ο διακόπτης CMOS.

Το μήκος (L) όλων των τρανζίστορ του καθρέπτη επιλέχθηκε να είναι $1\mu\text{m}$ για να μειωθεί η επίδραση των μεταβολών των κατασκευαστικών παραμέτρων. Το πλάτος (W) όλων των τρανζίστορ επιλογής MS_1 - MS_6 είναι $50\mu\text{m}$ και τέλος το πλάτος των pMOS τρανζίστορ στους διακόπτες CMOS είναι $2\mu\text{m}$, ενώ των nMOS τρανζίστορ είναι $1\mu\text{m}$. Ο ρυθμιζόμενος αυτός ενισχυτής/καθρέπτης ρεύματος μπορεί να τεθεί σε 49 διαφορετικές καταστάσεις, ή με άλλα λόγια μπορεί να παράγει 49 διαφορετικά ρεύματα πόλωσης για κάθε ρεύμα αναφοράς (I_{INJ}) που διαρρέει τον ακροδέκτη ICP . Σύμφωνα όμως με τις προσομοιώσεις απαιτούνται μόνο 10 από τις 49 καταστάσεις για να εκτελεστεί μια πλήρης δοκιμή I_{DDQ} του συγκεκριμένου ψηφιακού κυκλώματος (CUT) των 199028 μοναδιαίων τρανζίστορ, για όλους τους συνδυασμούς των εισόδων του και σε όλα τα process corners.

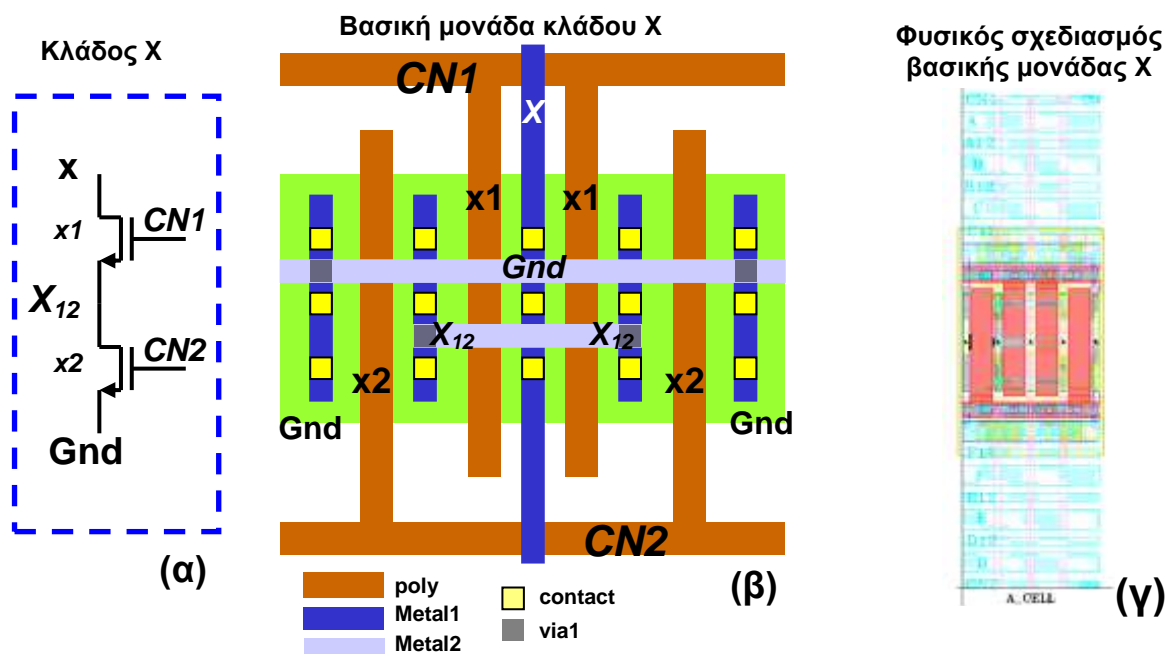
Κατά την διάρκεια του φυσικού σχεδιασμού (layout) του καθρέπτη ρεύματος χρησιμοποιήθηκαν διάφορες τεχνικές, όπως αυτές που αναφέρονται στην εργασία [197], για την αποφυγή της διαμόρφωσης μήκους καναλιού, devices mismatching και local process gradients, έτσι ώστε να αποφευχθούν πιθανές ατέλειες που θα μείωναν την ακρίβεια του καθρέπτη. Λόγω της περιορισμένης διαθέσιμης επιφάνειας πυριτίου ο καθρέπτης έπρεπε να σχεδιαστεί έτσι ώστε να έχει όσο το δυνατόν μικρότερο πλάτος και μέγιστο διαθέσιμο μήκος $600\mu\text{m}$ δηλαδή σχήμα λεπτής λωρίδας. Για τη διευκόλυνση της διαδικασίας του σχεδιασμού, οι κλάδοι του καθρέπτη ονομάστηκαν σύμφωνα με την φιλοσοφία που φαίνεται στο σχήμα 7.13.



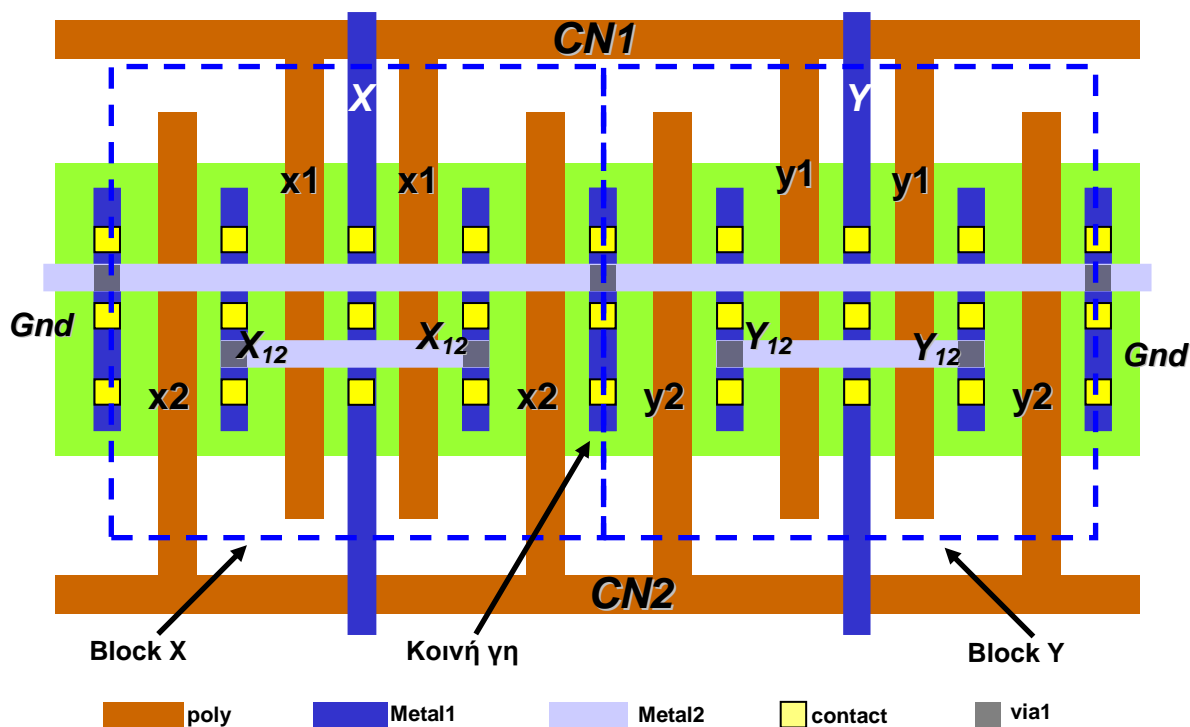
Σχήμα 7.13. Το απλοποιημένο σχηματικό του T-CMA χωρίς τους διακόπτες επιλογής, όλοι οι κλάδοι συνδέονται στην γείωση.

Στο σχήμα 7.13 ο κοινός κόμβος που συνδέει τις πύλες των τρανζίστορ M12, M22, ..., M62 έχει ονομαστεί CN1 και ο κοινός κόμβος που συνδέει τις πύλες των τρανζίστορ M11, M21, ..., M61 έχει ονομαστεί CN2.

Κάθε κλάδος του καθρέπτη θα σχηματίζεται από παράλληλα συνδεδεμένα τρανζίστορ με πλάτος το καθένα W=10μm, τα οποία στη συνέχεια θα ονομάζονται «βασικές μονάδες» και θα πρέπει να βρίσκονται σε όσο το δυνατόν τυχαίες θέσεις μέσα στην επιφάνεια που καταλαμβάνει ο καθρέπτης. Ο κλάδος A με τον τρόπο αυτό, θα σχηματίζεται από 2 τέτοιες βασικές μονάδες, ο κλάδος B από 3, ο C και ο D από 10 κ.ο.κ. Για να είναι δυνατή η επανάληψη της βασικής μονάδας ακολουθήθηκε η σχεδίαση που φαίνεται στο σχήμα 7.14.



Σχήμα 7.14. (α) Σχηματικό βασικής μονάδας. (β) Η βασική μονάδα σχηματισμού των κλάδων του T-CMA η οποία αποτελείται από δύο παράλληλα συνδεδεμένα τρανζίστορ των 5μm τα οποία σχηματίζουν το τρανζίστορ x1 και επίσης δύο παράλληλα συνδεδεμένα τρανζίστορ των 5μm τα οποία σχηματίζουν το x2. (γ) Η φυσική σχεδίαση της βασικής μονάδας για τον κλάδο A.



Σχήμα 7.15. Δύο βασικές μονάδες η X και η Y οι οποίες επικαλύπτονται στο μέσον.

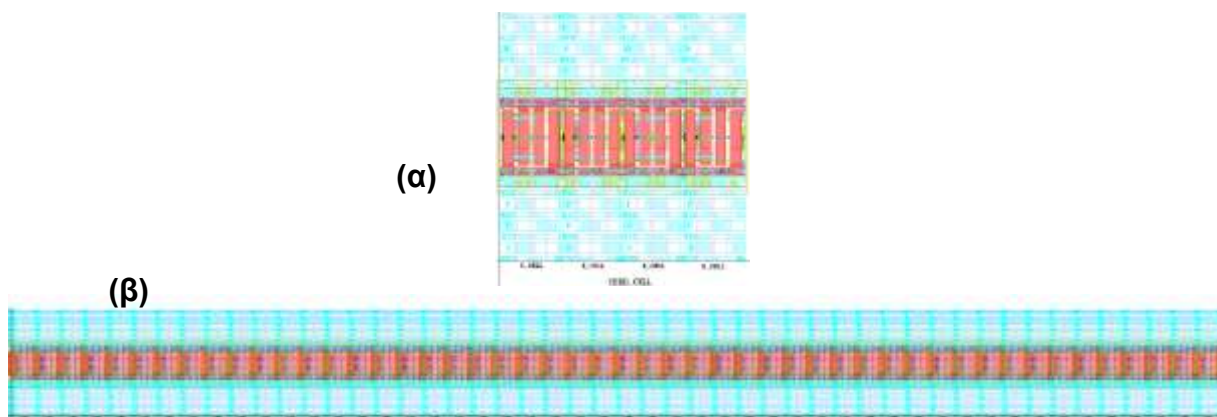
Ο παραπάνω σχεδιασμός επιτρέπει την γεινίαση με επικάλυψη των *βασικών μονάδων*, δηλαδή την επικάλυψη της γείωσης μιας *βασικής μονάδας* με την επόμενη της, εξοικονομώντας επιφάνεια πυριτίου. Η πραγματική φυσική σχεδίαση της βασικής μονάδας του κλάδου A φαίνεται στο σχήμα 7.14(γ).

Στο σχήμα 7.15 φαίνονται δύο συνδεδεμένες *βασικές μονάδες*, η x (Block X) και η y (Block Y), που ανήκουν σε δύο διαφορετικούς κλάδους, και επικαλύπτονται στο μέσον έχοντας κοινή γείωση. Με τον τρόπο αυτό ο κάθε κλάδος βρίσκεται κατανεμημένος σε όλη την επιφάνεια του καθρέπτη και το ίδιο ακριβώς συμβαίνει και με όλους τους κλάδους ώστε να επηρεάζονται όλα τα τρανζίστορ του T-CMA με τον ίδιο τρόπο από τις διακυμάνσεις των παραμέτρων.

Στο σχήμα 7.16 φαίνεται η προτεινόμενη διάταξη των *βασικών μονάδων* που σχηματίζουν τον πλήρη καθρέπτη των έξι κλάδων. Όπως φαίνεται στο σχήμα αυτό, έχει χρησιμοποιηθεί και μια νέα ομάδα από τέσσερις *βασικές μονάδες* (η **DEEC**), η οποία φαίνεται στο σχήμα 7.17(α) και επίσης έχει γίνει προσπάθεια για την όσο το δυνατόν πιο τυχαία κατανομή στη διαθέσιμη επιφάνεια του καθρέπτη, τόσο αυτής της ομάδας, όσο και των υπολοίπων *βασικών μονάδων*. Τέλος, στο σχήμα 7.17(β) φαίνεται η φυσική σχεδίαση του πλήρους καθρέπτη.

DEEC-F-DEEC-B-DEEC-F-A-DEEC-B-DEEC-F-CEED-B-CEED-A-F-CEED-CEED-F-CEED

Σχήμα 7.16. Η προτεινόμενη διάταξη των βασικών μονάδων για το σχηματισμό του καθρέπτη.

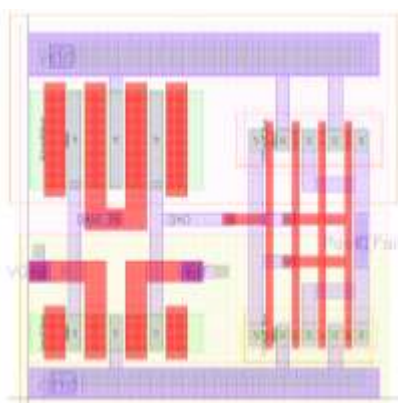


Σχήμα 7.17. (α) Φυσική σχεδίαση του τμήματος CEED, (β) Φυσική σχεδίαση του T-CMA.

7.4.1.3 Ο συγκριτής τάσης

Ο συγκριτής τάσης βασίζεται σε ένα CMOS διαφορικό ενισχυτή. Το κύκλωμα αυτό επιλέχθηκε για την υψηλή αντίσταση εισόδου του. Έτσι, δεν επηρεάζεται το ρεύμα πόλωσης του T-CMA. Σε διαφορετική περίπτωση, έστω και με μια ελάχιστη μεταβολή στο ρεύμα του κόμβου πόλωσης του καθρέπτη (*BCP*), ο οποίος είναι και ο κόμβος στον οποίο γίνεται η ανίχνευση της τάσης, διαταράσσεται η σωστή λειτουργία του T-CMA. Προφανώς, οποιοσδήποτε ενσωματωμένος ή εξωτερικός συγκριτής τάσης μπορεί να χρησιμοποιηθεί για την ανίχνευση της τάσης. Στο σχήμα 7.18 φαίνεται η φυσική σχεδίαση του κυκλώματος του συγκριτή. Η μία είσοδος του συγκριτή συνδέεται στον ακροδέκτη πόλωσης (*BCP*) του καθρέπτη (T-CMA) και η άλλη είσοδος στην εξωτερική τάση αναφοράς V_{REF} . Η έξοδος του συγκριτή ονομάζεται *Fail/Pass*, είναι ψηφιακή και παρέχει την ένδειξη ύπαρξης σφάλματος. Κατά την διάρκεια της δοκιμής I_{DDQ} ο συγκριτής παράγει στην έξοδό του ένα σήμα υψηλής στάθμης (“high” ή “1”) στη περίπτωση που υπάρχει σφάλμα (όταν δηλαδή η τάση στον κόμβο ανίχνευσης είναι μεγαλύτερη από την τάση αναφοράς V_{REF}), ή ένα σήμα χαμηλής στάθμης (“low” ή “0”) στην περίπτωση απουσίας σφάλματος (όταν η τάση στον κόμβο ανίχνευσης είναι μικρότερη από την V_{REF}).

Η απαιτούμενη επιφάνεια πυριτίου για το κύκλωμα του T-CMA και το συγκριτή τάσης είναι μόνο το 2.42% του ψηφιακού CUT. Όπως έχει αναφερθεί, για την παραπάνω τεχνική, δεν είναι απαραίτητο οποιοδήποτε από τα δύο αυτά κυκλώματα να είναι ενσωματωμένο στο chip μαζί με το υπό δοκιμή κύκλωμα, αλλά το μόνο που απαιτείται στον σχεδιασμό είναι η κατάλληλη κατάτμηση του CUT σε υποκυκλώματα.



Σχήμα 7.18. Η φυσική σχεδίαση του συγκριτή τάσης.

7.4.2 Πειραματικά αποτελέσματα

Στο chip που επρόκειτο να κατασκευαστεί πραγματοποιήθηκαν, κατά την διάρκεια της σχεδίασης, όλες οι απαραίτητες προσομοιώσεις σε όλα τα process corners για να καθοριστούν οι επιδόσεις που αφορούν τη διακριτική ικανότητα ρεύματος σφάλματος και τον απαιτούμενο χρόνο εφαρμογής της δοκιμής I_{DDQ} . Αρχικά, με βάση τις προσομοιώσεις, για κάθε συνδυασμό τιμών στις εισόδους του CUT και σε κάθε ένα από τα δύο υποκυκλώματα καθορίστηκε ένα ξεχωριστό διάνυσμα ενεργοποίησης για τα έξι σήματα επιλογής $\langle SEL_1-SEL_6 \rangle$. Τα διανύσματα ενεργοποίησης φαίνονται στην πρώτη στήλη του πίνακα 7.2. Στην δεύτερη στήλη φαίνεται για κάθε διάνυσμα ενεργοποίησης ο παράγοντας ενίσχυσης β του T-CMA και στην τρίτη στήλη φαίνεται ο αριθμός των διανυσμάτων δοκιμής που εξυπηρετεί το κάθε διάνυσμα ενεργοποίησης.

Η τιμή του ρεύματος διαρροής I_B , του CUT, σύμφωνα με τις προσομοιώσεις και λαμβάνοντας υπόψιν όλα τα corners και όλους τους συνδυασμούς στις εισόδους του, κυμαίνεται από 100nA μέχρι 10μA. Χρησιμοποιώντας τάση αναφοράς 0.9V, η διακριτική ικανότητα ρεύματος σφαλμάτων που επιτυγχάνεται είναι 0.16%, και ο χρόνος εφαρμογής της δοκιμής είναι 300μs ανά διάνυσμα δοκιμής. Η παραπάνω διακριτική ικανότητα αντιστοιχεί σε ισοδύναμη ωμική αντίσταση σφάλματος 400MΩ. Ο χρόνος των 300μs/(test_vector) μετρήθηκε για το διάνυσμα εισόδου που δίνει την πιο αργή απόκριση στην έξοδο pass/fail για το slow corner. Αυτός ο χρόνος δοκιμής, θα μπορούσε να παράγεται από ταλαντωτή ενσωματωμένο στο chip, ο οποίος θα παρήγαγε χρόνους ανάλογα με το corner κατασκευής. Με τον τρόπο αυτό θα ολοκληρωνόταν συντομότερα η δοκιμή στα chip που κατασκευάστηκαν στο typical corner και ακόμη πιο σύντομα στο fast corner. Εν γένει, ο μέσος χρόνος για τα διανύσματα δοκιμής είναι 100μs.

Πίνακας 7.2. Κατανομή διανυσμάτων δοκιμής για κάθε διάνυσμα ενεργοποίησης.

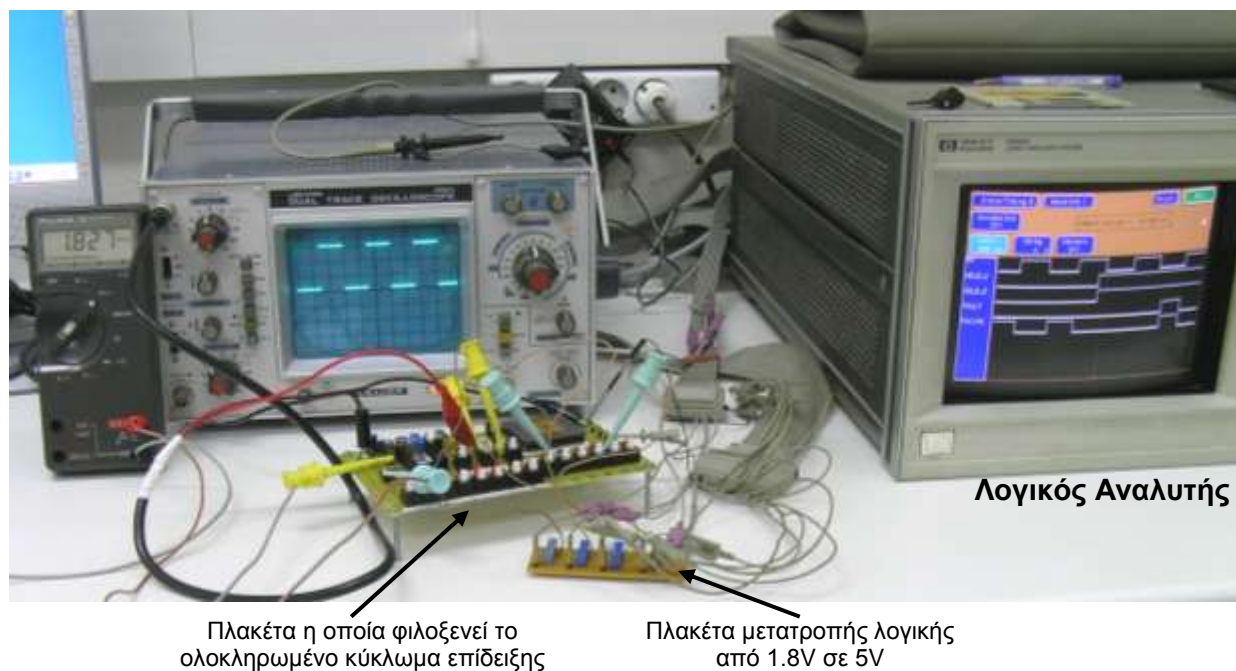
Διάνυσμα Ενεργοποίησης $\langle SEL_1-SEL_6 \rangle$	Ενίσχυση T-CMA ($\beta = \Sigma ci$)	Αριθμός διανυσμάτων δοκιμής
$\langle 100 - 010 \rangle$	200/20	2
$\langle 100 - 110 \rangle$	300/20	6
$\langle 010 - 100 \rangle$	100/30	10
$\langle 010 - 010 \rangle$	200/30	46
$\langle 010 - 110 \rangle$	300/30	2
$\langle 001 - 001 \rangle$	50/100	24
$\langle 001 - 100 \rangle$	100/100	129
$\langle 001 - 101 \rangle$	150/100	1
$\langle 001 - 010 \rangle$	200/100	32
$\langle 001 - 110 \rangle$	300/100	4
Σύνολο διανυσμάτων δοκιμής:		256

Επιπρόσθετα, σχεδιάστηκε και μία δεύτερη έκδοση του chip, στην οποία οι δύο κόμβοι των εικονικών γειώσεων (V_{GNDL} και V_{GNDR} στο σχήμα 7.7) συνδέθηκαν με ακροδέκτες

γείωσης τροφοδοσίας (ground pads). Οι ακροδέκτες αυτοί χρησιμοποιούνται για τη σύνδεση του ολοκληρωμένου κυκλώματος με τους ακροδέκτες γείωσης του περιβλήματος (pins) και ενσωματώνουν διόδους μεγάλων διαστάσεων προς τη γη και την τροφοδοσία, για την προστασία από τον στατικό ηλεκτρισμό (ESD protection diodes). Οι ακροδέκτες των εικονικών γειώσεων που χρησιμοποιήθηκαν στη δεύτερη έκδοση παρέχουν μια σειρά από σημαντικά πλεονεκτήματα, όπως η εξοικονόμηση επιφάνειας πυριτίου, λόγω της χρήσης μικρότερων διαστάσεων τρανζίστορ απομόνωσης της γείωσης (MN_{GL} και MN_{GR} στο σχήμα 7.4), η βελτίωση της ταχύτητας και η μείωση του θορύβου στην γραμμή τροφοδοσίας κατά τη διάρκεια της κανονικής λειτουργίας. Με τον σχεδιασμό της δεύτερης έκδοσης η τάση αναφοράς περιορίζεται από την τάση αποκοπής των διόδων προστασίας που χρησιμοποιούνται στα κυκλώματα ESD των pad της γείωσης. Στην περίπτωση αυτή χρησιμοποιείται τάση αναφοράς 0.5V, η διακριτική ικανότητα ρεύματος σφαλμάτων είναι 3% και αντιστοιχεί σε ωμική αντίσταση σφάλματος των 24MΩ.

Αν θελήσουμε να συγκρίνουμε την τυπική διάταξη της δοκιμής I_{DDQ} που φαίνεται στο σχήμα 7.2 με την προτεινόμενη τεχνική και επαναλάβουμε τα παραπάνω πειράματα (με το κατάλληλο, αλλά σταθερό για όλα τα process corner, ρεύμα αναφοράς (I_{INJ}) για όλα τα διανύσματα δοκιμής και με μια τάση αναφοράς $V_{REF}=0.9V$), τότε η διακριτική ικανότητα ρεύματος σφάλματος υποβαθμίζεται δραματικά μέχρι και στο 700%. Μια τόσο μεγάλη τιμή διακριτικής ικανότητας, που είναι προφανώς μη αποδεκτή, οφείλεται στο γεγονός ότι η κλασική τοπολογία δοκιμής I_{DDQ} του σχήματος 7.2, δεν λαμβάνει υπόψιν τις διακυμάνσεις του ρεύματος.

Οι μετρήσεις που έγιναν στα κατασκευασμένα κυκλώματα επίδειξης στο εργαστήριο (σχήμα 7.19) τα οποία χρησιμοποιούν ακροδέκτες γείωσης (ground pads) στους κόμβους εικονικής γης (virtual ground), επιβεβαίωσαν όλα τα παραπάνω αποτελέσματα των προσομοιώσεων. Το ρεύμα διαρροής που μετρήθηκε βρισκόταν στο διάστημα από 0.2μΑ έως 3.4μΑ.



Σχήμα 7.19. Πλακέτα δοκιμών με το κατασκευασμένο chip στο εργαστήριο.

Για την δοκιμή και την αξιολόγηση της προτεινόμενης τεχνικής χρησιμοποιήθηκαν όλα τα διανύσματα ενεργοποίησης που καθορίστηκαν από τις προσομοιώσεις και φαίνονται

στον πίνακα 7.2. Τα σφάλματα προσομοιώνονται με μια ωμική αντίσταση συνδεδεμένη ανάμεσα στην τροφοδοσία V_{DD} και τους ακροδέκτες στους κόμβους των εικονικών γειώσεων. Η διαδικασία της αξιολόγησης χωρίζεται σε τρεις διαδοχικές φάσεις και ακολουθήθηκε για κάθε ένα διάνυσμα δοκιμής και για ένα πλήθος σφαλμάτων γεφύρωσης με ωμικές αντιστάσεις από 4MΩ μέχρι 24MΩ, ως εξής:

1^η ΦΑΣΗ: Περίπτωση απουσίας σφάλματος, ο T-CMA απενεργοποιημένος.

- 1α) Αρχικά εφαρμόζεται στις εισόδους του ψηφιακού κυκλώματος κάθε ένα διάνυσμα δοκιμής, με το ψηφιακό κύκλωμα να βρίσκεται στην κανονική κατάσταση λειτουργίας (normal mode), δηλαδή το σήμα T_ENB να βρίσκεται σε υψηλή στάθμη ($T_ENB="high"$), πράγμα που σημαίνει ότι οι δύο κόμβοι εικονικής γης ($V_Gnd_{L/R}$) συνδέονται στη γη. Ο T-CMA γίνεται ανενεργός θέτοντας ως διάνυσμα ενεργοποίησης ένα διάνυσμα που περιέχει παντού μηδέν (<000_000>).
- 1β) Μετά την εφαρμογή ενός διανύσματος δοκιμής, το σήμα T_ENB τίθεται σε χαμηλή στάθμη ($T_ENB="low"$) και καταγράφεται το αποτέλεσμα της δοκιμής I_{DDQ} στην έξοδο *Fail/Pass* του συγκριτή.

Η πρώτη φάση είναι όμοια με τη συμβατική τεχνική δοκιμής I_{DDQ} όπως αυτή του σχήματος 7.1. Κατά την διάρκεια της πρώτης φάσης ελέγχεται αν υπάρχει κάποιο διάνυσμα δοκιμής που με μια σταθερή τάση αναφοράς και με απουσία σφάλματος, θα δώσει μια λανθασμένη ένδειξη σφάλματος στην έξοδο *Fail/Pass* του συγκριτή. Στην περίπτωση αυτή, ο T-CMA είναι ανενεργός και η προτεινόμενη τεχνική δεν εφαρμόζεται. Σύμφωνα με τα πειραματικά αποτελέσματα, όλα τα διανύσματα δοκιμής δίνουν λανθασμένη ένδειξη σφάλματος, δηλαδή η συμβατική μέθοδος δοκιμής I_{DDQ} θα οδηγούσε σε μείωση της κατασκευαστικής απόδοσης (yield loss).

2^η ΦΑΣΗ: Περίπτωση απουσίας σφάλματος, ο T-CMA ενεργοποιημένος.

- 2α) Στη συνέχεια για κάθε ένα διάνυσμα δοκιμής η γραμμή T_ENB οδηγείται και πάλι σε υψηλή στάθμη ($T_ENB="high"$) και εφαρμόζεται στον T-CMA το κατάλληλο διάνυσμα ενεργοποίησης.
- 2β) Μετά η γραμμή T_ENB οδηγείται σε χαμηλή στάθμη ($T_ENB="low"$) και παρατηρείται η έξοδος *Fail/Pass* του συγκριτή.

Κατά την διάρκεια της δεύτερης φάσης ελέγχεται αν με μια σταθερή τάση αναφοράς με την εφαρμογή της προτεινόμενης τεχνικής δοκιμής I_{DDQ} , η ένδειξη της εξόδου του κυκλώματος BICS είναι σωστή στην περίπτωση απουσίας σφάλματος. Σύμφωνα με τα πειραματικά αποτελέσματα, αυτό επαληθεύεται για την πλειοψηφία των διανυσμάτων δοκιμής. Επομένως, η προτεινόμενη τεχνική δοκιμής I_{DDQ} δεν μειώνει την κατασκευαστική απόδοση.

3^η ΦΑΣΗ: Περίπτωση παρουσίας σφάλματος, ο T-CMA ενεργοποιημένος.

- 3α) Για κάθε διάνυσμα δοκιμής η γραμμή T_ENB οδηγείται και πάλι σε υψηλή στάθμη ($T_ENB="high"$) το αντίστοιχο διάνυσμα ενεργοποίησης παραμένει στον ενεργοποιημένο T-CMA και εισάγεται στο ψηφιακό κύκλωμα σφάλμα γεφύρωσης χρησιμοποιώντας ωμικές αντιστάσεις στο διάστημα από 4MΩ έως 24MΩ.
- 3β) Στη συνέχεια, η γραμμή T_ENB οδηγείται σε χαμηλή στάθμη ($T_ENB="low"$) και παρατηρείται η έξοδος *Fail/Pass* του συγκριτή.

Κατά την διάρκεια της τρίτης φάσης ελέγχεται αν υπάρχει τουλάχιστον ένα διάνυσμα δοκιμής το οποίο μπορεί να δώσει την ένδειξη παρουσίας σφάλματος με μια σταθερή

τάση αναφοράς, όταν εφαρμόζεται η προτεινόμενη τεχνική δοκιμής I_{DDQ} υπό την παρουσία σφάλματος.

Στον πίνακα 7.3 παρουσιάζονται οι μετρήσεις που προέκυψαν από την παραπάνω διαδικασία για ένα εκ των κατασκευασμένων κυκλωμάτων. Συγκεκριμένα, στον πίνακα αυτό το σφάλμα που χρησιμοποιήθηκε για τις δοκιμές έχει ωμική αντίσταση ίση με 10ΜΩ. Η ιδανική τάση αναφοράς για το συγκεκριμένο κύκλωμα υπολογίστηκε πειραματικά, όπως θα δούμε στη συνέχεια, στην τιμή 450mV.

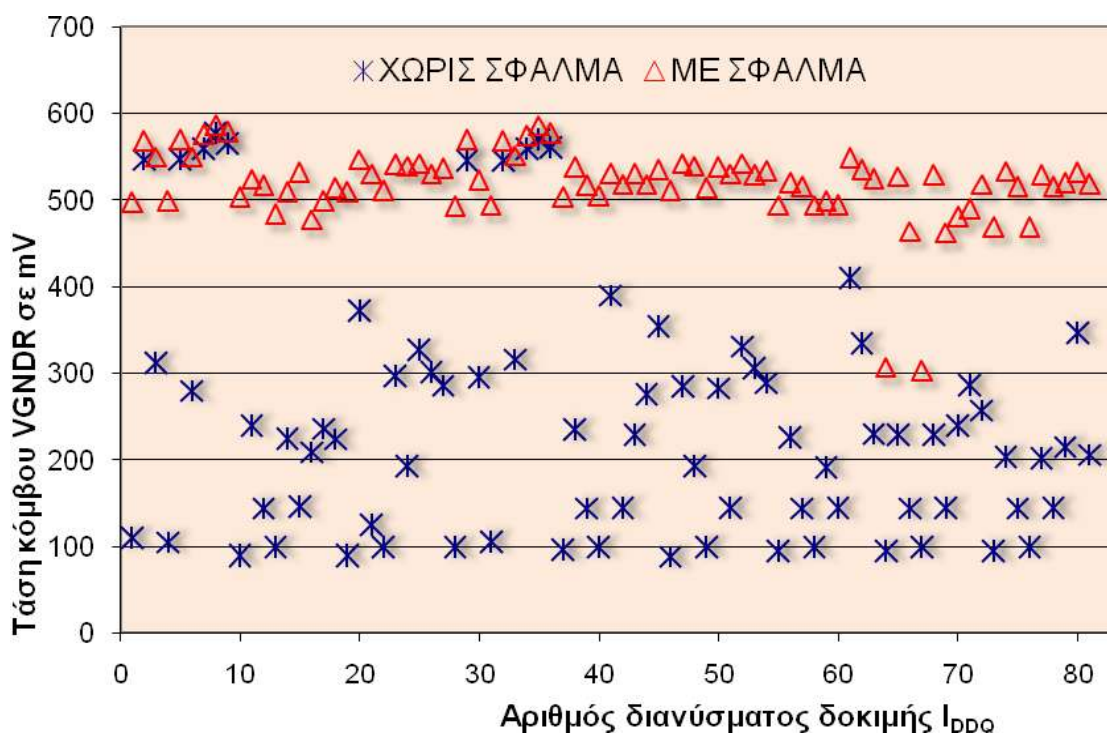
Πίνακας 7.3. Εργαστηριακός χαρακτηρισμός ενός εκ των κατασκευασμένων ολοκληρωμένων κυκλωμάτων.

Διάνυσμα εισόδου στα 2 υποκυκλώματα		WL / WR (μm)	Τάση κόμβου V_{GNDR}	
αριστερού	δεξιού		fault free	Fault 10ΜΩ
0 0 0 0	0 0 0 0	100 / 100	110	498
0 0 0 0	0 0 0 1	30 / 200	547	569
0 0 0 0	0 0 1 1	100 / 150	312	550
0 0 0 0	0 1 0 0	100 / 100	105	499
0 0 0 0	0 1 0 1	30 / 200	548	570
0 0 0 0	0 1 1 1	30 / 200	280	550
0 0 0 0	1 1 0 0	20 / 200	560	576
0 0 0 0	1 1 0 1	20 / 300	578	587
0 0 0 0	1 1 1 1	20 / 200	566	579
0 0 0 1	0 0 0 0	100 / 100	91	504
0 0 0 1	0 0 0 1	100 / 100	240	524
0 0 0 1	0 0 1 1	100 / 100	144	517
0 0 0 1	0 1 0 0	100 / 100	100	484
0 0 0 1	0 1 0 1	100 / 100	225	510
0 0 0 1	0 1 1 1	100 / 100	146	532
0 0 0 1	1 1 0 0	100 / 200	209	477
0 0 0 1	1 1 0 1	100 / 250	236	499
0 0 0 1	1 1 1 1	100 / 200	224	514
0 0 1 1	0 0 0 0	100 / 100	91	510
0 0 1 1	0 0 0 1	30 / 200	373	547
0 0 1 1	0 0 1 1	100 / 100	125	530
0 0 1 1	0 1 0 0	30 / 100	100	511
0 0 1 1	0 1 0 1	30 / 200	297	541
0 0 1 1	0 1 1 1	100 / 100	193	539
0 0 1 1	1 1 0 0	30 / 300	327	542
0 0 1 1	1 1 0 1	20 / 300	302	530
0 0 1 1	1 1 1 1	30 / 250	286	537
0 1 0 0	0 0 0 0	30 / 200	99	493
0 1 0 0	0 0 0 1	30 / 200	546	570
0 1 0 0	0 0 1 1	20 / 200	296	523
0 1 0 0	0 1 0 0	100 / 100	106	494
0 1 0 0	0 1 0 1	30 / 200	546	569
0 1 0 0	0 1 1 1	100 / 200	316	551
0 1 0 0	1 1 0 0	30 / 200	560	575
0 1 0 0	1 1 0 1	20 / 300	570	586
0 1 0 0	1 1 1 1	30 / 300	561	578
0 1 0 1	0 0 0 0	100 / 100	96	504
0 1 0 1	0 0 0 1	100 / 100	235	538
0 1 0 1	0 0 1 1	100 / 100	144	517
0 1 0 1	0 1 0 0	100 / 100	100	505
0 1 0 1	0 1 0 1	100 / 100	390	531

Διάνυσμα εισόδου στα 2 υποκυκλώματα		WL / WR (μm)	Τάση κόμβου V_{GNDR}	
αριστερού	δεξιού		fault free	Fault 10ΜΩ
0 1 0 1	0 1 1 1	100 / 100	145	518
0 1 0 1	1 1 0 0	100 / 200	229	531
0 1 0 1	1 1 0 1	100 / 300	276	518
0 1 0 1	1 1 1 1	100 / 200	354	535
0 1 1 1	0 0 0 0	100 / 200	88	511
0 1 1 1	0 0 0 1	30 / 200	285	542
0 1 1 1	0 0 1 1	100 / 100	193	539
0 1 1 1	0 1 0 0	100 / 100	100	514
0 1 1 1	0 1 0 1	30 / 200	283	538
0 1 1 1	0 1 1 1	30 / 100	145	530
0 1 1 1	1 1 0 0	30 / 300	331	542
0 1 1 1	1 1 0 1	20 / 300	306	529
0 1 1 1	1 1 1 1	30 / 300	289	534
1 1 0 0	0 0 0 0	100 / 100	95	494
1 1 0 0	0 0 0 1	100 / 100	226	520
1 1 0 0	0 0 1 1	100 / 100	144	516
1 1 0 0	0 1 0 0	100 / 100	100	494
1 1 0 0	0 1 0 1	100 / 100	192	499
1 1 0 0	0 1 1 1	100 / 100	145	495
1 1 0 0	1 1 0 0	100 / 100	410	549
1 1 0 0	1 1 0 1	100 / 200	335	535
1 1 0 0	1 1 1 1	100 / 200	230	525
1 1 0 1	0 0 0 0	100 / 50	95	307
1 1 0 1	0 0 0 1	100 / 50	229	527
1 1 0 1	0 0 1 1	100 / 50	144	464
1 1 0 1	0 1 0 0	100 / 50	100	303
1 1 0 1	0 1 0 1	100 / 50	229	529
1 1 0 1	0 1 1 1	100 / 50	145	462
1 1 0 1	1 1 0 0	100 / 100	240	481
1 1 0 1	1 1 0 1	100 / 100	287	490
1 1 0 1	1 1 1 1	100 / 100	257	518
1 1 1 1	0 0 0 0	100 / 50	95	469
1 1 1 1	0 0 0 1	100 / 100	204	533
1 1 1 1	0 0 1 1	100 / 50	144	516
1 1 1 1	0 1 0 0	100 / 50	100	469
1 1 1 1	0 1 0 1	100 / 100	202	529
1 1 1 1	0 1 1 1	100 / 100	145	516
1 1 1 1	1 1 0 0	100 / 100	215	520
1 1 1 1	1 1 0 1	100 / 200	347	532
1 1 1 1	1 1 1 1	100 / 100	206	519

Σύμφωνα με τις μετρήσεις αυτές υπάρχουν 10 διανύσματα δοκιμής που όταν εφαρμόζονται απουσία σφάλματος, έχουν ως αποτέλεσμα μια τάση στον κόμβο V_{GNDR} μεγαλύτερη της τάσης αναφοράς (και έτσι εμφανίζονται λανθασμένα ως ελαττωματικά (erroneous fault)). Επίσης, υπάρχουν άλλα 2 διανύσματα δοκιμής που με την παρουσία σφάλματος στο δεξί υποκύκλωμα, δεν παρέχουν ένδειξη σφάλματος διότι δεν μπορεί να ανυψωθεί η τάση του κόμβου V_{GNDR} πάνω από την τάση αναφοράς με αποτέλεσμα το σφάλμα αυτό να μην ανιχνεύεται. Προφανώς, αυτά τα 12 διανύσματα δοκιμής θα εξαιρεθούν από την διάγνωση ορθής λειτουργίας αν υπάρχει η απαίτηση για ανίχνευση σφαλμάτων με συνολική αντίσταση από την τροφοδοσία V_{DD} μέχρι την εικονική γη V_{GNDR} ίση με $10M\Omega$. Τα διανύσματα δοκιμής φαίνονται στις δύο πρώτες στήλες του πίνακα 7.3 και όπως έχουμε αναφέρει είναι διαφορετικά για το κάθε υποκύκλωμα. Στην τρίτη στήλη φαίνονται οι διαστάσεις των τρανζίστορ για τον καθορισμό της απολαβής του T-CMA και τα οποία επιλέγονται με το κατάλληλο διάνυσμα ενεργοποίησης. Στις δύο τελευταίες στήλες φαίνονται οι τάσεις στον κόμβο V_{GNDR} και συγκεκριμένα στην τέταρτη στήλη η τάση χωρίς την παρουσία σφάλματος ενώ στην πέμπτη στήλη η τάση του κόμβου υπό την παρουσία σφάλματος. Το σφάλμα αυτό ισοδυναμεί με ρεύμα ($1.8V/10M\Omega$) $180nA$.

Μπορούμε να απεικονίσουμε τις δύο τελευταίες στήλες του πίνακα 7.3 σε ένα διάγραμμα σε σχέση με τα διανύσματα δοκιμής: τα αποτελέσματα φαίνονται στο σχήμα 7.20.



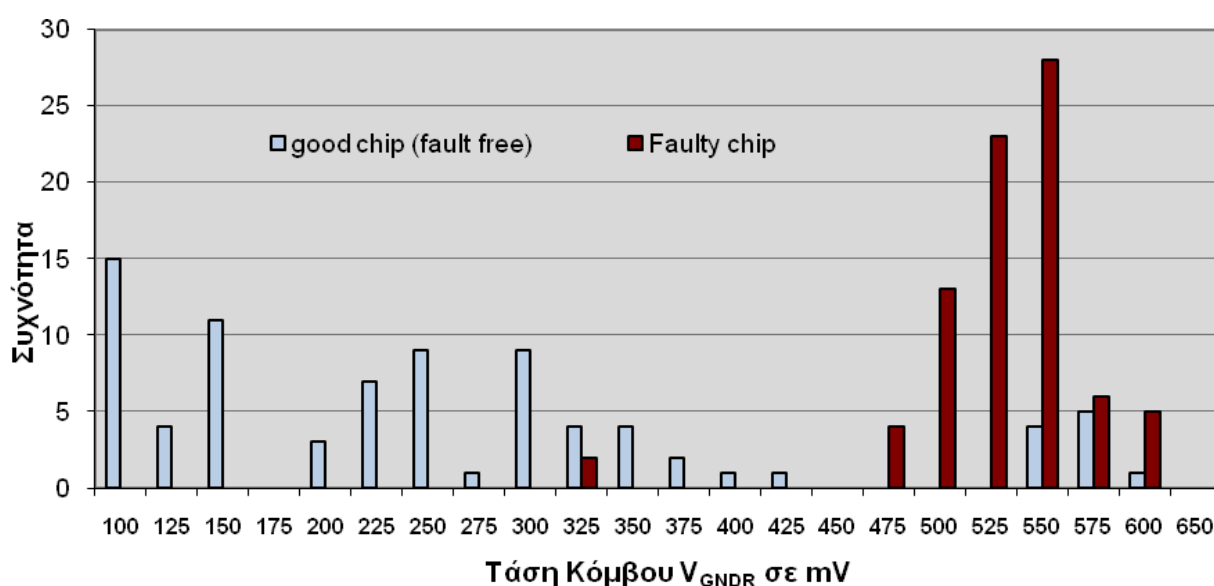
Σχήμα 7.20. Οι τάσεις του κόμβου V_{GNDR} στο κατασκευασμένο κύκλωμα.

Αν χωρίσουμε την τάση του κόμβου V_{GNDR} σε διαστήματα (bins) των $25mV$ για να απεικονίσουμε στατιστικά τα παραπάνω αποτελέσματα σχηματίζεται ο πίνακας 7.4. Στον πίνακα αυτόν βλέπουμε στην πρώτη στήλη το διάστημα των τάσεων του κόμβου V_{GNDR} , στην δεύτερη στήλη έχουμε τον αριθμό των διανυσμάτων που δίνουν τάση στο διάστημα αυτό χωρίς την παρουσία σφάλματος και στην τρίτη στήλη έχουμε τον αντίστοιχο αριθμό διανυσμάτων υπό την παρουσία σφάλματος γεφύρωσης ισοδύναμο με ωμική αντίσταση $10M\Omega$. Τα αποτελέσματα αυτά σε μορφή ραβδογράμματος

φαίνονται και στο σχήμα 7.21. Από την μορφή του διαγράμματος είναι προφανές ότι η ιδανική τιμή για την τάση αναφοράς (V_{REF}) είναι τα 450mV. Την ίδια τάση καθορίσαμε και κατά την διάρκεια των προσομοιώσεων λαμβάνοντας υπόψιν και τις διακυμάνσεις των παραμέτρων.

Πίνακας 7.4. Οι συχνότητες εμφάνισης των τάσεων του κόμβου V_{GNDR} για λειτουργικά άψογο κύκλωμα και για κύκλωμα που περιέχει σφάλμα γεφύρωσης.

Διάστημα (περιοχή) τάσεων V_{GNDR}	Συχνότητα εμφάνισης Fault free	Συχνότητα εμφάνισης Faulty
100-124	15	0
125-149	4	0
150-174	11	0
175-199	0	0
200-224	3	0
225-249	7	0
250-274	9	0
275-299	1	0
300-324	9	0
325-349	4	2
350-374	4	0
375-399	2	0
400-424	1	0
425-449	1	0
450-474	0	0
475-499	0	4
500-524	0	13
525-549	0	23
550-574	4	28
575-599	5	6
600-649	1	5
650-	0	0



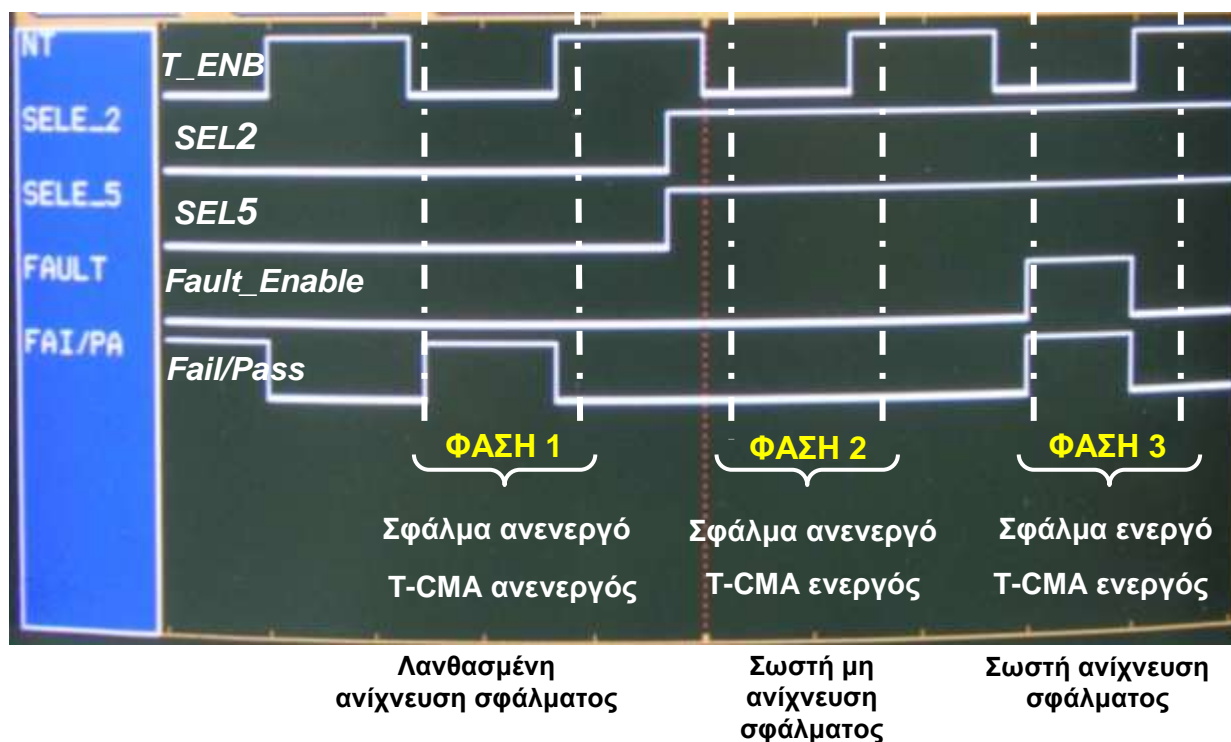
Σχήμα 7.21. Αποτελέσματα μετρήσεων τάσης του κόμβου V_{GNDR} για το κατασκευασμένο κύκλωμα, σε μορφή ραβδογράμματος.

Στην περίπτωση που η τιμή της αντίστασης σφάλματος είναι μικρότερη από 10MΩ, αυξάνει ο διαχωρισμός ανάμεσα στις τάσεις του κόμβου V_{GNDR} υπό την παρουσία και χωρίς την παρουσία του σφάλματος. Για τιμές αντίστασης μικρότερες από 4MΩ το σφάλμα είναι ανιχνεύσιμο για όλα τα χρησιμοποιούμενα διανύσματα δοκιμής και δεν υπάρχει περίπτωση λανθασμένου χαρακτηρισμού ενός ελεύθερου από σφάλματα κυκλώματος ως ελαττωματικού. Στην περίπτωση που η τιμή της αντίστασης σφάλματος είναι μεγαλύτερη από 10MΩ αυξάνει η επικάλυψη ανάμεσα στις τάσεις του κόμβου V_{GNDR} υπό την παρουσία και χωρίς την παρουσία του σφάλματος. Στα 24MΩ υπάρχουν 4 διανύσματα δοκιμής από τα χρησιμοποιούμενα που μπορούν να χρησιμοποιηθούν για την αποτελεσματική δοκιμή του CUT.

Η προτεινόμενη τεχνική δοκιμής I_{DDQ} όπως περιγράφηκε νωρίτερα με τις τρεις φάσεις αποδεικνύεται ότι είναι ικανή να ανιχνεύσει στο ψηφιακό κύκλωμα σφάλματα που δίνουν πολύ μικρό ρεύμα σφάλματος, ενώ παράλληλα με προσεκτική επιλογή των διανυσμάτων δοκιμής δεν μειώνεται η κατασκευαστική απόδοση.

Στο σχήμα 7.22 φαίνονται στην οθόνη του λογικού αναλυτή οι τρεις διαδοχικές φάσεις για ένα διάνυσμα δοκιμής το οποίο εφαρμόζεται στις εισόδους του ψηφιακού κυκλώματος. Στην πρώτη φάση, με ανενεργό τον T-CMA και απουσία σφάλματος έχουμε λανθασμένη ένδειξη σφάλματος. Αυτή η απόκριση του BICS είναι αναμενόμενη διότι χωρίς τον T-CMA ενεργοποιημένο η τάση του κόμβου V_{GNDR} κυμαίνεται σε ένα μεγάλο εύρος τιμών και στη περίπτωση που φαίνεται στο σχήμα, έχει ξεπεράσει την τάση αναφοράς οπότε ο συγκριτής δείχνει ένδειξη σφάλματος.

Στην δεύτερη φάση, με ενεργό τον T-CMA και απουσία σφάλματος έχουμε σωστή ένδειξη απουσίας σφάλματος διότι η τάση του κόμβου V_{GNDR} ελέγχεται από τον T-CMA και τέλος στην τρίτη φάση έχουμε σωστή ένδειξη παρουσίας σφάλματος.



Σχήμα 7.22. Κυματομορφή του λογικού αναλυτή από την διαδικασία αξιολόγησης ενός κατασκευασμένου κυκλώματος, με την εφαρμογή ενός διανύσματος δοκιμής.

7.5 Συμπεράσματα

Σε αυτό το κεφάλαιο παρουσιάστηκε μια νέα τεχνική δοκιμής I_{DDQ} καθώς και ένα κατασκευασμένο ολοκληρωμένο κύκλωμα το οποίο περιλαμβάνει ένα ψηφιακό κύκλωμα επίδειξης και ένα ενσωματωμένο κύκλωμα δοκιμής I_{DDQ} . Σύμφωνα με την προτεινόμενη τεχνική, κατά την διάρκεια της δοκιμής I_{DDQ} , το ρεύμα διαρροής ελέγχεται κατάλληλα, λαμβάνοντας υπόψιν: α) όλες τις δυνατές μεταβολές στην θερμοκρασία β) τις διακυμάνσεις των κατασκευαστικών παραμέτρων και γ) την εξάρτηση του ρεύματος διαρροής από το εφαρμοζόμενο διάνυσμα δοκιμής. Η νέα τεχνική δοκιμής I_{DDQ} καταφέρνει να εφαρμοστεί με επιτυχία στο σύνολο των πρωτότυπων ολοκληρωμένων κυκλωμάτων που κατασκευάστηκαν για το σκοπό αυτό στη CMOS τεχνολογία των 180nm, προσφέροντας με τα κατάλληλα διανύσματα δοκιμής κάλυψη σφαλμάτων 100% για ελάχιστο ρεύμα σφάλματος ισοδύναμο με το ρεύμα αντίστασης με μέγιστη τιμή 24MΩ.

8. ΣΥΝΟΨΗ – ΜΕΛΛΟΝΤΙΚΗ ΕΡΕΥΝΑ

8.1 Σύνοψη

Η παρούσα διατριβή πραγματεύτηκε τρεις νέες αναλογικές τεχνικές για την δοκιμή ψηφιακών ολοκληρωμένων κυκλωμάτων.

Η πρώτη τεχνική, αφορά στον έλεγχο των κυκλωμάτων με τη χρήση Ολικά Αυτοελεγχόμενων Ελεγκτών. Στο πλαίσιο αυτής της τεχνικής παρουσιάστηκε ένας Ολικά Αυτοελεγχόμενος Ελεγκτής διπλού συρμού με περιοδικές εξόδους βασισμένος σε λειτουργία ρεύματος. Ο ελεγκτής αυτός είναι ο μόνος παράλληλος ελεγκτής στην βιβλιογραφία με πλήρη έλεγχο στα μόνιμα μη αγώγιμα τρανζίστορ (κάτι που δεν επιτυγχάνουν οι προηγούμενοι ελεγκτές που έχουν προταθεί στη βιβλιογραφία), αλλά και με πλήρη έλεγχο σε ένα ευρύ σύνολο από ρεαλιστικά σφάλματα, όπως τα γεφυρώματα, τα μόνιμα αγώγιμα τρανζίστορ και τα σφάλματα μόνιμης τιμής. Ο ελεγκτής σχεδιάστηκε για διάφορες τιμές του πλήθους των σημάτων στην είσοδό του (από $n=8$ έως $n=512$) σε CMOS τεχνολογία $0,18\mu\text{m}$. Με τη βοήθεια προσομοιώσεων και με συγκρίσεις με τον καλύτερο σε επιδόσεις ελεγκτή αυτής της κατηγορίας βρέθηκε πως είναι ο πιο αποδοτικός από τους ελεγκτές της κατηγορίας του ως προς την απαιτούμενη επιφάνεια πυριτίου και την ταχύτητα, για μεγάλο αριθμό εισόδων, αλλά επίσης και ως προς την κατανάλωση ισχύος για μεγάλες τιμές του n .

Η δεύτερη τεχνική, αφορά στην ανίχνευση μεταβατικών σφαλμάτων. Η τεχνική αυτή χρησιμοποιεί ως βασικό κύκλωμα έναν *αισθητήρα σήματος* όμοιο με αυτούς που χρησιμοποιούνται στις μνήμες. Στις εισόδους αυτού του αισθητήρα συνδέονται δια μέσου ενός ειδικού κυκλώματος, το οποίο ονομάστηκε *βαθμίδα προαισθητήρα*, οι υπό παρακολούθηση γραμμές σήματος. Το τμήμα με τις βαθμίδες *προαισθητήρων* αποτελείται από 12 μοναδιαία τρανζίστορ για κάθε ένα ζεύγος γραμμών, μειώνοντας σημαντικά τις απαιτήσεις σε επιφάνεια πυριτίου. Από τις προσομοιώσεις, για πλήθος ζευγών στην είσοδο από $n=8$ έως $n=512$, προέκυψε ότι το προτεινόμενο κύκλωμα παρουσιάζει εξαιρετικές επιδόσεις ως προς την κατανάλωση και την ταχύτητα, ενώ και η απαιτούμενη επιφάνεια πυριτίου είναι μικρότερη από αντίστοιχα κυκλώματα της βιβλιογραφίας.

Η τελευταία τεχνική που παρουσιάστηκε, αφορά την δοκιμή CMOS ψηφιακών κυκλωμάτων με παρακολούθηση του ρεύματος ηρεμίας τους. Η δοκιμή I_{DDQ} υπήρξε μέχρι πρόσφατα η πλέον σημαντική τεχνική ανίχνευσης σφαλμάτων γεφύρωσης και μόνιμα αγώγιμων ή μη αγώγιμων τρανζίστορ. Όμως καθώς στις υπομικρονικές τεχνολογίες το ρεύμα ηρεμίας ολοένα και μεγαλώνει ενώ το ρεύμα των σφαλμάτων γίνεται όλο και πιο μικρό, η μέθοδος αυτή έχει αρχίσει να χάνει την αποδοτικότητά της. Στη βιβλιογραφία έχουν παρουσιαστεί διάφορες βελτιώσεις και παραλλαγές. Σε σχέση με προηγούμενες τεχνικές, η προτεινόμενη στην παρούσα διατριβή αντιμετωπίζει και το πρόβλημα των διακυμάνσεων των κατασκευαστικών παραμέτρων με μία μόνο απαίτηση: την κατάτμηση του υπό δοκιμή κυκλώματος σε τουλάχιστον δύο υποκυκλώματα. Ο αναλογικός σχεδιασμός που παρουσιάζεται βασίζεται σε ένα προγραμματιζόμενο ενισχυτή ρεύματος με τη χρήση καθρεπτών ρεύματος. Σύμφωνα με την προτεινόμενη τεχνική, το ρεύμα ηρεμίας καθενός από τα υποκυκλώματα χρησιμοποιείται ως ρεύμα αναφοράς στην είσοδο του προγραμματιζόμενου ενισχυτή

και η έξοδος του ενισχυτή αντισταθμίζει το ρεύμα ηρεμίας του δεύτερου υποκυκλώματος στον κόμβο ανίχνευσης για την επίτευξη της δοκιμής. Η τεχνική αυτή, απαιτεί μικρή επιφάνεια πυριτίου και μπορεί να αξιοποιηθεί και ως ενσωματωμένο κύκλωμα σε ένα chip. Για την ανάδειξη της τεχνικής έχει κατασκευαστεί, σε τεχνολογία 0,18μm CMOS της STMicroelectronics, κατάλληλο ολοκληρωμένο κύκλωμα επίδειξης, το οποίο περιλαμβάνει ένα υπό δοκιμή ψηφιακό κύκλωμα και το σχετικό ενσωματωμένο κύκλωμα διεξαγωγής της δοκιμής I_{DDQ} . Με τη βοήθεια ενός μοντέλου που προτείνεται στην παρούσα εργασία, μπορεί να εκτιμηθεί η διακριτική ικανότητα που επιτυγχάνει το νέο κύκλωμα δοκιμής I_{DDQ} , ως προς την ανίχνευση ρευμάτων εξαιτίας σφάλματος, για διάφορες παραμέτρους της σχεδίασης. Οι εκτιμήσεις επαληθεύονται από τις μετρήσεις, στο εργαστήριο, του κατασκευασμένου κυκλώματος επίδειξης.

8.2 Προτάσεις για μελλοντική έρευνα

Το κύκλωμα ανίχνευσης μεταβατικών σφαλμάτων το οποίο παρουσιάστηκε στο 5^ο κεφάλαιο σχεδιάστηκε έτσι ώστε όλα τα ζεύγη των υπό παρακολούθηση σημάτων να καταλήγουν στην περιοχή του *αισθητήρα σήματος* και η βαθμίδα *προαισθητήρα* του κάθε ζεύγους να βρίσκεται και αυτή πλησίον του *αισθητήρα σήματος*. Μια εναλλακτική σχεδίαση θα μπορούσε να είναι μια κατανεμημένη διάταξη, ώστε να μειωθεί το κόστος δρομολόγησης των σημάτων από το υπό παρακολούθηση κύκλωμα προς τον *αισθητήρα σήματος*.

Στην τεχνική δοκιμής I_{DDQ} που παρουσιάστηκε στο 7^ο κεφάλαιο, χρησιμοποιήθηκε προγραμματιζόμενος καθρέπτης αποτελούμενος από περιορισμένο αριθμό κλάδων. Από τις προσομοιώσεις που έγιναν στο πλαίσιο της διατριβής διαφάνηκε ότι, αν αυξηθεί ο αριθμός των κλάδων, η διακριτική ικανότητα βελτιώνεται. Ως εκ τούτου, μία πρώτη επέκταση θα μπορούσε να είναι η μελέτη του συστήματος δοκιμής I_{DDQ} με χρήση περισσότερων κλάδων στον καθρέπτη. Με την χρήση μεγαλύτερου αριθμού κλάδων δίνεται η δυνατότητα «λεπτής» ρύθμισης της τάσης του κόμβου ανίχνευσης επιλέγοντας κατάλληλο διάνυσμα ενεργοποίησης.

Μια επισήμανση στο σημείο αυτό σχετικά με τη χρήση καθρέπτη με μεγάλο πλήθος κλάδων: στην παρούσα διατριβή χρησιμοποιήθηκε η μέθοδος *brutal force* για την εύρεση του κατάλληλου συνδυασμού των κλάδων του καθρέπτη. Σε ένα καθρέπτη με περισσότερους κλάδους αλλά και με περισσότερα διανύσματα δοκιμής απαιτείται αλγόριθμος βέλτιστης λύσης για την εξεύρεση των διανυσμάτων ενεργοποίησης του καθρέπτη για τα επιλεγόμενα διανύσματα δοκιμής.

Ένα μειονέκτημα της προτεινόμενης τεχνικής δοκιμής I_{DDQ} είναι η μικρότερη ταχύτητα δοκιμής σε σχέση με άλλα κυκλώματα της βιβλιογραφίας. Θα ήταν λοιπόν σκόπιμο να διερευνηθεί η χρήση ενός κατάλληλου εξωτερικού μικρού ρεύματος προφόρτισης κατά την εναλλαγή των διανυσμάτων ελέγχου για την αποφυγή της εκφόρτισης και εκ νέου φόρτισης των κόμβων εικονικής γης. Κάτι τέτοιο εκτιμάται πως θα μπορούσε να αυξήσει την ταχύτητα της δοκιμής.

Επιπρόσθετα, θα ήταν ενδιαφέρον να μελετηθεί η εφαρμογή της προτεινόμενης τεχνικής δοκιμής I_{DDQ} στα σύγχρονα πολυπύρρηνα συστήματα σε ένα ολοκληρωμένο κύκλωμα (SoCs), ιδιαίτερα δε στην περίπτωση των ομογενών πολυπύρηνων συστημάτων. Η εξέλιξη της τεχνολογίας δείχνει να ευνοεί την εφαρμογή διαφορετικών τεχνικών δοκιμής I_{DDQ} , όπως η προτεινόμενη, καθώς εκ των πραγμάτων οι σχεδιαστικές τους απαιτήσεις καθίστανται συμβατές με τις σύγχρονες πρακτικές σχεδίασης πολυπύρηνων συστημάτων.

ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ

Ξενόγλωσσος όρος	Ελληνικός Όρος
Bridging Faults	Σφάλματα γεφύρωσης
BICS - Build-In Current Sensor Checker	Ενσωματωμένος αισθητήρας ρεύματος Ελεγκτής
Code Disjoint	Κωδικά διαχωρίσιμο
Code Word	Κωδική λέξη
Corner (model parameter)	Ακραίες επιτρεπτές τιμές παραμέτρων
Current mode Checker	Ελεγκτής σε Λειτουργία Ρεύματος
Defect	Κατασκευαστική Ατέλεια – Βλάβη - Ελάττωμα
Defect Level	Ύψος Ατελειών
Design For Yield	Σχεδίαση για Κατασκευαστική Απόδοση
Drain	Απαγωγός
Drain Induced Barrier Lowering	Επαγόμενη από τον Απαγωγό Μείωση του Φράγματος Δυναμικού
Error	Λάθος
Failure	Αστοχία
Fault Coverage	Κάλυψη Σφαλμάτων
Fault Secure	Ασφαλές από σφάλματα
Fault Tolerant	Ανεκτικό σε σφάλματα
Functional Test	Λειτουργικός Έλεγχος
I _{DDQ} testing	Δοκιμή I _{DDQ}
Intermittent Faults	Διαλείποντα σφάλματα
Logical Faults	Λογικά Σφάλματα
Leaf Cell	Κελιά φύλλα
Manufacturing Defects	Κατασκευαστικά ελαττώματα
Open	Ανοικτό κύκλωμα
Operational Faults	Λειτουργικά σφάλματα
Permanent Faults	Μόνιμα σφάλματα
Physical Failures	Φυσικές αστοχίες
Pre-Sense Block	Προαισθητήρας ή Βαθμίδα Προαισθητήρα
Process Variations	Διακυμάνσεις Κατασκευαστικών Παραμέτρων
Resistive Bridging Fault	Ωμικά σφάλματα γεφύρωσης
Reject Ratio	Λόγος Απόρριψης
Scan Test	Δοκιμή Σάρωσης
Self Checking Circuit	Αυτοελεγχόμενο κύκλωμα
Self-Testing Circuit	Αυτοδοκιμαζόμενο κύκλωμα
Sense Amplifier	Αισθητήρας Σήματος
Short	Γεφύρωμα ή Βραχυκύκλωμα
Soft Errors	Ήπια Σφάλματα
Strongly-Code Disjoint	Ισχυρά κωδικά διαχωρίσιμο
Strongly Fault Secure	Ισχυρά ασφαλές από σφάλματα
Strongly Self Test	Ισχυρά αυτοδοκιμαζόμενο
Stuck-at Fault	Σφάλμα μόνιμης τιμής
Subthreshold Swing Coefficient	Συντελεστής Αιώρησης Υποκατωφλίου
Threshold Voltage	Τάση κατωφλίου
Totally Self Checking Checker	Ολικά αυτοελεγχόμενος ελεγκτής
Totally Self Checking (TSC)	Ολικά αυτοελεγχόμενο

Transient Faults	Μεταβατικά σφάλματα
Transistor Stuck-On Faults (TSON)	Σφάλματα μόνιμα αγωγίμων τρανζίστορ
Transistor Stuck-Open Faults (TSOP)	Σφάλματα μόνιμα μη αγωγίμων τρανζίστορ
Two-Rail Code	Κώδικας Διπλού συρμού
Yield	Κατασκευαστική Απόδοση

ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ

ATE	Automatic Test Equipment
CMA	Current Mode Amplifier
CUT	Circuit Under Test
DIBL	Drain Induced Barrier Lowering
DL	Defect Level
FC	Fault Coverage
FS	Fault Secure
GIDL	Gate Induced Drain Leakage
NCR	Neighbor Current Ratio
PSB	Pre-Sense Block
RR	Reject Ratio
SA	Stuck At
SCC	Self Checking Circuit
TCMA	Tunable Current Mirror Amplifier
TSON	TSOP (Fault) Transistor Stuck-On (Fault)
TSOP	TSOP (Fault) Transistor Stuck-Open (Fault)
TMR	Triple Modular Redundancy
TRC	Two Rail Code
TSC	Totally Self Checking

ΑΝΑΦΟΡΕΣ

- [1] Charles E. Stroud, and Nur A. Touba, Morgan.Kaufmann “System-on-Chip Test Architectures, Laung-Terng Wang,”, ELSEVIER 2008.
- [2] Γ. Τσιατούχας, “Έλεγχος Ορθής Λειτουργίας CMOS Κυκλωμάτων και Σχεδίαση για την Αύξηση της Ικανότητας Ελέγχου,” Διδακτορική Διατριβή, Πανεπιστήμιο Αθηνών, Τμήμα Πληροφορικής, Αθήνα 1999.
- [3] S. Chakravarty and P. J. Thadikaran, “Introduction to IDDQ Testing”, Kluwer Academic Publishers, 1997, pp. 10-12.
- [4] D. Siewiorek and R. S. Swarz, “Reliable Computer Systems: Design and Evaluation,” Third Edition, AK Peters, Boston, 1998.
- [5] J. Galiay, Y. Crouzet and M. Vergniault, “Physical Versus Logical Fault Models for MOS LSI Circuits: Impact on Their Testability”, IEEE Transactions on Computer, vol. 29, pp. 524-531, 1980.
- [6] E.J. McCluskey and J.F. Wakerly, “A circuit for detecting and Analysing Temporary Failure”, Proc. of COMPCON, 1981 pp. 317-321.
- [7] O. Tasar and V. Tasar, “A study of Intermittent Faults in Digital Computers”, Proc. of AFIPS Conf. 1977 pp. 807-811.
- [8] J. Savir, “Testing for Intermittent Failures in Combinational Circuits by Minimizing the Mean Testing Time for a Given Test Quality”, Proc. of 3rd USA-JAPAN Comp. Conf. 1978 pp. 155-161.
- [9] A. Avizienis, “Fault-Tolerant Computing Progress, Problems and Prospects,” Proc. of IFIP Cong. 1977, pp. 405-420.
- [10] A. Avizienis, “The Four-Universe Information System Model for the Study of Fault-Tolerance”, Proc. at FTCS-12, 1982 pp.G-13.
- [11] J. Losq, “Testing for Intermittent Failures in Combinational Circuits”, Proc. of 3rd USA-Japan Comp. Conf., 1978, pp. 165-170.
- [12] M.O. Ball and F. Hardie, “Effects and Detection of Intermittent Failures in Digital Systems”, IBM 67-825-2137, 1967.
- [13] D.B. Sarrazin and M. Malek, “Fault tolerant semiconductor Memories” IEEF COMPUTER, Aug 1984, pp 49-56.
- [14] E. J. McCluskey and F. Buelow, “IC quality and test transparency”, Proc. IEEE Int. Test Conf., pp. 295-301, September 1988.
- [15] J. Galiay, Y. Crouzet, and M. Vergniault, “Physical versus logical fault models in MOS LSI circuits: Impact on the testability, “IEEE Trans. Comput., vol.C-29, pp. 527-531, June 1980.
- [16] K.W. Chiang and Z.G. Vranesic, “On fault detection in CMOS logic networks,” Proc. 20th Design Automation Conf., pp. 50-56, June 1983.
- [17] C. Timoc, F. Stott, K. Wickman, and L. Hess, “Adaptive self-test for a microprocessor,” Proc. IEEE Semiconductor Test Conf. pp. 701-703, Oct. 1983.
- [18] M. Abramovici, M. A. Breuer and A. D. Friedman, “Digital Systems Testing and Testable Design,” New York: Computer Science Press, 1990.
- [19] M. L. Bushnell and V. D. Agrawal, “Essentials of Electronic Testing,” Kluwer Academic Publishers, 2000.
- [20] C. Timoc, M. Buehler, T. Griswold, C. Pina, F. Stott, and L. Hees, “Logical models of physical failures,” in Proc. IEEE Int. Test conf., pp. 546-553, Nov. 1983.
- [21] P. Banerjee and J.A. Abraham, “Characterization and testing of physical failures in MOS logic circuits,” IEEE Design and Test, vol 1, pp. 76-86, Aug. 1984.
- [22] S. Mourad and Y. Zorian, “Principles of Testing Electronic Systems,” John Wiley & Sons, Inc., 2000
- [23] Μ. Μπέλλος, “Τεχνικές ελέγχου ορθής λειτουργίας με έμφαση στη χαμηλή κατανάλωση ισχύος”, Διδακτορική Διατριβή, Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστών και Πληροφορικής, 2005.
- [24] Θ. Χανιωτάκης, “Σχεδίαση Αυτοελεγχόμενων Κυκλωμάτων σε VLSI Τεχνολογία”, Διδακτορική Διατριβή, Πανεπιστήμιο Αθηνών, Τμήμα Πληροφορικής, 1998.
- [25] Proc. of 2nd Symp. Large Scale Digital Calc. Mach. in Annals of the Computation Lab. XXVI, Cambridge, MA: Harvard Univ. Press, 1949.
- [26] J.P. Eckert, et al, “The UNIVAC system”, Proc. of AIEE-IRE Conf., 1961, pp. 6-16.
- [27] F.F. Sellers, M.Y. Hsiao and L.W. Bearnson, “Error Detecting Logic for Digital Computers”, Mc Graw-Hill, 1968.
- [28] W. N. Toy, “Fault-tolerant design of local ESS processors”, Proc. IEEE, October 1978, pp.1126-1145.

- [29] M.Morganti, G. Copparodo and S. Ceru, "UDET 7116-Common Control for PCM Telephone Exchange: Diagnostic Software Design and Availability Evaluation", Proc. of FTCS-8, 1978, pp.16-23.
- [30] J. W.C. Carter and P.R. Schneider, "Design of Dynamically Checked Computers", Proc. of IFIP'68 Congress, vol. 2, pp. 878-883, 1968.
- [31] D.A. Anderson, "Design of Self-Checking Digital Networks Usign Coding Techniques", Coord. Sci. Lab., Tech. Rep. R-527, Un. of Illinois, Sept. 1971.
- [32] J.F. Wakerly, "Error Detecting Codes, Self-Checking Circuits and Applications", Elsevier-North Holland, 1978.
- [33] J.C. Geffroy and M. Diaz, "Unified Approach to the Study of Self-Checking Systems", Digital Processes 3, 1977, pp.289-306.
- [34] M.Diaz, P. Azema and J.M. Ayache, "Unified Design of Self-Checking and Fail-Safe Combinational Circuits and Sequential Machines", IEEE Transactions on Computers, C-28, March 1979, pp. 276-281.
- [35] J.E Smith and P. Lam, "A Theory of Totally Self-Checking System Design", IEEE Transactions on Computers, C-32 Sept. 1983, pp. 831-844.
- [36] J.E. Smith, "The Disign of Totally Self-Checking Combinational Circuits" Coord. Sci. Lab., Tech. Rep. R-737, Un; of Illinois, Aug.1976.
- [37] D.C. Ko, and M.A. Breuer, "The Design of Self-Checking Multi-Output Combinational Circuits", Proc. of Nat. Comp. Conf., 1977, pp. 711-721.
- [38] D.A. Pitt, "Design of totally Self-Checking Asynchronous Sequential Machines", Rep. UIUCDCS-R-73-593, Un. of illinois, Sept. 1973.
- [39] F. Ozguner, "Design of Totally Self-Checking Asynchronous Sequential Machines", Proc. of FTCS-7, 1977, pp. 124-129.
- [40] R. David and P. Thevenod/Fosse, "Design of Totally Self-Checking Asynchronous Modular Circuits", J. of Design Automation and Fault- Tolerant Computing, Vol. 2, Oct. 1978, pp. 271-287.
- [41] M.J. Ashjaee and S.M. Reddy, "On Totally Self-Checking Checkers for Separable Codes", IEEE Transactions on Computers, C-26, Aug. 1977, pp. 737-744.
- [42] N.Gaitanis, "Totally Self-Checking Checkers for Low-Cost Arithmetic Codes", IEEE Transactions on Computers, C-34, No 7, July 1985, pp. 596- 601.
- [43] D. Nikolos, A.M. Paschalis and G. Philokyprou, "Efficient Design Of Totally Self-Checking Checkers for Low-Cost Arithmetic Codes", Proc. of 1st Eur. Workshop on FDR & RK-BA, 1986.
- [44] D. Nikolos, A. M Paschalis and G. Philokyprou, "Efficient Design of Totally Self-Checking Checkers for All Separate Low Cost Arithmetic Codes", (edited by S. Tzafestas, M. Singh, and G. Schmidt), System Fault Diagnostics, Reliability and Related Knowledge-Based Approaches, Vol 2, pp.345-356, D. Reidel Publishing Company, 1987.
- [45] D. Nikolos, A. Paschalis and G. Philokyprou, "Efficient Design of Totally Self-Checking Checkers for All Low-Cost Arithmetic Codes", IEEE Transactions on Computers, vol 37, no. 7, July 1988, pp. 807-814.
- [46] D.A. Anderson and G. Metze, "Design of Totally Self-Checking Check Circuits for M-Out-Of-N Codes", IEEE Transactions on Computers, C-12, March 1973, pp. 263-269.
- [47] N. Gaitanis and C. Halatsis, "A New Design Method for M-Out-Of-N TSC Checkers.", IEEE Transactions on Computers, C-32, March 1983, pp. 273-283.
- [48] M.A. Marouf and A.D. Friedman, "Design of Self-Checking Checkers for Berger Codes", Proc. of FTCS-8, 1978, pp. 179-184.
- [49] S.J. Piestrak, "Design of Fast Self-Checking Checkers for a Class of Berger Codes", Proc. of FTCS-15, 1985, pp. 418-423.
- [50] N. KL. Jha, "A Totally Self-Checking Checker for Borden Code", IEEE Transactions on Computer Aided Design, VoL 8, 1989, pp. 731-736.
- [51] D. Nikolos, A. Paschalis, Th. Haniotakis. and G. Laskaris, "Totally Self-Checking Checkers for Optimal t-Unidirectional Error Detecting Codes, Proc. of 13th Inter. Conference of Fault-Tolerant Systems and Diagnostics, Varna, June 1990, pp. 326-331.
- [52] Th. Haniotakis, D. Nikolos, A. Paschalis and D. Gizopoulos, "Totally Self-Checking Checkers for Borden Codes", Inter. Journal of Electronics, VoL 76, No. 1, 1994, pp. 57-64.
- [53] Th. Haniotakis, A. Paschalis and D. Nikolos, "Efficient Totally Self-Checking Checkers for a Class of Borden Codes", IEEE Transactions on Computers, Nov. 1995.
- [54] J.E. Smith, "The Design of TSC Check-Circuits for a Class of Unordered Codes", J. of Des. Aut. and Fault—Tolerant Comp., vol 1, Oct. 1977, pp. 321-342.
- [55] A.M. Usas, "A Totally Self-Checking Checker Design for Detection of Errors in Periodic Signals" IEEE Transactions on Computers, C-24, May 1975, pp. 483-488.
- [56] N. Gaitanis, "A Totally Self-Checking Error Indicator" IEEE Transactions on Computers, C-34, Aug. 1985, pp. 758-761.

- [57] R.W. Cook, et al, "Design of a Self-Checking Microprogram Control", IEEE Transactions on Computers, C-22, March 1973, pp. 255-262
- [58] M. Diaz and J. Moreira De Souza, "Design of a Self-Checking Microprogrammed Controls", Proc. of FTCS-5, 1975, pp.137-142.
- [59] I. Wiffiamson, "Design of Self-Checking and Fault-Tolerant Microprogrammed Controllers", The Radio & EL Eng., vol 47, Oct.1977, pp.449-457.
- [60] M. Namjoo, "Design of Concurrently Testable Microprogrammed Control Units", Proc. of the 15th An. Workshop on Microprogramming, 1982, pp. 173-180.
- [61] T. Sridhar and S.M Thatte, "Concurrent Checking of Program Flow in VLSI Processors", Dig. of the 1982 Int. Test Conf., pp. 191-199.
- [62] V.S. Iyengar and L.L Kinney, "Concurrent Testing of Flow of Control in Simple Microprogrammed Control Units", Dig. of the 1982 Int. Test Conf., pp. 469-479.
- [63] C.Y. Wong et al., "The Design of a Microprogram Control Unit with Concurrent Error Detection", Proc. of FTCS-13, 1983, pp. 476-483.
- [64] J. Duran and T.E. Mangir, "A Design Approach for a Microprogrammed Control Units with Built in Self-Test", Proc. of the 16th An. Workshop on Microprogramming, 1983, pp. 55-60.
- [65] V.S. Iyengar and LL. Kinney, "Concurrent Fault Detection in Microprogrammed Control Units", IEEE Transactions on Computers, C- 34, Sept. 1985, pp. 810-821.
- [66] A. Paschalis, C. Halatsis and G. Philokyrou, "Towards Concurrently Totally Self-Checking Microprogram Control Units", (edited by S. Tzafestas, M. Singh, and G. Schmidt), System Fault Diagnostics, Reliability and Related Knowledge-Based Approaches, Vol 2, pp.357-368, D. Reidel Publishing Company, 1987.
- [67] Α. Πασχάλης, "Ολικά Αυτοελεγχόμενες Μικροπρογραμματιζόμενες Μονάδες Ελέγχου για Υπολογιστές Υψηλής Αξιοπιστίας", Διδακτορική Διατριβή, Πανεπιστήμιο Αθηνών, Τμήμα Πληροφορικής, 1987.
- [68] D.S. Ho, "Design of Totally Self-Checking Digital Systems", Coord. Sci. Lab., Tech. Rep. R-723, Un. of Illinois, Oct. 1975.
- [69] G. K. Maki, "A Self-Checking Microprocessor Design", J. of Des. Aut. and Fault-Tolerant Comp., vol 2, Jan. 1978, pp. 15-27.
- [70] Y. Crouzet and C. Landrault, "Design of Self-Checking MOS-LSI. Circuits: Application to a Four-Bit Microprocessor", Proc. of FTCS-9, 1979, pp.189-192.
- [71] D. A. Rannels, "Architectures for Fault-Tolerant Spacecraft Computers", Proc. IEEE, vol 66, Oct. 1978, pp. 1255-1268.
- [72] L.T. Wang, C.E. Stroud and N.A. Touba, "System-on-Chip Test Architectures", Elsevier Morgan Kaufmann 2008, pp. 164
- [73] J.W.C. Carter and P.R. Schneider, "Design of Dynamically Checked Computers", Proc. of IFIP Congress, pp. 878-883, 1968
- [74] P. Banerjee and J.A. Abraham, "Characterization and Testing of Physical Failures in MOS Logic Circuits", IEEE Design and Test, Aug. 1984, pp.76- 86.
- [75] J.A. Abraham and W.K. Fuchs, "Fault and Error Models for VLSI", Proc. IEEE, May 1986, pp. 639-654.
- [76] R.H. Krambeck, CM. Lee, and H.S. Law, "High-Speed Compact Circuits with CMOS", IEEE J. of Solid State Circuits, June 1982, pp.614-619.
- [77] N. Jha and J. Abraham, "Totally Self-Checking MOS Circuits Under Realistic Physical Failures", Proc. of Int. Conf. on Comp. Des., Oct. 1984, pp. 665-670.
- [78] J. Galiay, Y. Crouzet and M. Vergniault, "Physical Versus Logical Fault Models for MOS LSI Ciruits: Impact on Their Testability", IEEE Transactions on Computers, C-29, June 1980, pp. 527-531.
- [79] L. Janch and B. Courtois, "Design of Checkers Based on Analytical Fault Hypotheses", IMAG rep., RR 379, March 1983.
- [80] M. Nicolaidis and B. Courtois, "Design of Seif-Check-ing Systems Based on Analytical Fault Hypotheses", IMAG rep., RR 353, March 1981
- [81] S. Lin and D. J. Costello, "Error Control Coding," Prentice Hall, Englewood Cliffs, NJ, 1983
- [82] C. Efstathiou, "Efficient MOS Implementation of Totally Self-Checking Two-Rail Code Checkers", Int. Journal of Electronics, vol. 68, no. 2, pp. 259-264, 1990.
- [83] J. C. Lo, "A Novel Area-Time Efficient Static CMOS Totally Self-Checking Comparator", IEEE Journal of Solid-State Circuits, vol. 28, no. 2, pp. 165-168, 1993.
- [84] P. Balasubramanian, K. Prasad, , "Totally self-checking checker modules revisited", Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on, 1-4 Aug. 2010, pp. 1230-1233.
- [85] D.P. Siewiorek and R.S. Swartz, "The Theory and Practice of Reliable System Design", Digital Press, 1982.

- [86] S.D. Miliman, El McCluskey, "Bridging, Transition, and Stuck Open Faults in Self-Testing CMOS Checkers", 1991, pp. 154-161.
- [87] S.R. Manthani, S.M Reddy, "On CMOS Totally Self-Checking Circuits", Proc. Int. Test Conf., Philadelphia, PA, Oct 1984, pp. 866-877.
- [88] N.K. Jha, "Strongly Fault Secure and Strongly Self Checking Domino- CMOS Implementations of Totally Self-Checking Circuits", CAD.
- [89] D.A. Anderson and G., Metze, "Design of Totally Self-Checking Circuits for m-out-of-n Codes", IEEE Trans. on Computers, vol. 22, pp. 263-269, 1973
- [90] S. Tarnick, "Embedded Parity and Two-Rail TSC Checkers with Error Memorizing Capability", IEEE On-Line Testing Workshop (IOLTW), pp. 221-225, 1995.
- [91] C. Metra, M. Favali, B. Ricco, "Embedded Two-Rail Checkers with On-Line Testing Ability", IEEE VLSI Test Symposium (VTS), pp. 145-150, 1996.
- [92] D. Nikolos, "Optimal Self-Testing Embedded Two-Rail Checkers", IEEE On-Line Testing Workshop (IOLTW), pp. 154-161, 1996.
- [93] D. Nikolos, "*Self-Testing Embedded Two-Rail Checkers*", Journal of Electronic Testing: Theory and Applications, vol. 12, pp. 69-79, Feb./Apr. 1998.
- [94] S.J. Piestrac, "*Design Method of a Class of Embedded Combinational Self-Testing Checkers for Two-Rail Codes*", IEEE Transactions on Computers, vol. 51, no. 2, pp.229-234, Feb. 2002.
- [95] D. Nikolos, "Optimal Self-Testing Embedded Parity Checkers", IEEE Transactions on Computers, vol. 47, no. 3, pp. 313-321, 1998.
- [96] F. Ozguner, "*Design of Totally Self-Checking Embedded Two-Rail code checkers*", IEE Electronics Letters, vol. 27, no 4, pp. 382-384, Feb. 1991.
- [97] E. Fujiwara and K. Matsuoka, "A Self-Checking Generalized Prediction Checker and Its Use for Built-In Testing", IEEE Trans. On Computers, vol. 36, no. 1, pp. 86-93, Jan. 1987.
- [98] S. Kundu and S.M. Reddy, "*Embedded Totally Self-Checking Checkers: A Practical Design*," IEEE Design and Test of Computers, vol. 7, no. 4, pp. 5-12, Aug. 1990.
- [99] M. Omana, D. Rossi and C. Metra, "High Speed and Highly Testable Parallel Two-Rail Code Checker", Design Automation and Test in Europe Conference (DATE), pp. 608-613, 2003.
- [100] M. Nicolaidis and B. Courtois, "Strongly Code-Disjoint Checkers", IEEE Trans. on Computers, vol. 37, pp. 751-756, 1988.
- [101] Y. Tamir and C.H. Sequin, "*Design and Application of Self-Testing Comparators Implemented with MOS PLA's*", IEEE trans. on Computers, C-33, June 1984, pp. 493-506.
- [102] V.G. Oklobdzija and P.G. Kovijanic, "On Testability of CMOS-domino Logic", in Proc. Int. Symp. Fault-Tolerant Comput., Orlando, FL. June 1984, pp. 50-55.
- [103] S. Kundu, E.S. Sogomonyan, M. Goessel and S. Tarnick, "Self-Checking Comparator with One Periodic Output", IEEE Transactions on Computers, vol. 45, no. 3, pp. 379-380, 1996.
- [104] C. Metra, M. Favali and B. Ricco, "High Testable and Compact Single Output Comparator", IEEE VLSI Test Symposium (VTS), pp. 210-215, 1997.
- [105] M. Omana, D. Rossi and C. Metra, "*Low Cost and High Speed Embeded Two-Rail Code Checker*", IEEE Transaction on Computers, vol 54, no 2, pp. 153-164, 2005.
- [106] International Technology Roadmap for Semiconductors, <http://public.itrs.net/>.
- [107] R.R. Montanes, P. Volf and J.P. de Gyvez, "*Resistance Characterization for Weak Open Defects*," IEEE Design and Test of Computers, vol. 19, no. 5, pp. 18-26, Sept./Oct. 2002.
- [108] J. Jahangiri and D. Abercrombie, "*Value-Added Defect Testing Techniques*," IEEE Design and Test of Computers, vol. 22, no. 3, pp. 224-231, May/June 2005.
- [109] S. Matakias, Y. Tsiatouhas, Th. Haniotakis and A. Arapoyanni, "*Ultra Fast and Low Cost Parallel Two-Rail Code Checker Targeting High Fan -In Applications*", VLSI, 2004. Proceedings. IEEE Computer society Annual Symposium on (ISVLSI), pp 293-296, 19-20 February 2004.
- [110] S. Matakias, Y. Tsiatouhas, Th. Haniotakis A. Arapoyanni, and A.Efthymiou, "*Fast, Parallel Two-Rail Code Checker with Enhanced Testability*", 11th IEEE International On-Line Testing Symposium (IOLTS), pp 149-156, 2005.
- [111] J.E. Smith and G. Metze, "*Strongly Fault-Secure Logic Networks*", IEEE Transactions on Computers, vol. 27, no. 6, pp. 491-499, June 1978.
- [112] M. Nicolaidis, "*Self-Exercising Checkers for Unified Built-In Self-Test (UBIST)*", IEEE Trans. on Computer-Aided Design, vol. 8, pp. 203-218, 1989.
- [113] M. Bohr, R. Chau, T. Ghani and K. Mistry, "*The High-k Solution*", IEEE Spectrum, pp.23-29, vol. 44, no. 10, Oct. 2007.
- [114] S. Matakias, Y. Tsiatouhas, Th. Haniotakis, A. Arapoyanni, "*A Current Mode, Parallel, Two-Rail Code Checker*", IEEE Transactions on Computers, vol. 57, no. 8, pp 1032-1045, August 2008.
- [115] N. Gaitanis, D. Gizopoulos, A. Paschalis, P. Kostarakis, "*An Asynchronous Totally Self-Checking Two-Rail Code Error Indicator*", IEEE VLSI Test Symposium (VTS), pp. 151-156, 1996.

- [116] Y. Tosaka, S. Satoh, T. Itakura, H. Ehara, T. Ueda, G.A. Woffinden and S.A. Wender, "Measurement and Analysis of Neutron-Induced Soft Errors in Sub-Half-Micron CMOS Circuits", IEEE Tran. on Electron Devices, vol. 45, no. 7, pp.1453-1458, 1998.
- [117] P. Hazucha, C. Svensson and S.A. Wender, "Cosmic-Ray Soft Error Characterization of a Standard 0.6 μ m CMOS Process", IEEE Journal on Solid-State Circuits, vol. 35, no. 10, pp. 1422-1429, 2000.
- [118] E. Normand, "Single Event Upset at Ground Level", IEEE Tran. on Nuclear Science, vol. 43, pp. 2742-2750, 1996.
- [119] M. Nicolaidis, "Scaling Deeper to Submicron: On-Line Testing to the Rescue", Int. Test Conference, pp. 1139, 1998.
- [120] M. Nicolaidis, "Design for Soft Error Robustness to Rescue Deep Submicron Scaling", Int. Test Conference, pp. 140, 1998.
- [121] L. Anghel and M. Nicolaidis, "Cost Reduction and Evaluation of Temporary Faults Detecting Technique", Design Automation & Test in Europe, pp. 591-598, 2000.
- [122] C. Metra, M. Favalli and B. Ricco, "On-Line Detection of Logic Errors due to Crosstalk, Delay and Transient Faults", Int. Test Conference, pp. 524-533, 1998.
- [123] L. Anghel and M. Nicolaidis, "Implementation and Evaluation of a Soft Error Detecting Technique", 5th IEEE On-Line Testing Workshop, pp.60-65, 1999.
- [124] C. Metra, R. Degiampietro, M. Favalli and B. Ricco, "Concurrent Detection and Diagnosis Scheme for Transient, Delay and Crosstalk Faults", 5th IEEE On-Line Testing Workshop, pp.66-70, 1999.
- [125] Y. Tsiatouhas, Th. Haniotakis, D. Nikolos and C. Efstathiou, "Concurrent Detection of Soft Errors Based on Current Monitoring", 7th IEEE International On-Line Testing Workshop, pp. 106-110, 2001.
- [126] Y. Tsiatouhas, A. Arapoyanni, D. Nikolos and Th. Haniotakis, "A Hierarchical Architecture for Concurrent Soft Error Detection Based on Current Sensing", 8th IEEE Int. On-Line Testing Workshop, pp. 56-60, 2002.
- [127] M. Nicolaidis, "Time redundancy Based Soft-Error Tolerance to Rescue Nanometer Technologies", VLSI Test Symposium, pp. 86-94, 1999.
- [128] Y. Tsiatouhas, S. Matakias, A. Arapoyanni and Th. Haniotakis, "A Sense Amplifier Based Circuit for Concurrent Detection of Soft and Timing Errors in CMOS ICs", 9th IEEE International On-Line Testing Symposium (IOLTS), pp 12-16, 7-9 July 2003.
- [129] S. Matakias, Y. Tsiatouhas, A. Arapoyanni and Th. Haniotakis, "A Circuit for Concurrent Detection of Soft and Timing Errors in Digital CMOS ICs", Special Issue of Journal of Electronic Testing: Theory and Applications 20, pp 523-531, 2004.
- [130] S. Matakias, Y. Tsiatouhas, A. Arapoyanni, Th. Haniotakis, "A High Speed Circuit for Concurrent Detection of Soft Errors in CMOS ICs", Radiation Effects on Circuits and Systems (RADECS), pp A8 1-4, 2006.
- [131] T. Blalock and R. Jaeger, "A High-Speed Clamped Bit-Line Current-Mode Sense Amplifier", IEEE Journal of Solid-State circuits, vol. 26, no. 4, pp. 542-548, 1991.
- [132] A. Chrisanthopoulos, Y. Moisiadis, Y. Tsiatouhas and A. Arapoyanni, "Comparative Study of Different Current-Mode Sense Amplifiers in Submicron CMOS Technology", IEE Proc. Circuits, Devices and Systems, vol. 149, no. 3, pp. 154-158, 2002.
- [133] KEITHLEY Application Note Number 804 - I_{DDQ} Testing and Standby Current Testing with the Model 2400 SourceMeter® Instrument.
- [134] J.M.Soden, C.F.Hawkins, R. K. Gulati and W. Mao, "I_{DDQ} Testing: A Review," I_{DDQ} Testing of VLSI Circuits , Kluwer Academic Publishers, Boston, 1992. Eds:R.K. Gulati and C.F. Hawkins.
- [135] R. Perry, "IDDQ Testing in CMOS Digital ASIC," IDDQ Testin of VLSI Circuits, Kluwer Academic Publishers, Boston, 1992. Eds:R.K. Gulati and C.F. Hawkins.
- [136] K. M. Wallquist, "On The Effect of IDDQ Testing in Reducing Early Failure Rate," Proceedings of IEEE International Test Conference, 1995, pp. 910-915.
- [137] F. Najm, R. Burch, P. Yang and I. Hajj, "CREST-A Current Estimator for CMOS Circuits," Proceedings of ACM/IEEE Intern. Conf. on Computer Aided Design, 1988, pp. 204-207.
- [138] F. Najm, I. Hajj and P. Yang, "Computation of Bus Current Variance for Reliability Estimation of VLSI Circuits," Proceedings of ACM/IEEE Intern. Conf. on Computer Aided Design, 1989, pp. 202-205.
- [139] A. Gattiker and W. Maly, "Current Signatures," Proceedings of IEEE VLSI Test Symposium, 1996, pp. 112-117.
- [140] S. Borkar, "Design Challenges of Technology Scaling," IEEE Micro, pp. 23-29, July-August, 1999.
- [141] J. P. Uyemura, *Fundamentals of MOS Digital Integrated Circuits*, Addison-Wesley, Reading, MA, 1988, pp. 49-76.
- [142] B. Davari, R. H. Dennard and G. G. Shahidi, "CMOS Scaling for High Performance and Low Power-The Nest Ten Years," Proceedings of the IEEE, Vol. 83, No. 4, pp. 596-606, April 1995.

- [143] Y. Mii, S. Wind, Y. Taur, Y. Lii, D. Klaus and J. Bucchignano, "An Ultra-Low Power 0.1 μ m CMOS," Digest of Technical Papers, IEEE Symposium of VLSI Technology, 1994, p. 9.
- [144] T.W. Williams, R.H. Dennard, R. Kapur, M.R. Mercer and W. Maly, " I_{DDQ} Test: Sensitivity Analysis of Scaling," International Test Conference (ITC), pp. 786-792, 1996.
- [145] M. Sachdev, "Deep Sub-micron I_{DDQ} Testing: Issues and Solutions," European Design and Test Conference (ED&TC), pp. 271-278, 1997.
- [146] A. Keshavarzi, K. Roy and C.F. Hawkins, "Intrinsic Leakage in Low Power Deep Submicron CMOS ICs," International Test Conference (ITC), pp. 146-155, 1997.
- [147] J.M. Soden and C.F. Hawkins, " I_{DDQ} Testing: Issues Present and Future," IEEE Design and Test of Computers, vol. 13, no. 4, pp. 61-65, 1996.
- [148] Z. Chen, L. Wei, A. Keshavarzi and K. Roy, " I_{DDQ} Testing for Deep-Submicron ICs: Challenges and Solutions," IEEE Design and Test of Computers, vol. 19, no. 2, pp. 24-33, 2002.
- [149] S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe and J. Yamada, "A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits," IEEE Journal of Solid-State Circuits, vol. 32, no. 6, pp. 861-869, 1997.
- [150] S. Kundu, " I_{DDQ} Defect Detection in Deep Submicron CMOS ICs," Asian Test Symposium, pp. 150-152, 1998.
- [151] A. Keshavarzi, K. Roy, M. Sachdev, C. Hawkins, K. Soumyanath and V. De, "Multiple-Parameter CMOS IC Testing with Increased Sensitivity for I_{DDQ} ," IEEE International Test Conference (ITC), pp. 1051-1059, 2000.
- [152] P. Maxweel, P. O'Neill, R. Aitken, R. Dudley, N. Jaarsma, M. Quach, D. Wiseman, "Current Ratios: A Self-Scaling Technique for Production I_{DDQ} Testing," International Test Conference (ITC), pp. 738-746, 1999.
- [153] P.N. Variyam, "Increasing the I_{DDQ} Test Resolution Using Current Prediction," International Test Conference (ITC), pp. 217-224, 2000.
- [154] C. Thibeault, "A Novel Probabilistic Approach for IC Diagnosis Based on Differential Quiescent Current Signatures," International Test Conference (ITC), pp. 80-85, 1997.
- [155] C. Thibeault, "An Histogram Based Procedure for Current Testing of Active Defects," International Test Conference (ITC), 1999, pp. 714-723.
- [156] A.C. Miller, " I_{DDQ} Testing in Deep Submicron Integrated Circuits," International Test Conference (ITC), pp. 724-729, 1999.
- [157] C. Thibeault, "Improving Delta- I_{DDQ} -Based Test Methods," International Test Conference (ITC), pp. 225-235, 2000.
- [158] B. Kruseman, R. van Veen and K. van Kaam, "The Future of Delta- I_{DDQ} Testing," International Test Conference (ITC), pp. 101-110, 2001.
- [159] S. Sabade and D. Walker, "Comparison of Effectiveness of Current Ratios and Delta- I_{DDQ} Tests," International Conference on VLSI Design (VLSID), pp. 889-894, 2004.
- [160] C. Thibeault, "Increasing Current Testing Resolution," in Proc. of the IEEE International Symp. on Defect and Fault Tolerance in VLSI Systems, 1998, pp. 126-134.
- [161] C. Thibeault, "On the Comparison of I_{DDQ} and ΔI_{DDQ} Testing," in Proc. of the 17th VLSI Test Symp., Apr. 1999, pp. 143-150.
- [162] S. Jandhyala, H. Balachandran and A.P. Jayasumana, "Clustering Based Techniques for I_{DDQ} Testing," International Test Conference (ITC), pp. 730-737, 1999.
- [163] W.R. Daasch, J. McNames, D. Bockelman, K. Cota and R. Madge, "Variance Reduction Using Wafer Patterns in I_{DDQ} Data," International Test Conference (ITC), pp. 199-208, 2000.
- [164] S. Sabade and D.M.H. Walker, "Improved Wafer-Level Spatial Analysis for I_{DDQ} Limit Setting," International Test Conference (ITC), pp. 82-91, 2001.
- [165] S. Sabade and D. Walker, "Neighbor Current Ratio (NCR): A New Metric for I_{DDQ} Data Analysis," IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFTS), pp. 381-389, 2002.
- [166] S. Sabade and D. Walker, "On Comparison of NCR Effectiveness with a Reduced I_{DDQ} Vector Set," IEEE VLSI Test Symposium (VTS), pp. 65-70, 2004.
- [167] A. Keshk, Y. Miura and K. Kinoshita, " I_{DDQ} Current Dependency on Test Vectors and Bridging Resistance," Asian Test Symposium (ATS), 1999.
- [168] Z. Chen, L. Wei and K. Roy, "On Effective I_{DDQ} Testing of Low-Voltage CMOS Circuits Using Leakage Control Techniques," IEEE Transactions on Very Large Scale Integration Systems, vol. 9, no. 5, pp. 718-725, 2001.
- [169] L. Rao, M. L. Bushnell, V. D. Agrawal, "Graphical I_{DDQ} Signatures Reduce Defect Level and Yield Loss," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 15, No. 11, pp. 1245-1255, 2007.
- [170] H. J. Wunderlich, M. Herzog, J. Figueras, J. A. Carrasco and A. Calderon, "Synthesis of Iddq-testable circuits: Integrating Built-In Current Sensors," European Design Test Conference (ED&TC), pp. 573-590, 1995.

- [171] D.M.H. Walker, "Requirements for Practical IDDQ Testing of Deep Submicron Circuits," IEEE International Defect Based Testing Workshop (DBT), pp. 15-20, 2000.
- [172] J.P. Hurst and A.D. Singh, "A Differential Built-In Current Sensor Design for High-Speed I_{DDQ} Testing," IEEE Journal of Solid-State Circuits, vol. 32, no. 1, pp. 122-125, 1997.
- [173] K-J. Lee and J-J. Tang, "A Built-In Current Sensor Based on Current-Mode Design," IEEE Trans. on Circuits and Systems – II, vol. 45, no. 1, pp. 133-137, 1998.
- [174] J.R. Vazquez and J.P. de Gyvez, "A Built-In Current Sensor for ΔI_{DDQ} Testing of Deep Submicron Digital CMOS ICs," IEEE VLSI Test Symposium (VTS), pp. 53-58, 2004.
- [175] J.R. Vazquez and J.P. de Gyvez, "A Built-In Current Sensor for ΔI_{DDQ} Testing," IEEE Journal of Solid-State Circuits, vol. 39, no. 3, pp. 511-518, 2004.
- [176] M. Sidiropoulos, V. Stopjakova and H. Manhaeve, "Implementation of a BIC Monitor in a New Analog BIST Structure," IEEE International Workshop on I_{DDQ} Testing, pp. 59-63, 1996.
- [177] M.Nakanishi, M.Hashizume, H.Yotsuyanai and Y.Miura, "A BIC Sensor Capable of Adjusting IDDQ Limit in Tests" ,15th Asian Test Symposium (ATS '06) pp.69-74, 2006.
- [178] M.J.Beresinski, T.Borejko, W.A.Pleskacz and V.Stopjakova, "Built-In Current Monitor for IDDQ Testing in CMOS 90 nm Technology", 11th Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS) 2008.
- [179] S.Maltabas, O.K.Ekekon and M.Margala, "A new built-in IDDQ testing method using programmable BICS". 15th European Test Symposium (ETS), 2010.
- [180] P. C. Maxwell and R. C. Aitken, " I_{DDQ} Testing as a Component of a Test Suite: The Need for Several Fault Coverage Metrics," Journal of Electronic Testing: Theory and Applications, vol. 3, no. 4, pp. 305–316, Dec. 1992.
- [181] A.E. Gattiker and W. Maly, "Toward Understanding " I_{DDQ} -Only" Fails," International Test Conference, pp. 174-183, 1998.
- [182] A. Ferre and J. Figueras, " I_{DDQ} Characterization in Submicron CMOS," International Test Conference (ITC), pp. 136-145, 1997.
- [183] R.R. Montanes and J. Figueras, "Estimation of the Defective I_{DDQ} Caused by Shorts in Deep Submicron CMOS ICs," Design Automation and Test in Europe (DATE), pp. 490-494, 1998.
- [184] S. Henzler, "Power Management of digital Circuits in Deep Sub-Micron CMOS Technologies," Springer, 2007.
- [185] J. Figueras and A. Ferre, "Possibilities and Limitations of Iddq Testing in Submicron CMOS," IEEE Trans. on Components, Packaging and Manufacturing Technology, Part B, vol. 21, no. 4, Nov. pp. 352-359, 1998.
- [186] S. Sabade and D. Walker, " I_{DDQ} Test: Will It Survive the DSM Challenge?," IEEE Design and Test of Computers, vol. 19, no. 5, pp. 8-16, 2002.
- [187] Y. Tsiatouhas, Th. Haniotakis, D. Nikolos and A. Arapoyianni, "Extending the Viability of I_{DDQ} Testing in the Deep Submicron Era," IEEE International Symposium on Quality Electronic Design (ISQED), pp. 100-105, 2002.
- [188] S. Matakias, Y. Tsiatouhas, A. Arapoyianni, Th. Haniotakis, G. Prenat and S. Mir, "A Built-In I_{DDQ} Testing Circuit," IEEE Solid-State Circuits Conference (ESSCIRC), pp. 471-474, 2005.
- [189] S. Matakias, Y. Tsiatouhas, A. Arapoyanni, Th. Haniotakis, "An Embedded I_{DDQ} Testing Circuit and Technique", 12th IEEE International Conference on Electronics, Circuits and Systems, 11-14 December, 2005.
- [190] E. Isern and J. Figueras, "Test Generation with High Coverages for Quiescent Current Test of Bridging Faults in Combinational Circuits," International Test Conference (ITC), pp. 73-82, 1993.
- [191] P.C. Maxwell and J.R. Rearick, "A Simulation-Based Method for Estimating Defect-Free I_{DDQ} ," IEEE International I_{DDQ} Testing Workshop, pp. 80-84, 1997.
- [192] Z. Chen, M. Johnson, L. Wei and K. Roy, "Estimation of Standby Leakage Power in CMOS Circuits Considering Accurate Modeling of Transistor Stacks," International Symposium on Low Power Electronics and Design, pp. 239-244, 1998.
- [193] Y. Tsiatouhas, Th. Haniotakis and A. Arapoyanni, "An Embedded I_{DDQ} Testing Architecture and Technique," IEEE International Symposium on Quality Electronic Design (ISQED), pp. 442-445, 2003.
- [194] A. Chandrakasan, W. Bowhill, F. Fox, "Design of High Performance Microprocessor Circuit," IEEE Press, 2001.
- [195] www.maplesoft.com
- [196] P. Gray, P. Hurst, S. Lewis and R. Meyer, "Analysis and Design of Analog Integrated Circuits," Wiley, 2001.
- [197] A. Hastings, "The Art of Analog Layout," Prentice Hall, 2001.