



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ  
Εθνικό και Καποδιστριακό  
Πανεπιστήμιο Αθηνών

HELLENIC REPUBLIC  
National and Kapodistrian  
University of Athens



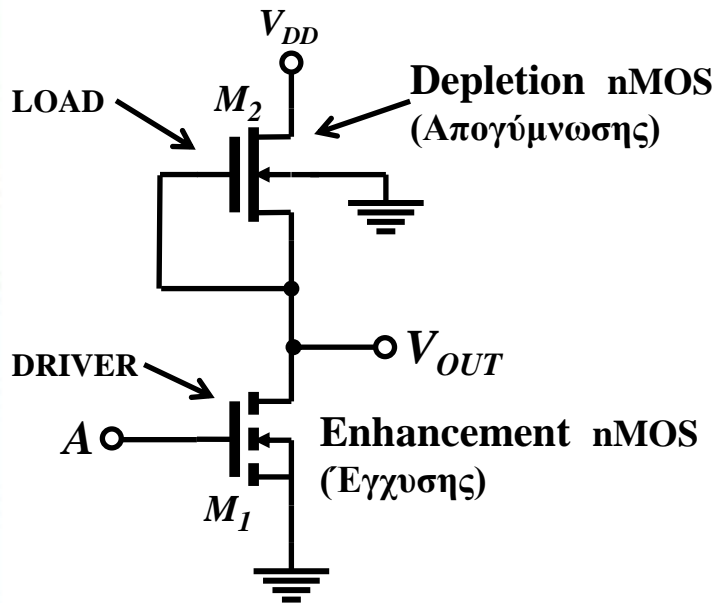
# ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ (VLSI)

*Ενότητα Β – Κεφάλαιο 5.*  
**ΨΗΦΙΑΚΕΣ ΠΥΛΕΣ MOS**

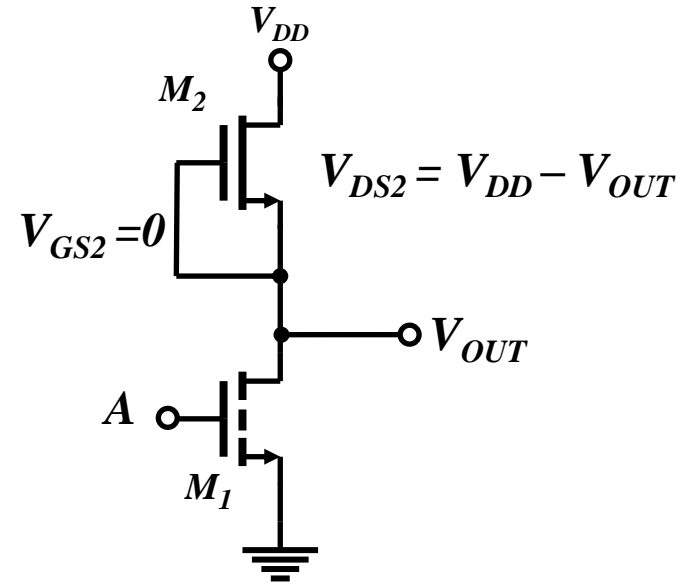
*Τμήμα Πληροφορικής και Τηλεπικοινωνιών*

# ΠΥΛΕΣ με nMOS ως φόρτο

# Αναστροφέας nMOS

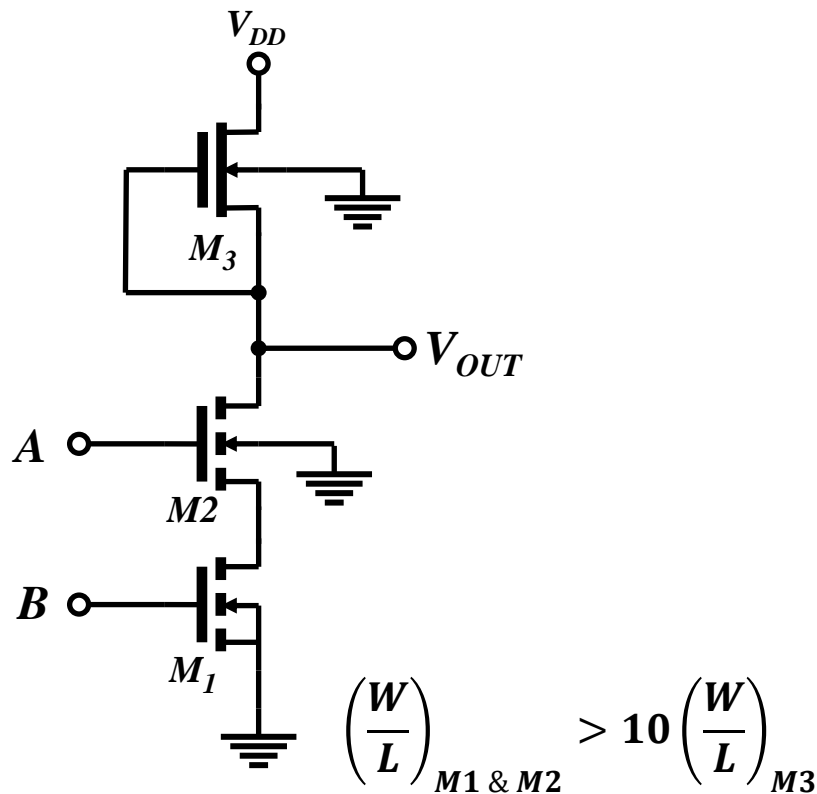


$$\beta_R > 10$$



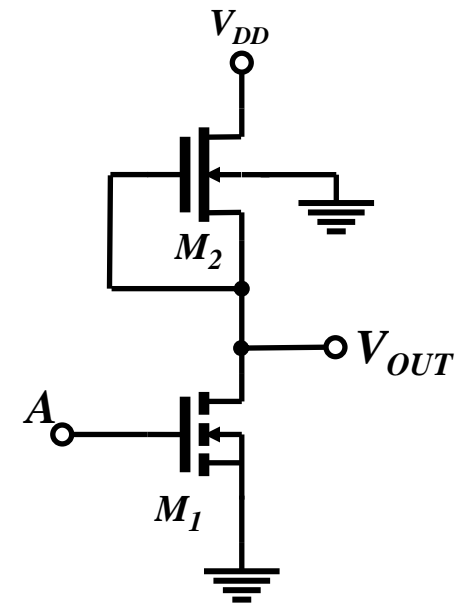
Πως θα μπορούσαμε να υλοποιήσουμε μια πύλη NAND δύο εισόδων χρησιμοποιώντας ως φόρτο τρανζίστορ απογύμνωσης;

## πύλη NAND δύο εισόδων με nMOS



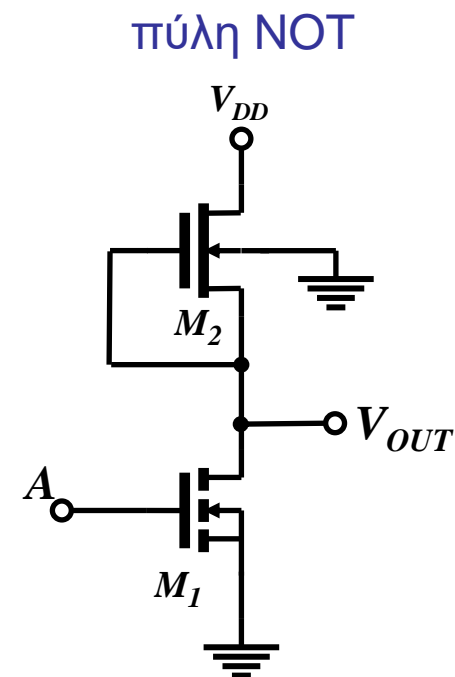
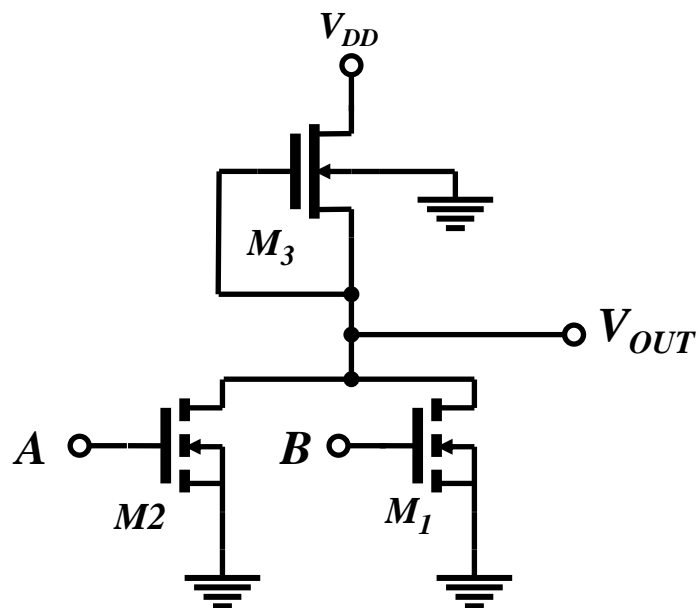
Για να τείνει η έξοδος πιο κοντά στο μηδέν θα πρέπει το  $\beta_R$  να είναι πάνω από 10. Αλλά τώρα και το  $M1$  και το  $M2$  οδηγούν και επειδή είναι σε σειρά θα πρέπει να έχουν το διπλάσιο  $W$ .

## πύλη NOT



$$\left(\frac{W}{L}\right)_{M1} > 10 \left(\frac{W}{L}\right)_{M2}$$

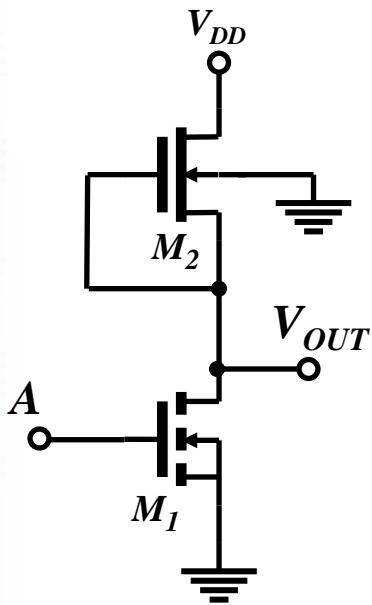
## πύλη NOR δύο εισόδων με nMOS



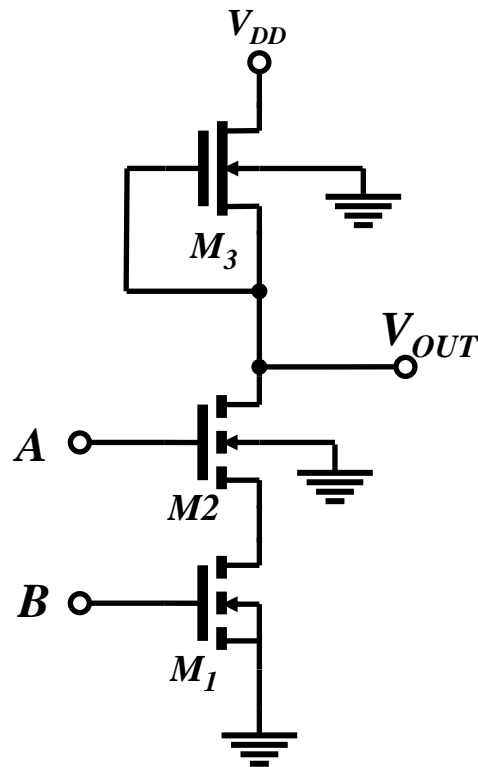
Έστω και ένα από τα δύο nMOS,  $M_1$  και  $M_2$  να είναι «ON», η έξοδος θα είναι στο «0».

Όταν και το  $M_1$  και το  $M_2$  έχουν στην είσοδό τους «0» η έξοδος θα είναι στο «1».

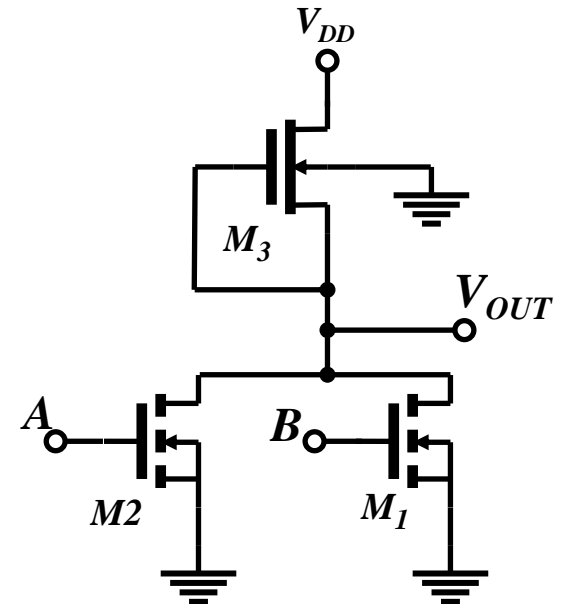
# πύλες με nMOS



**NOT**



**NAND**



**NOR**

# πύλες με CMOS

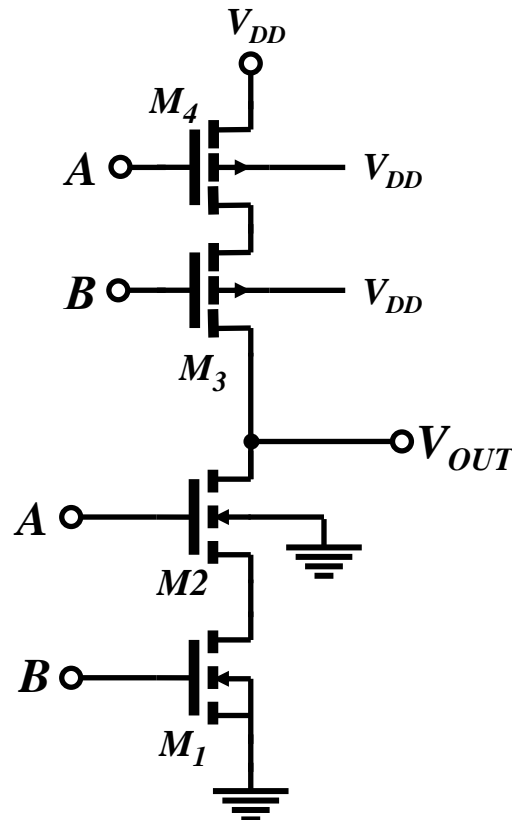
# Πύλες με CMOS

Θα χρειαστούν pMOS τρανζίστορ στο μέρος της τροφοδοσίας  $V_{DD}$ , για να φορτίζουν την έξοδο στο «1». Για κάθε ένα nMOS θα υπάρχει και ένα pMOS (δεν θα άγουν ταυτόχρονα).

Αυτή η πύλη θα λειτουργεί ως NAND;

Αν ένα από τα 2 τρανζίστορ nMOS είναι «κομμένο» θα μπορεί να φορτιστεί ή έξοδος;

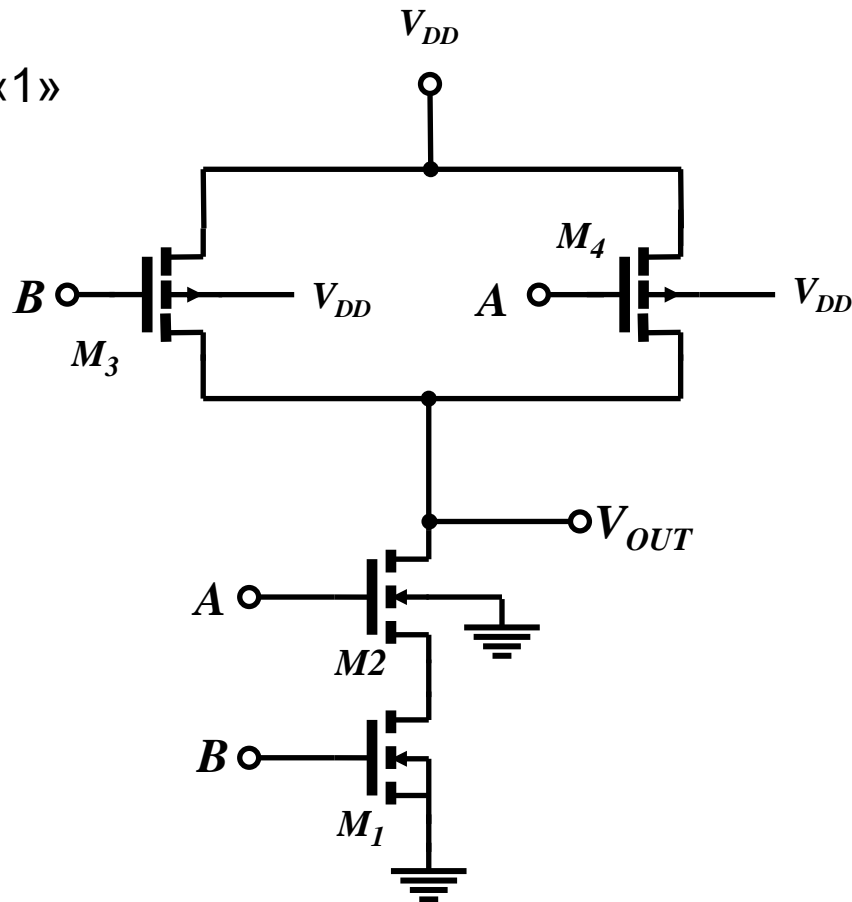
Πως πρέπει να είναι συνδεδεμένα τα 2 pMOS για να μπορεί να φορτιστεί ή έξοδος;





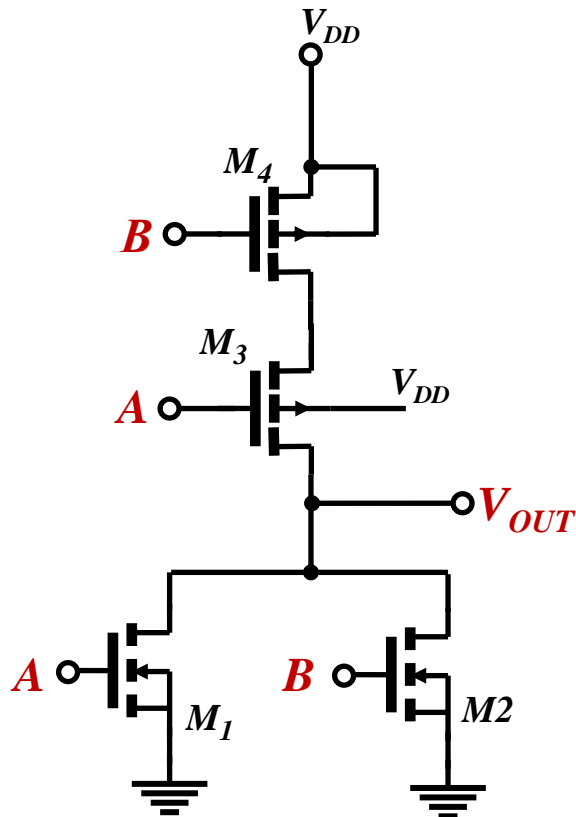
# Πύλη NAND με CMOS

Έστω και ένα από τα 2 τρανζίστορ nMOS να είναι «κομμένο» ή έξοδος θα μπορεί να φορτιστεί στο «1»



# Πύλη NOR με CMOS

Αν και τα 2 τρανζίστορ nMOS είναι στην αποκοπή, ή έξοδος θα φορτίζεται στο «1»



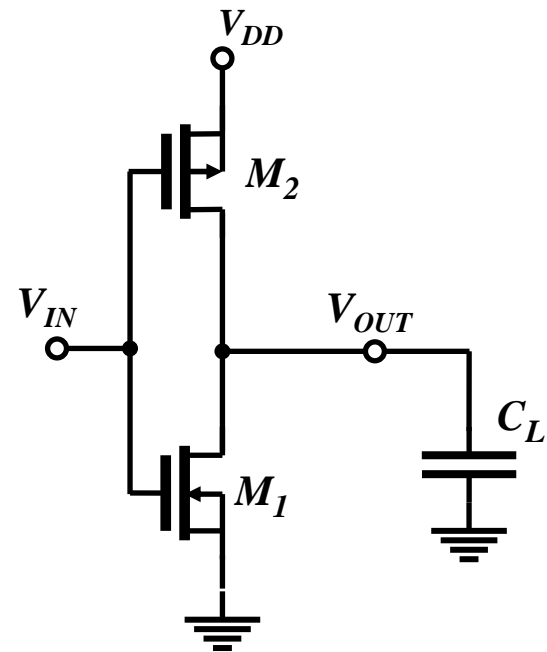
Αν θέλουμε να σχεδιάσουμε σε CMOS μια σύνθετη πύλη με περισσότερες εισόδους, υλοποιούμε τη συνάρτηση με τα nMOS και με τα pMOS υλοποιούμε την συμπληρωματική συνάρτηση.

# Ρεύμα Φόρτισης Φόρτου στον Αναστροφέα CMOS

Για να είναι το ρεύμα φόρτισης  $I_{Dp}$  ίσο με το ρεύμα εκφόρτισης  $I_{Dn}$  τι θα πρέπει να καθορίσουμε;

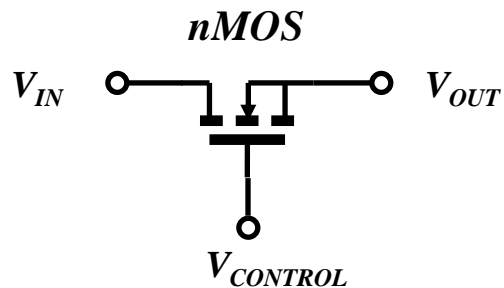
$$I_{Dn} = \frac{\mu_n \cdot C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GSn} - V_{tn})^2$$

$$I_{Dp} = \frac{\mu_p \cdot C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GSp} - V_{tp})^2$$



# ΠΥΛΗ ΔΙΕΛΕΥΣΗΣ (PASS GATE)

# ΠΥΛΗ ΔΙΕΛΕΥΣΗΣ (PASS GATE)



Αν  $V_{CONTROL} = 0$  το τρανζίστορ είναι σε **αποκοπή** και η είσοδος δεν συνδέεται με την έξοδο.

Αν στην έξοδο υπήρχε φορτισμένος πυκνωτής αυτός σταδιακά χάνει το φορτίο του λόγω διαρροών. (δυναμική πύλη).

Αν  $V_{CONTROL} = 1$  το απλό αυτό τρανζίστορ υλοποιεί την πύλη AND διότι:

$$V_{OUT} = V_{CONTROL} \cdot V_{IN}$$

# ΠΥΛΗ ΔΙΕΛΕΥΣΗΣ (PASS GATE)

Αν  $V_{CONTROL} = V_P = "1"$  έχουμε τις εξής περιπτώσεις:

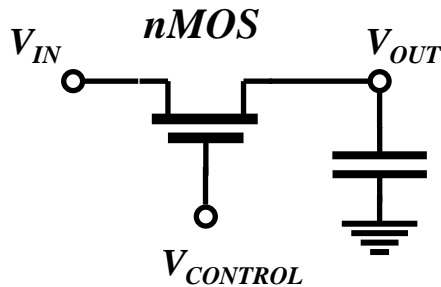
$$V_{IN} = 0, V_{OUT}(t-1)=0, \Rightarrow V_{OUT}(t)=0$$

$$V_{IN} = V_P, V_{OUT}(t-1)=0, \Rightarrow V_{OUT}(t) = V_P - V_{tn} \text{ διότι } V_{GS} = V_P - V_{OUT}$$

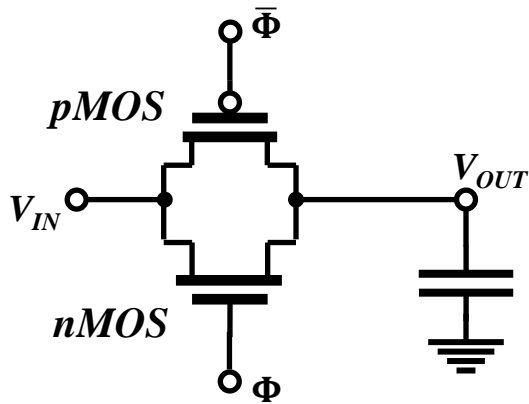
$$V_{IN} = V_P, V_{OUT}(t-1) = V_P - V_{tn}, \Rightarrow V_{OUT}(t) = V_P - V_{tn}$$

$$V_{IN} = 0, V_{OUT}(t-1) = V_P - V_{tn}, \Rightarrow \text{Το δεξί άκρο του τρανζίστορ γίνεται D} \\ V_{OUT}(t) = 0$$

Άρα το "0" περνά στην έξοδο αλλά το "1" είναι «ασθενές»



# ΠΥΛΗ ΔΙΕΛΕΥΣΗΣ CMOS



Αν  $\Phi = "0"$  τότε και το nMOS και pMOS είναι σε αποκοπή και έξοδος δεν μεταβάλλεται.

Αν  $\Phi = "1" = V_P$ , τότε με:

$$V_{IN} = 0, V_{OUT}(t-1) = 0, \Rightarrow V_{OUT}(t) = 0$$

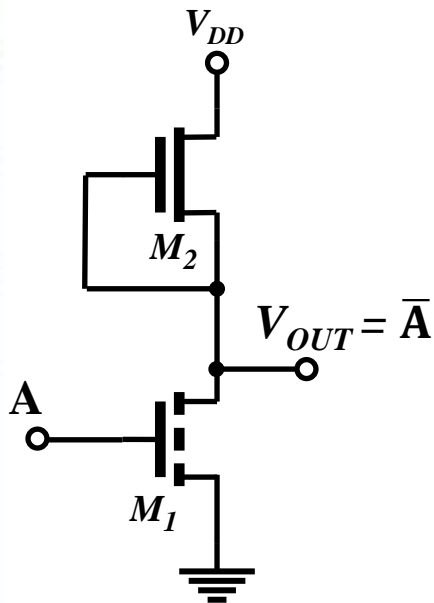
$$V_{IN} = V_P, V_{OUT}(t-1) = V_P, \Rightarrow V_{OUT}(t) = V_P \text{ διότι } V_{DS} = 0$$

$$V_{IN} = V_P, V_{OUT}(t-1) = 0, \Rightarrow V_{OUT}(t) = V_P \text{ λόγω του pMOS}$$

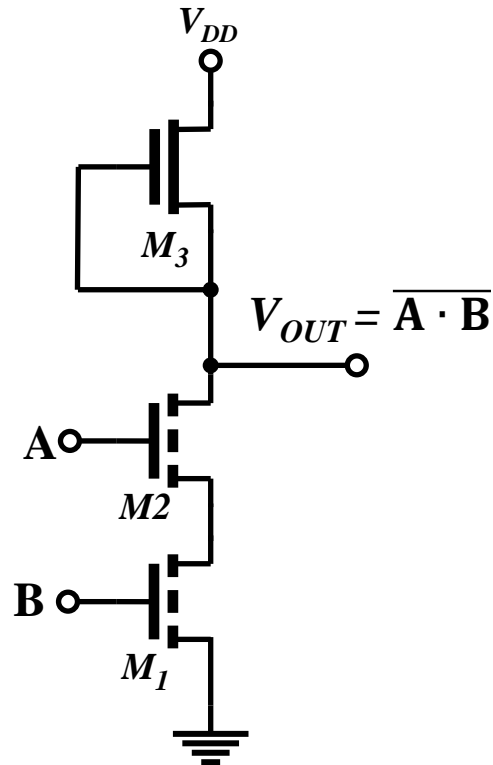
$$V_{IN} = 0, V_{OUT}(t-1) = V_P, \Rightarrow V_{OUT}(t) = 0 \text{ λόγω του nMOS}$$

# Οι βασικές πύλες σε nMOS τεχνολογία

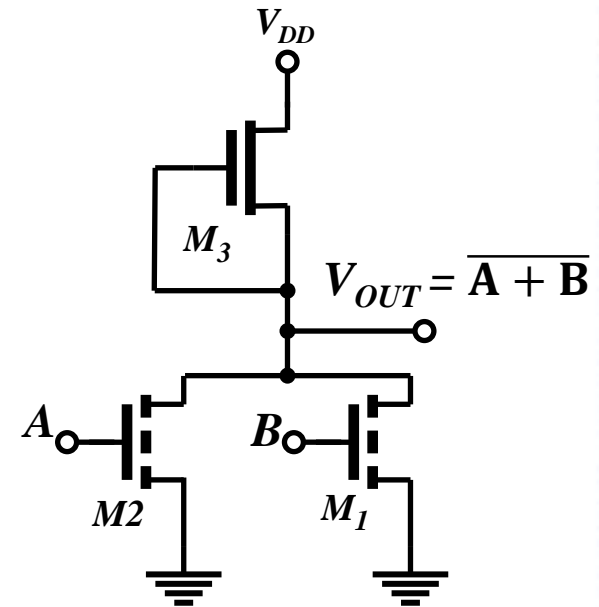
## NOT



## NAND



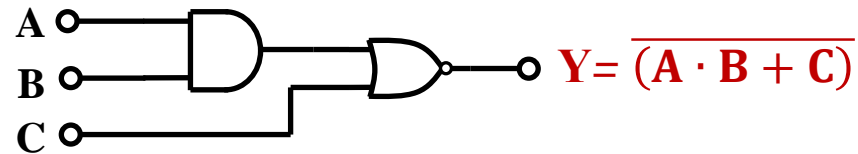
## NOR



Πως υλοποιούνται οι βασικές αυτές πύλες σε τεχνολογία CMOS ;



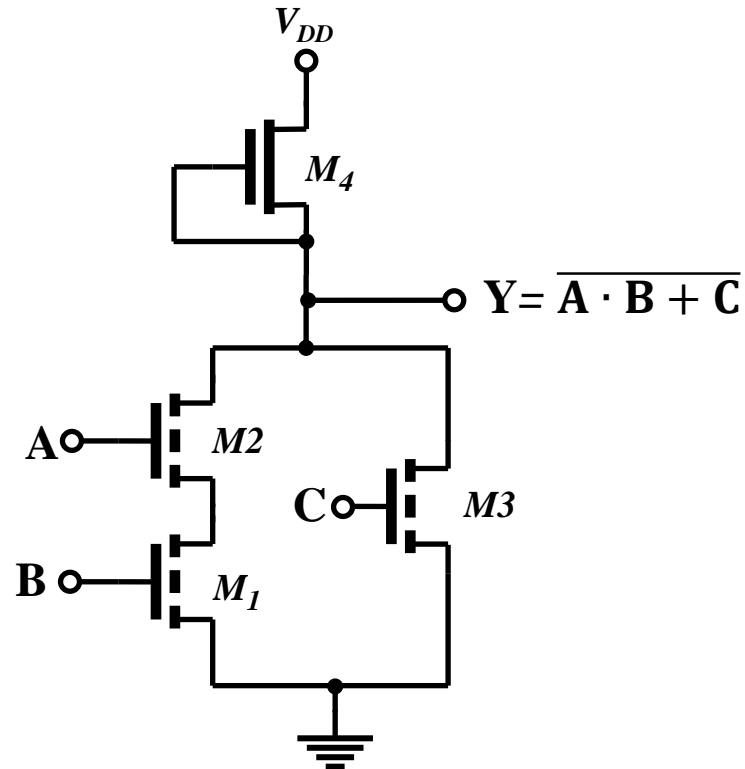
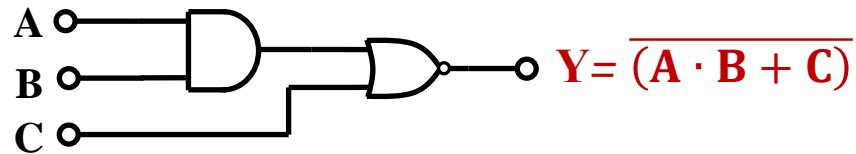
## Πύλες με nMOS τεχνολογία



Πως θα υλοποιηθεί αυτή η συνάρτηση με nMOS;

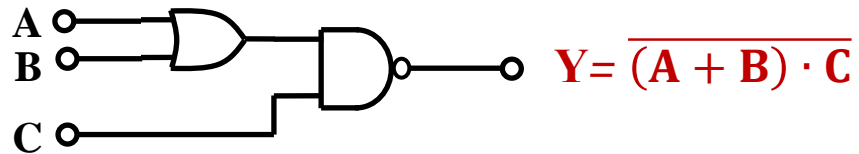
Πόσα τρανζίστορ θα χρειαστούν στην υλοποίηση με nMOS;

## Πύλες με nMOS τεχνολογία



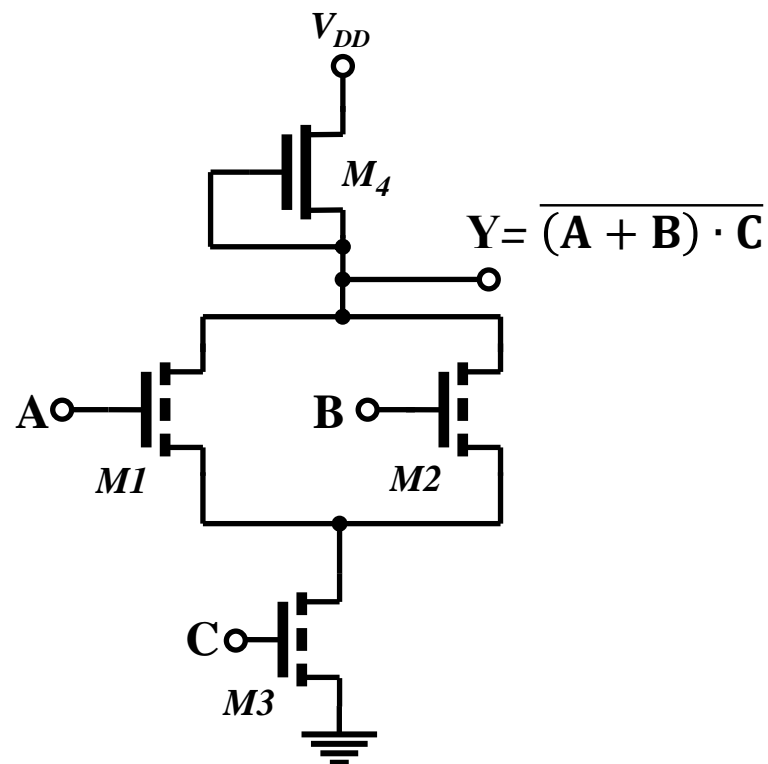
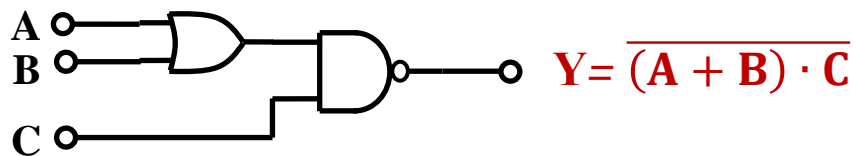
Θα χρειαστούν 4 τρανζίστορ nMOS για την υλοποίηση.

## Πύλες με nMOS τεχνολογία



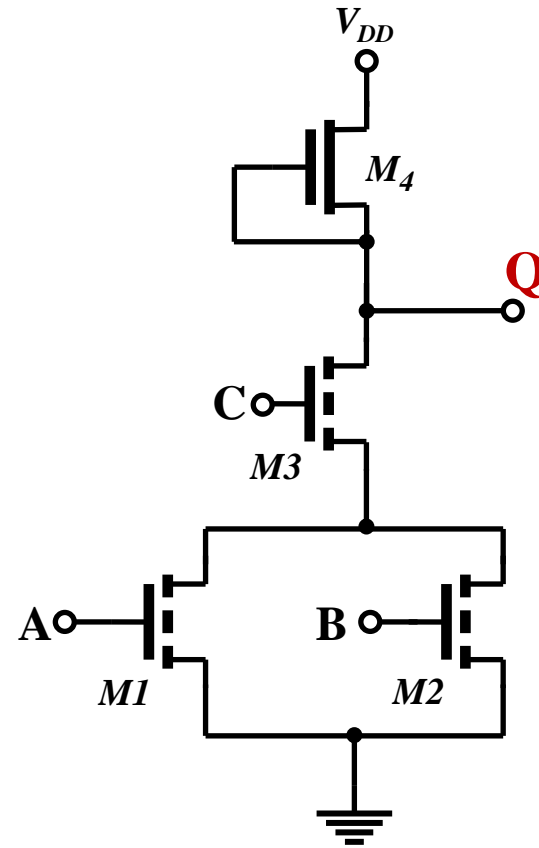
Πως θα υλοποιηθεί αυτή η συνάρτηση με nMOS;

# Πύλες με nMOS τεχνολογία

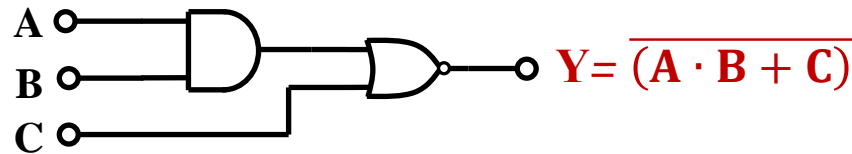


# Πύλες με nMOS τεχνολογία

Ποια είναι αυτή η συνάρτηση Q;

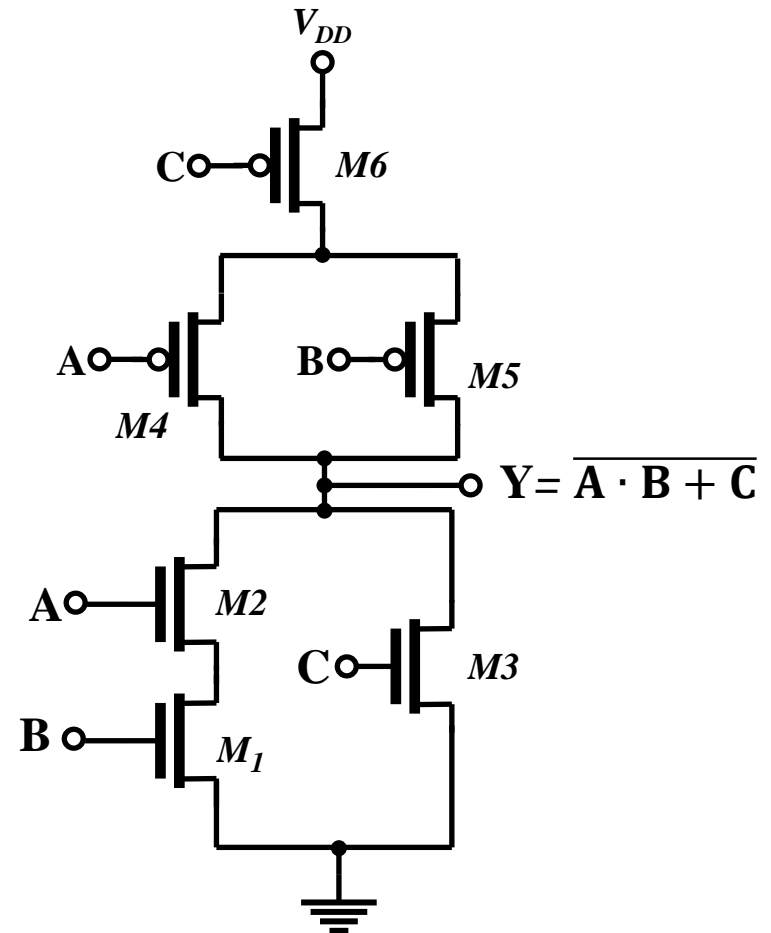


# Πύλες με CMOS τεχνολογία (απλοποιημένα σύμβολα)

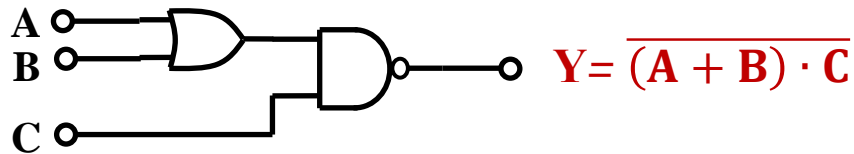


Πως θα υλοποιηθεί αυτή η συνάρτηση με CMOS;

Πόσα τρανζίστορ θα χρειαστούν στην υλοποίηση με CMOS;

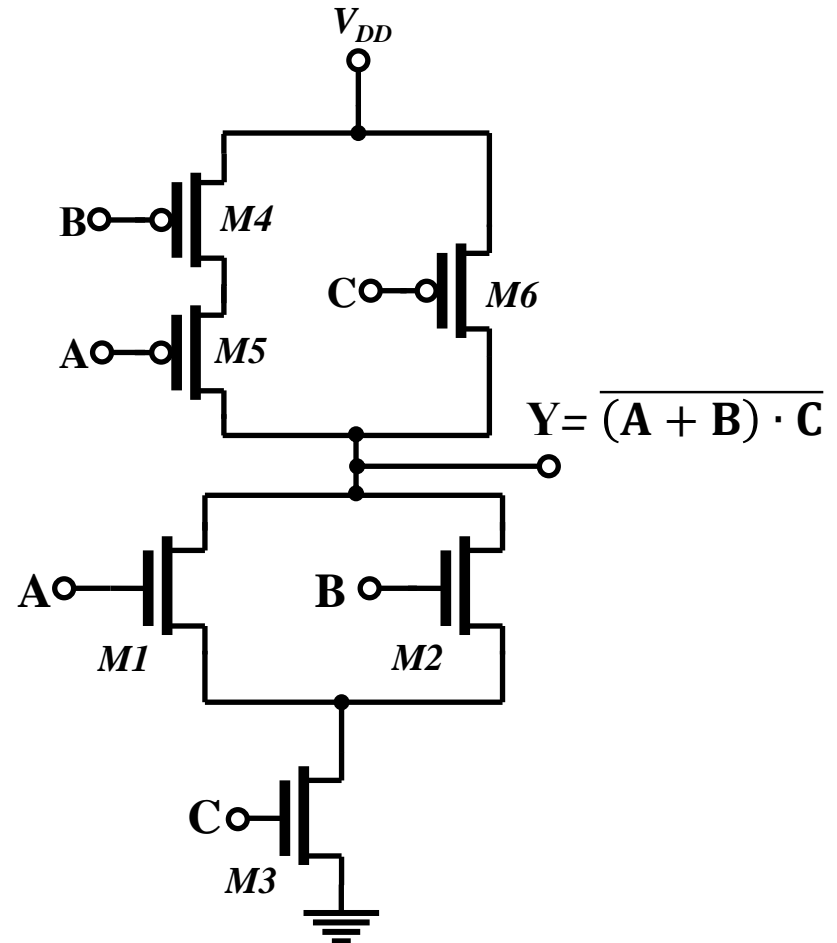


# Πύλες με CMOS τεχνολογία



Πως θα υλοποιηθεί αυτή η συνάρτηση με CMOS;

Πόσα τρανζίστορ θα χρειαστούν στην υλοποίηση με CMOS;



## Πύλες με CMOS τεχνολογία

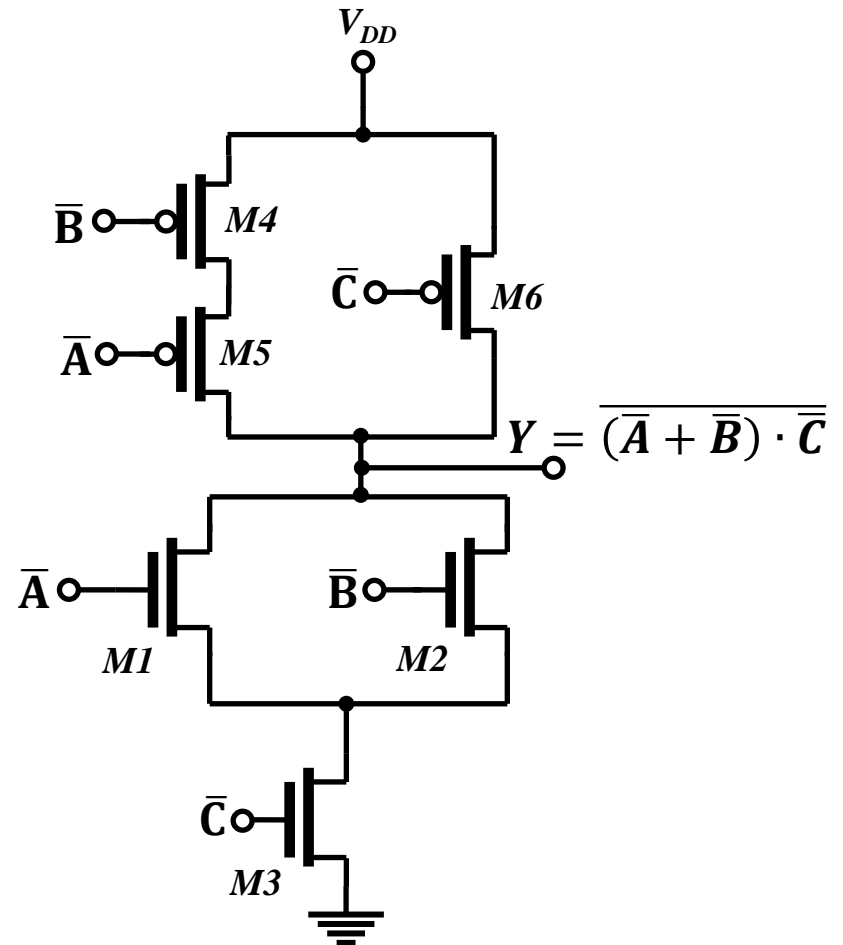
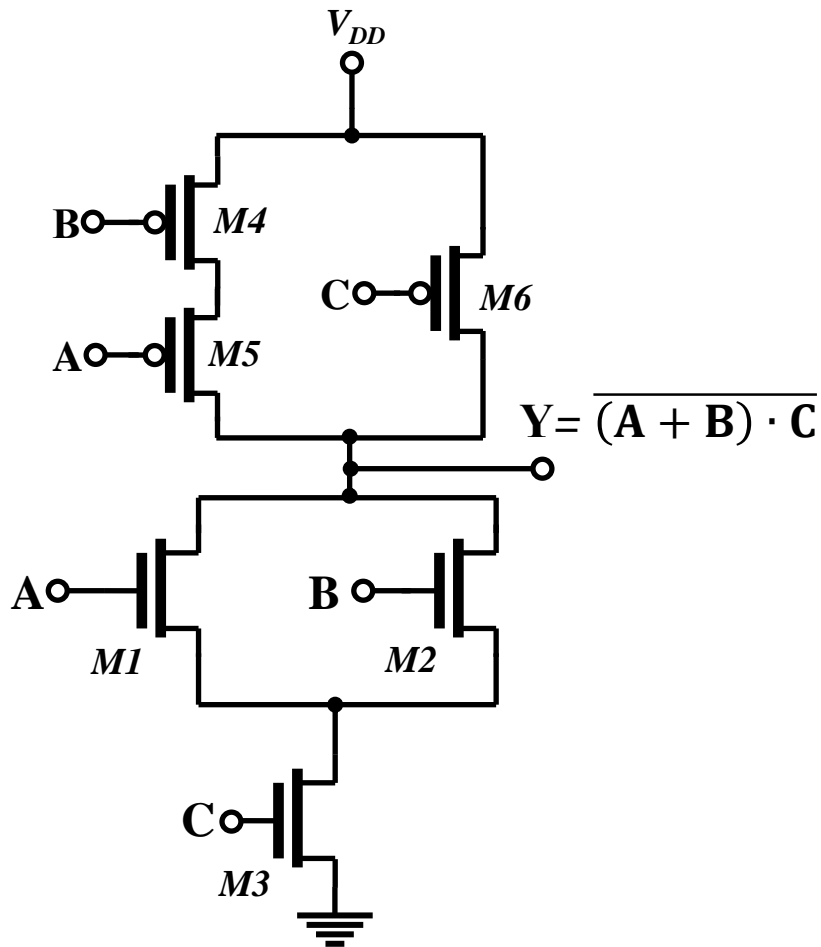
Πως θα υλοποιηθεί η συνάρτηση:  $Y = A \cdot B + C$ , αν μας δίνονται οι είσοδοι  $A, B, C$  και οι συμπληρωματικές τους  $\bar{A}, \bar{B}, \bar{C}$  ?

$$\begin{aligned} Y &= A \cdot B + C = \\ &= \overline{\overline{A \cdot B + C}} = \overline{(\overline{A \cdot B + C})} = \\ &= \overline{(\bar{A} + \bar{B}) \cdot \bar{C}} \\ Y &= \overline{(\bar{A} + \bar{B}) \cdot \bar{C}} \end{aligned}$$

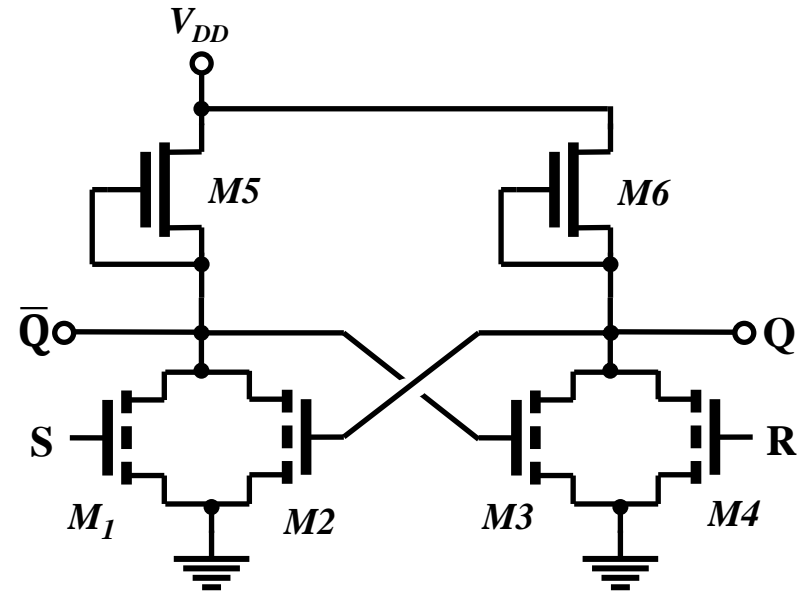
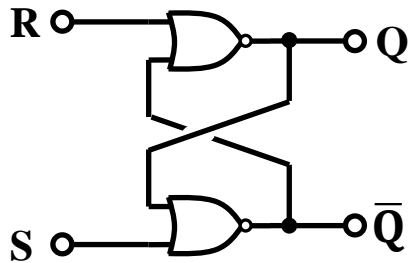


# Πύλες με CMOS τεχνολογία

$$Y = \overline{(\overline{A} + \overline{B}) \cdot \overline{C}}$$



# RS Flip Flop με nMOS τεχνολογία



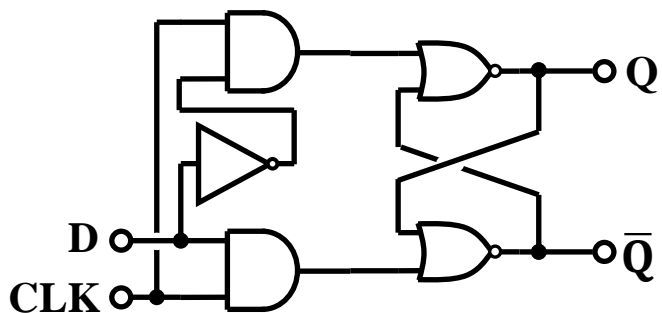
## πύλη NOR

A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

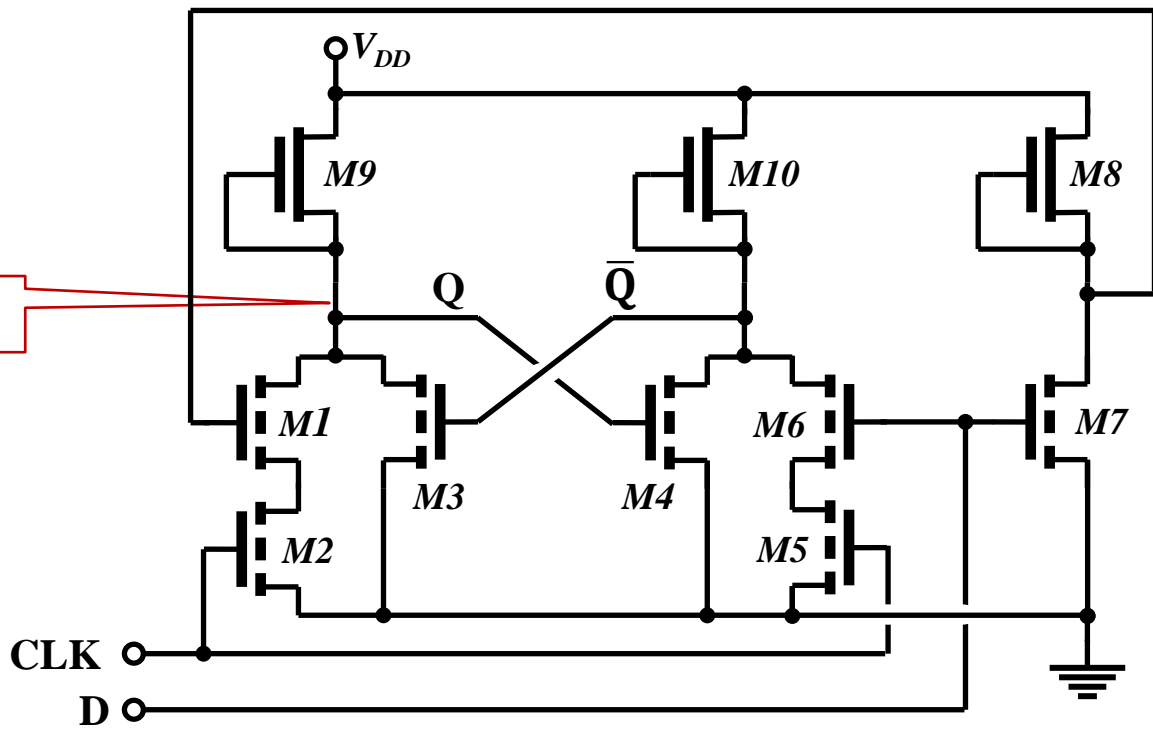
ΕΙΣΟΔΟΙ		ΕΞΟΔΟΣ
R	S	Q(n)
0	0	Q(n-1)
1	0	0
0	1	1
1	1	?

Μη επιτρεπτή κατάσταση, ίδιες έξοδοι

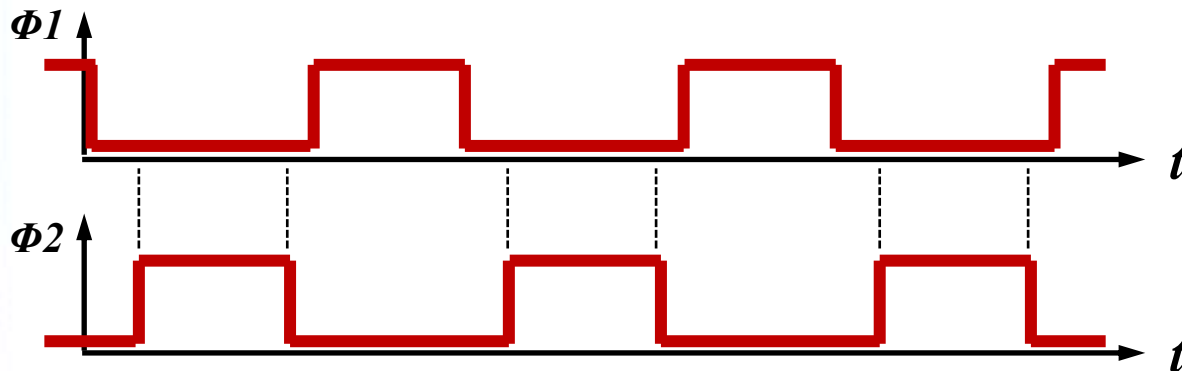
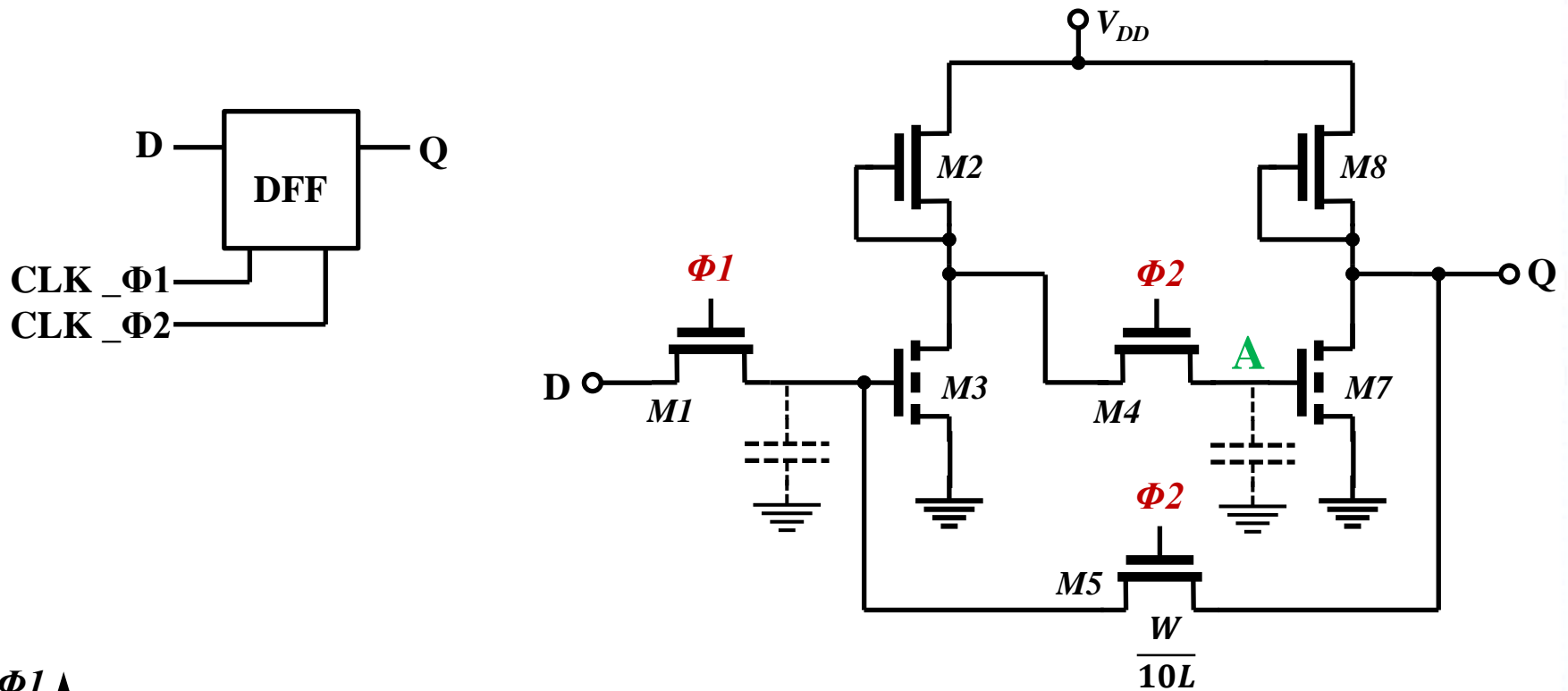
# Latches (μανδαλωτής) με nMOS τεχνολογία



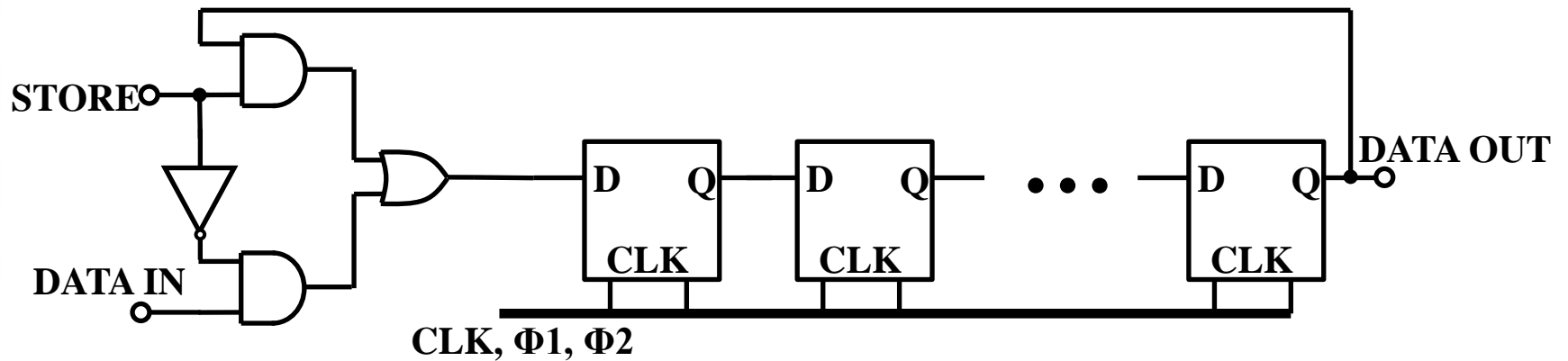
Πόσα τρανζίστορ  
χρειάζονται;



# D Flip Flop με nMOS τεχνολογία



# N-bit Shift Register

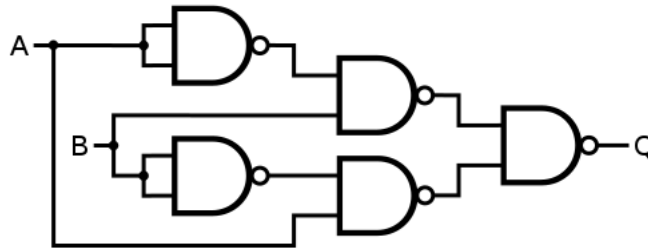
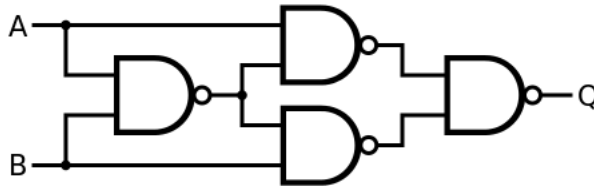


## 6.5 Αποκλειστικό Η (Exclusive OR)

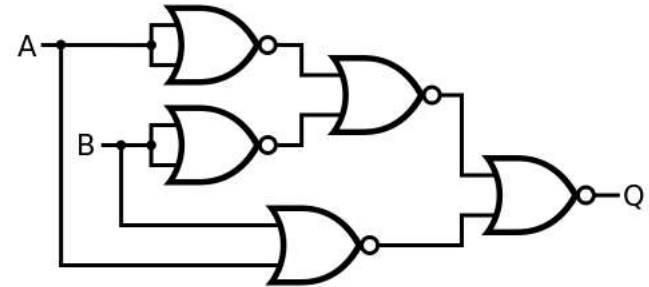
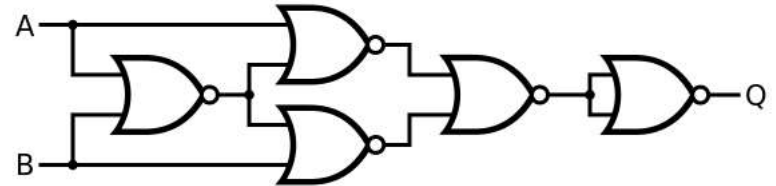


$$Q = A \oplus B$$

NAND construction



NOR construction



πύλη XOR

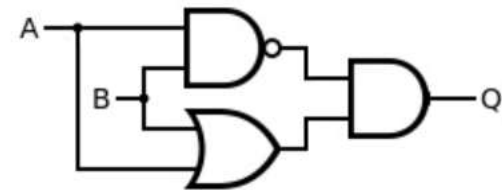
A	B	$Q=A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

$$Q = A \cdot \bar{B} + \bar{A} \cdot B$$

$$Q = \overline{(\bar{A} + B) \cdot (A + \bar{B})}$$

$$Q = (A + B) \cdot (\bar{A} + \bar{B})$$

$$Q = (A + B) \cdot \overline{A \cdot B}$$

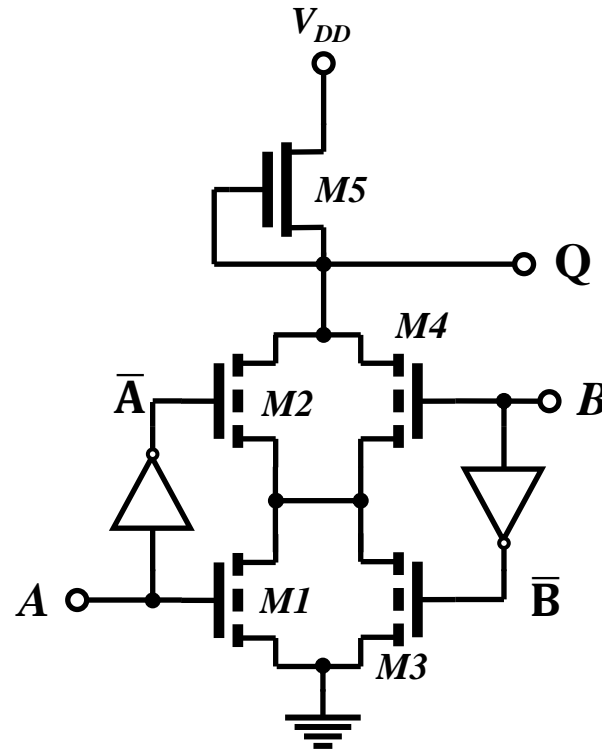


## 6.5 Αποκλειστικό Η (Exclusive OR)



**πύλη XOR**

<b>A</b>	<b>B</b>	<b><math>Q=A \oplus B</math></b>
0	0	<b>0</b>
0	1	<b>1</b>
1	0	<b>1</b>
1	1	<b>0</b>



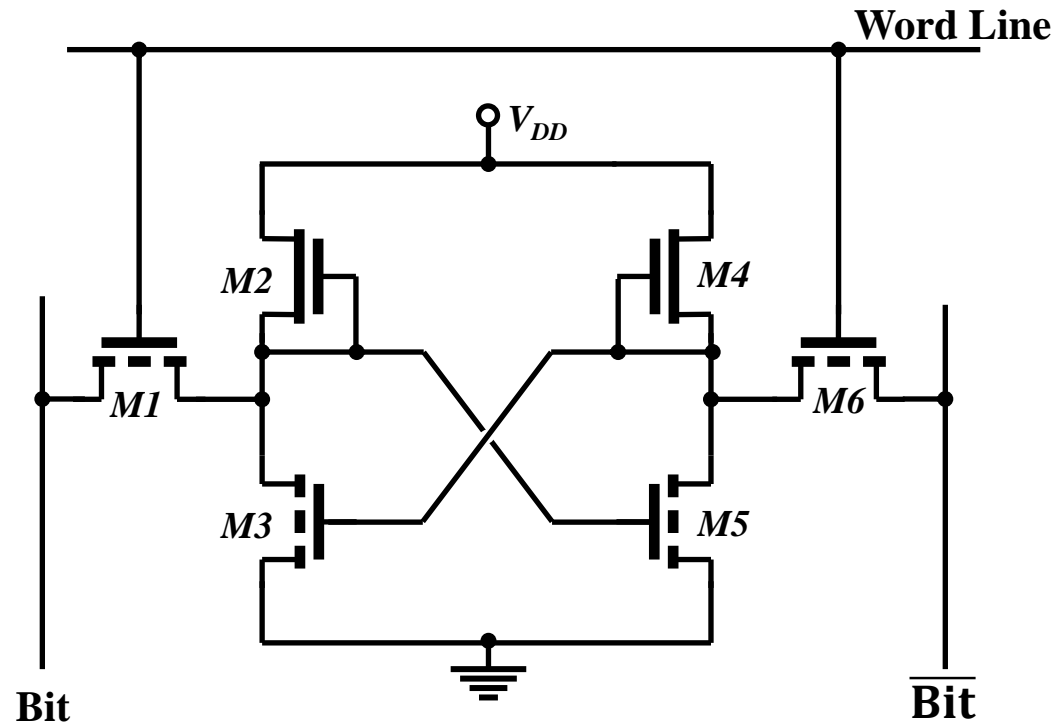
# ΜΝΗΜΕΣ RAM ΗΜΙΑΓΩΓΩΝ

Στατική RAM  
(SRAM)

1 Cell

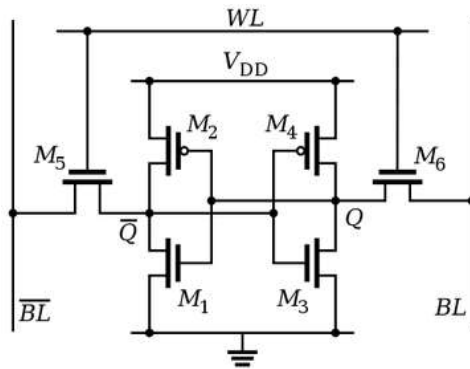
ή

1 bit

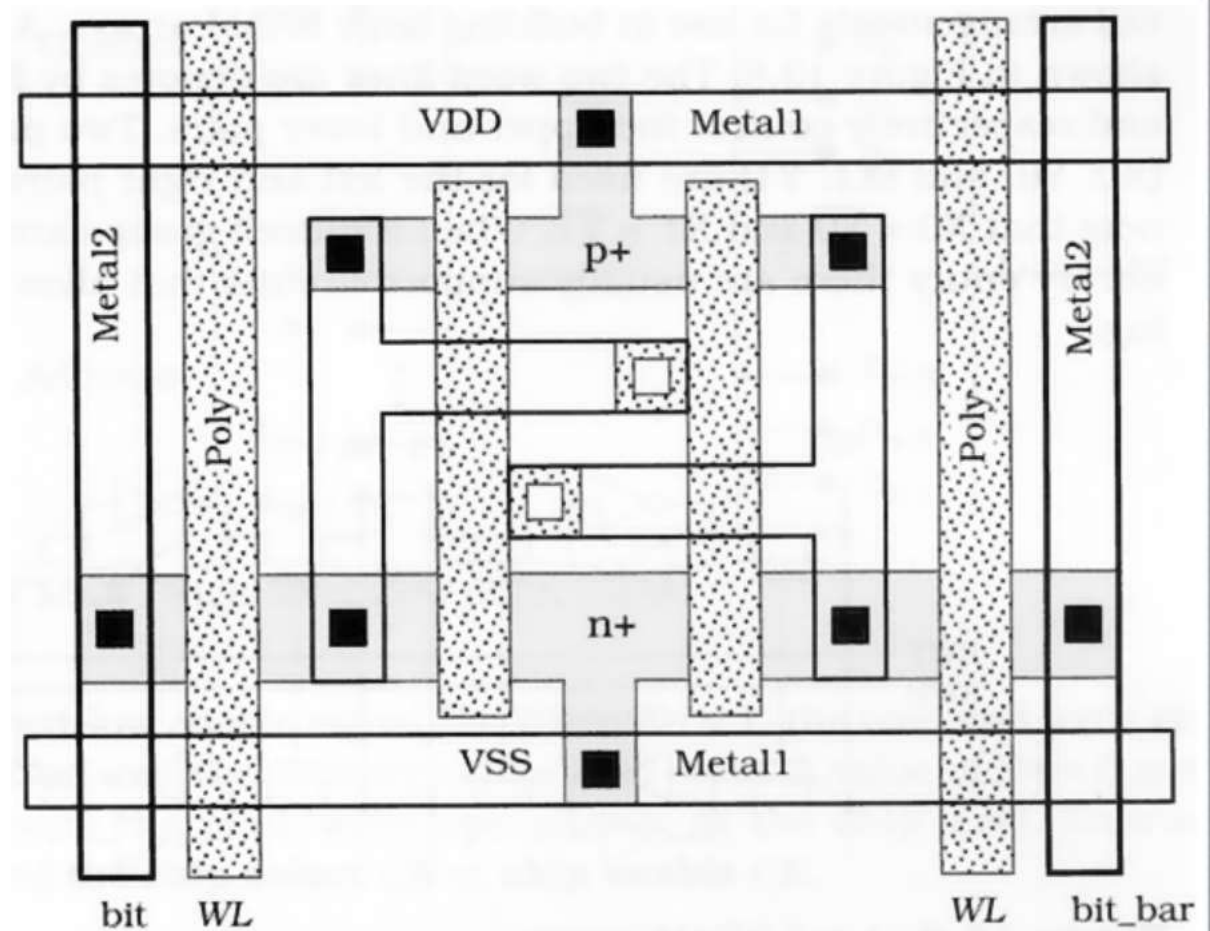




# ΜΝΗΜΕΣ RAM ΗΜΙΑΓΩΓΩΝ

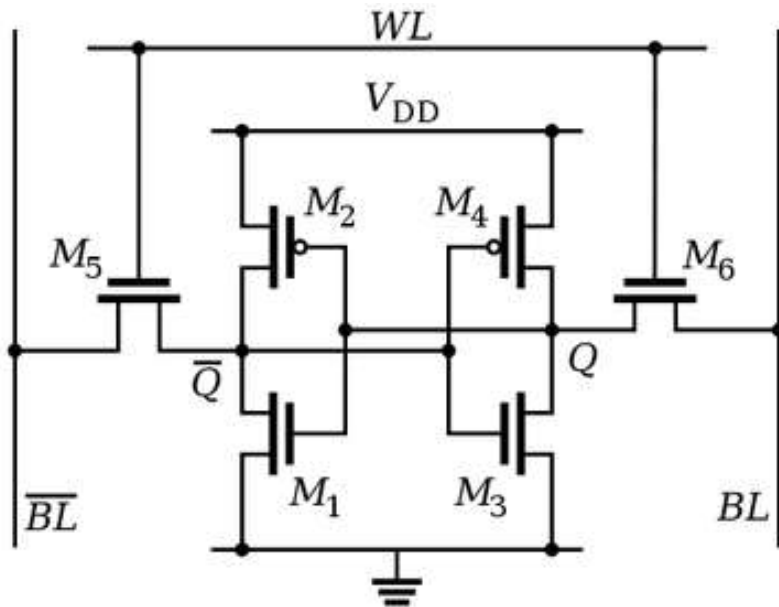


**6T cell CMOS  
SRAM**

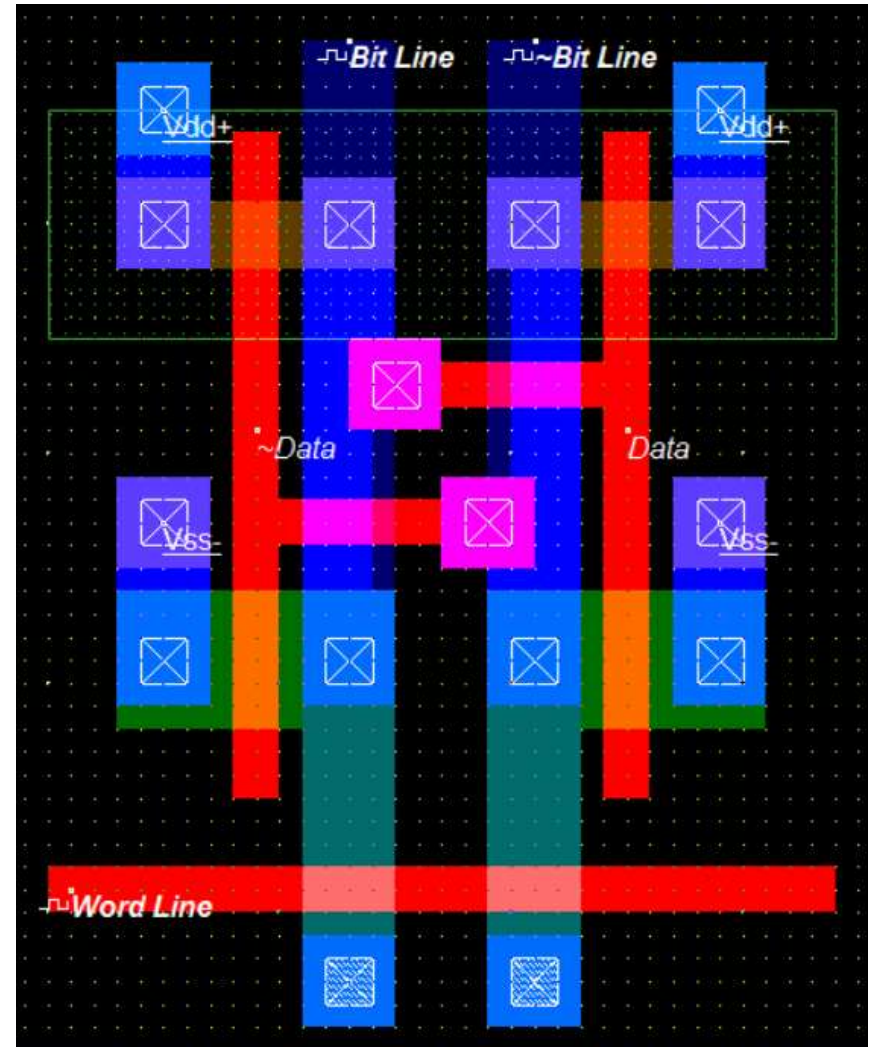


**6T cell CMOS SRAM Layout**

# ΜΝΗΜΕΣ RAM ΗΜΙΑΓΩΓΩΝ

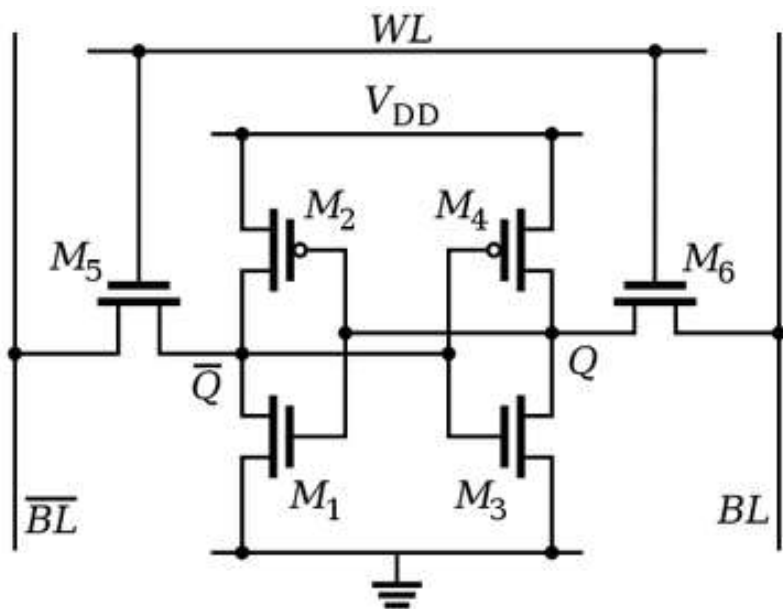


**6T cell CMOS SRAM**

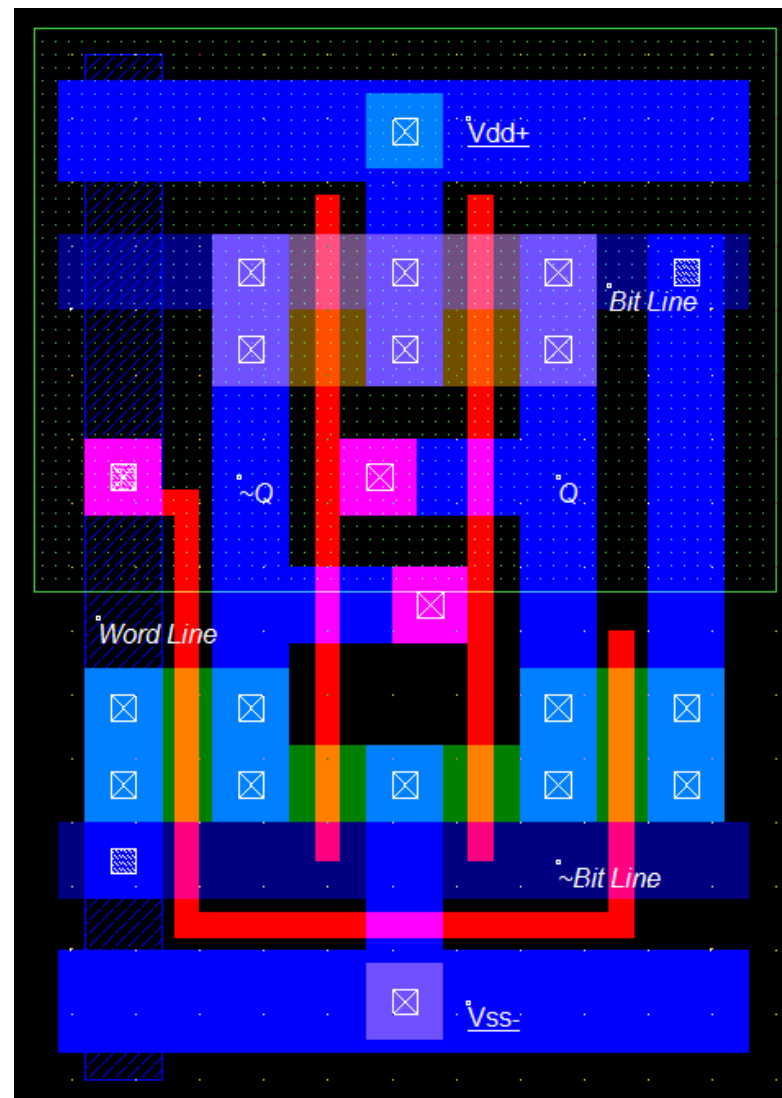


**6T cell CMOS SRAM Layout**

# ΜΝΗΜΕΣ RAM ΗΜΙΑΓΩΓΩΝ



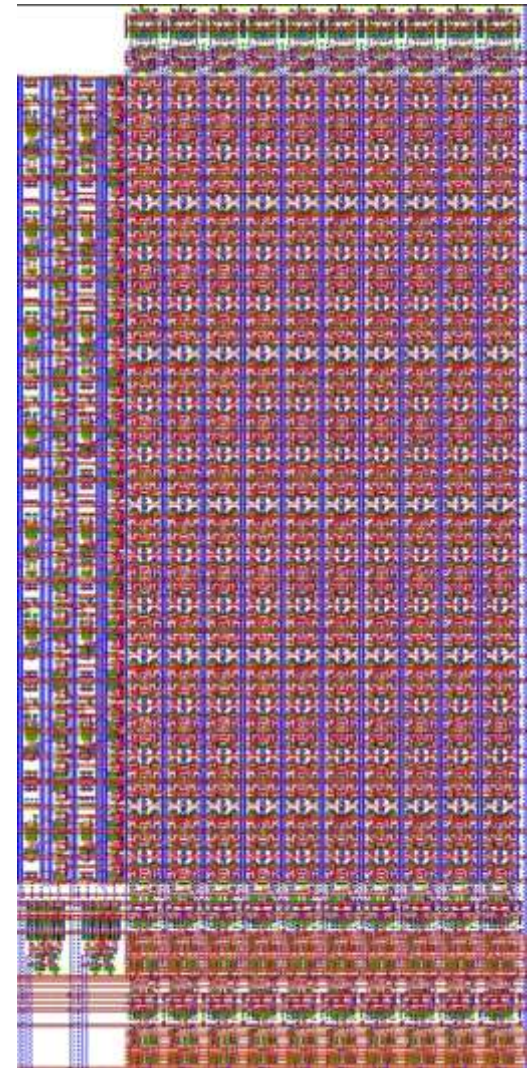
**6T cell CMOS SRAM**



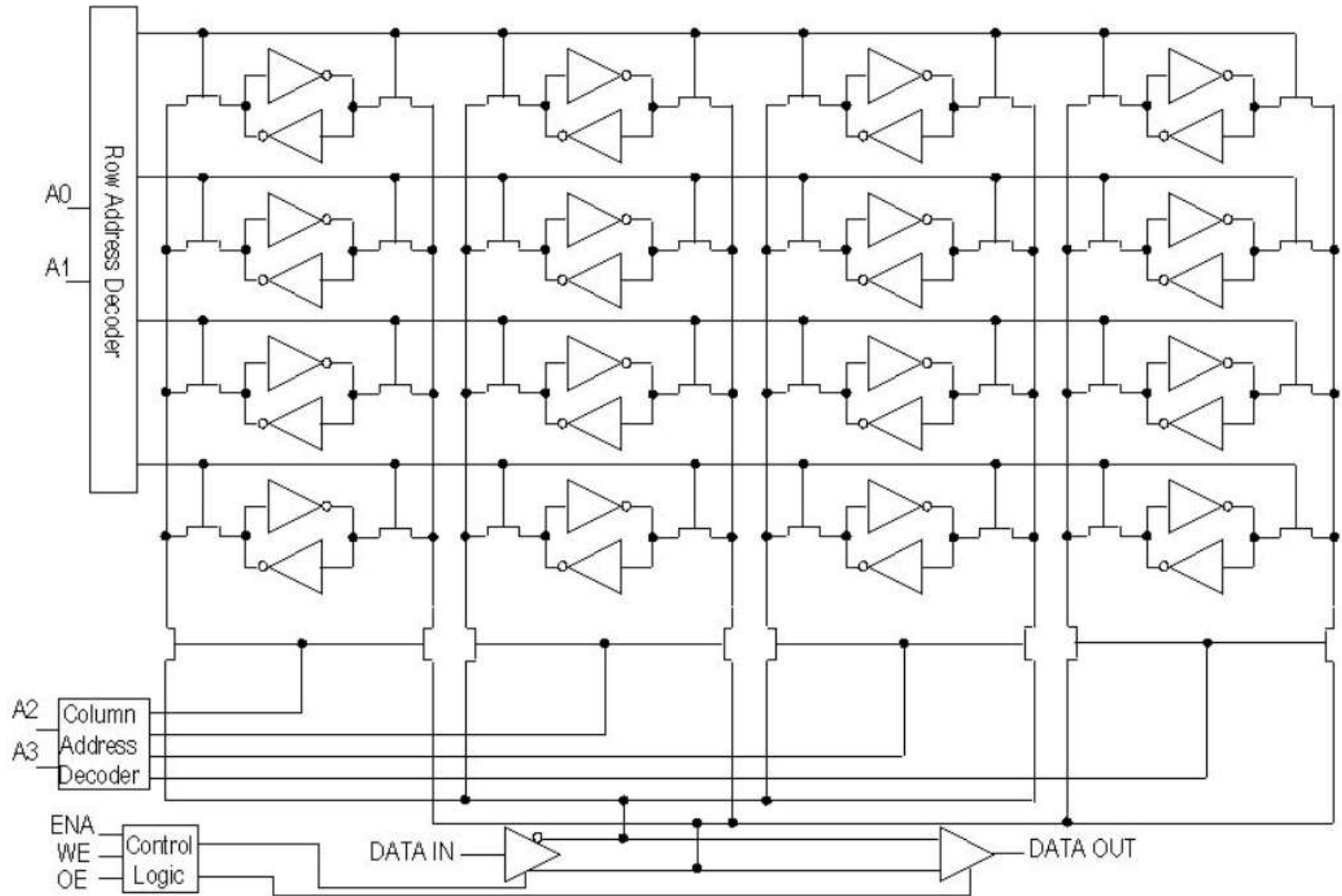
**6T cell CMOS SRAM Layout**

# ΜΝΗΜΕΣ RAM ΗΜΙΑΓΩΓΩΝ

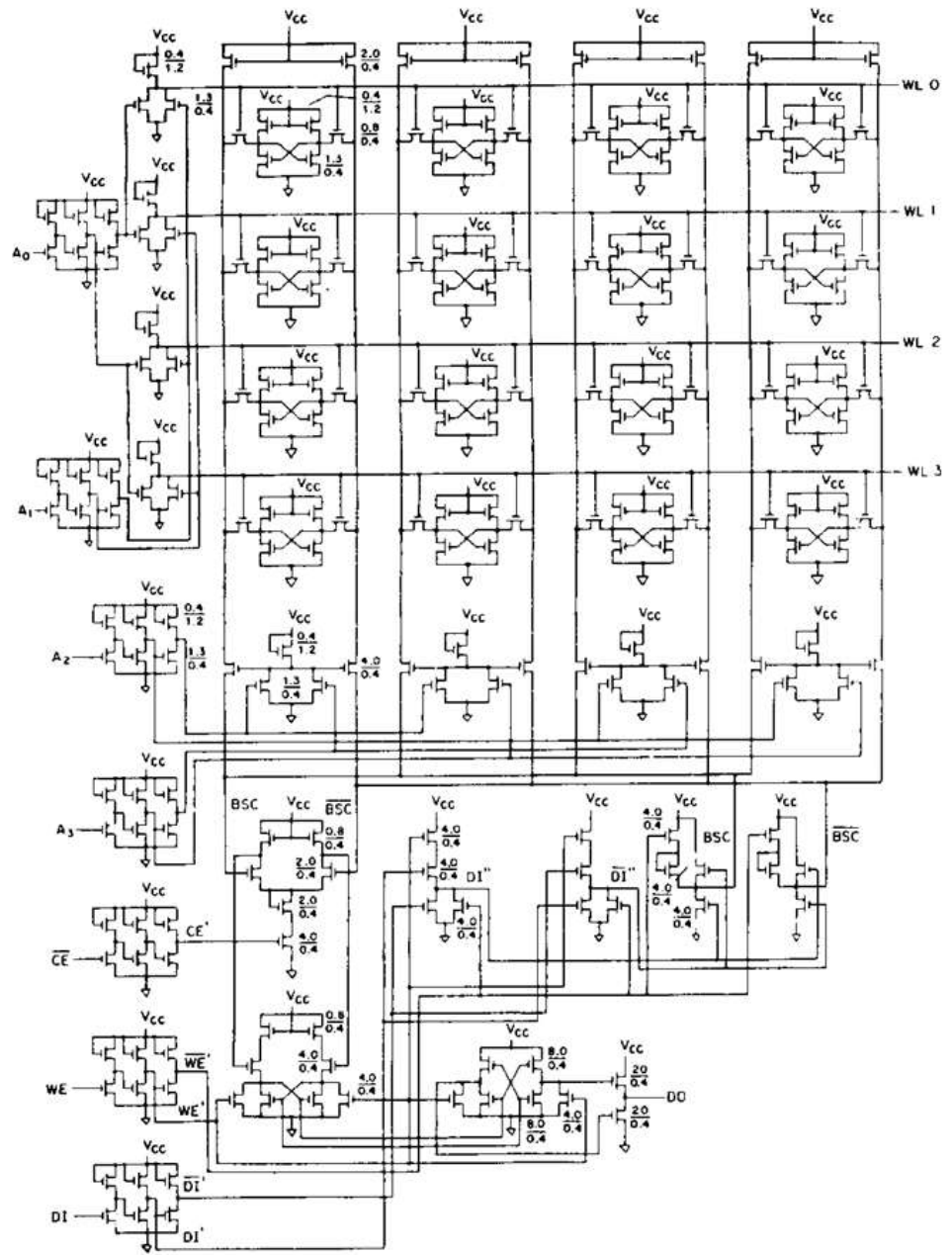
**32 X 10 bit CMOS SRAM Layout**



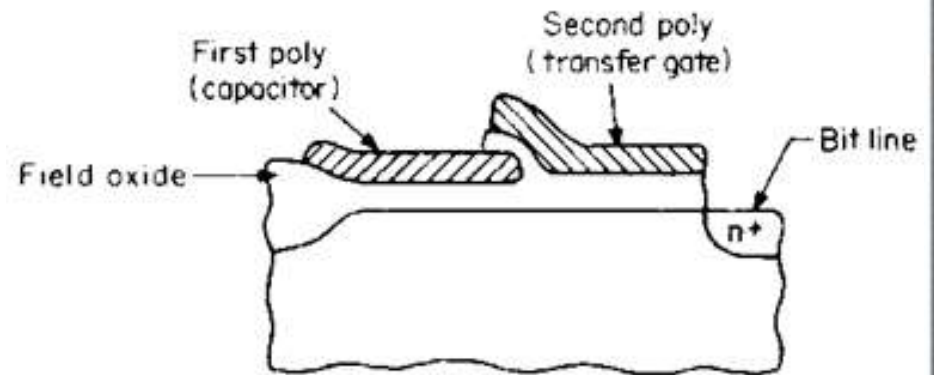
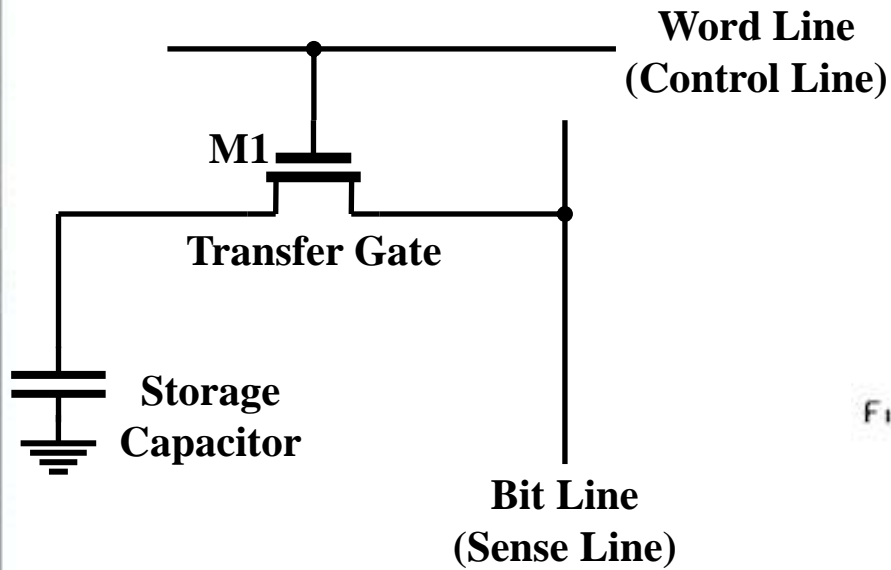
# 16 Bit SRAM Structure



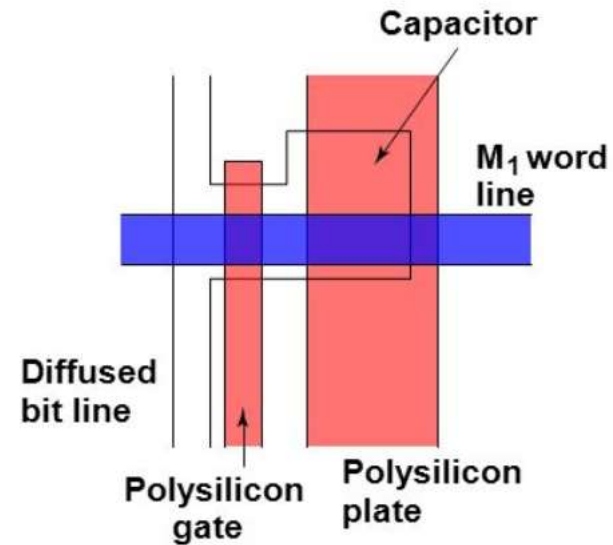
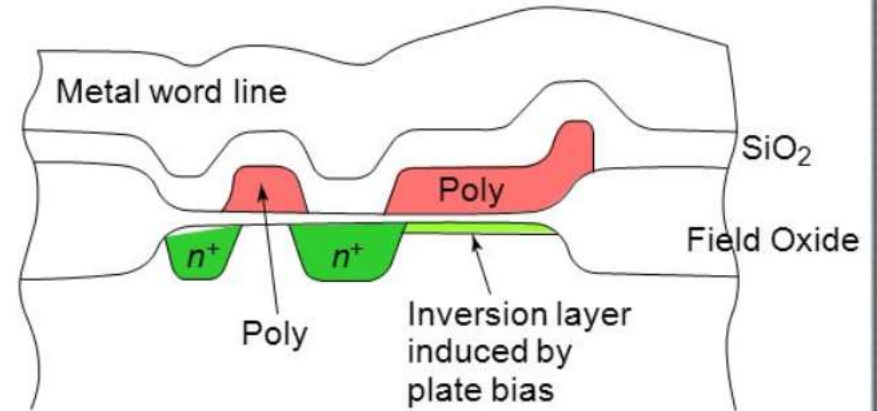
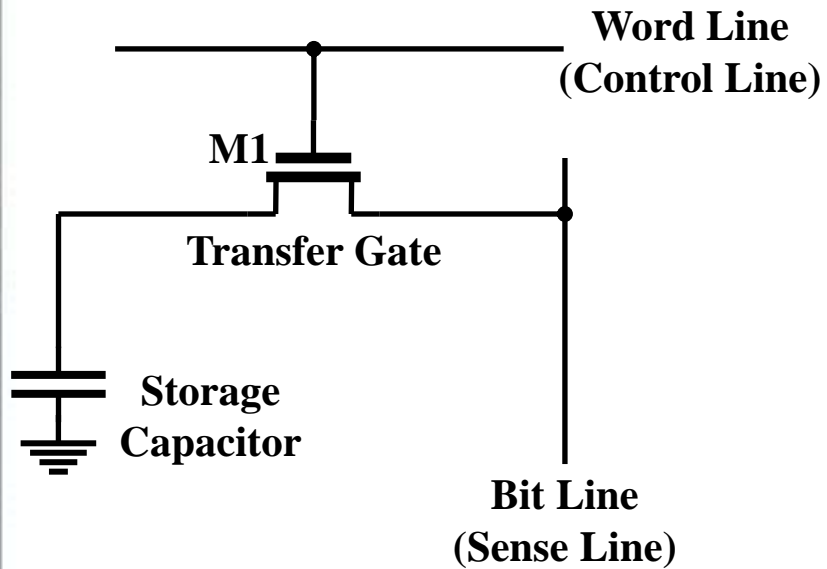
# 16 – bit RAM circuit



# Δυναμική RAM

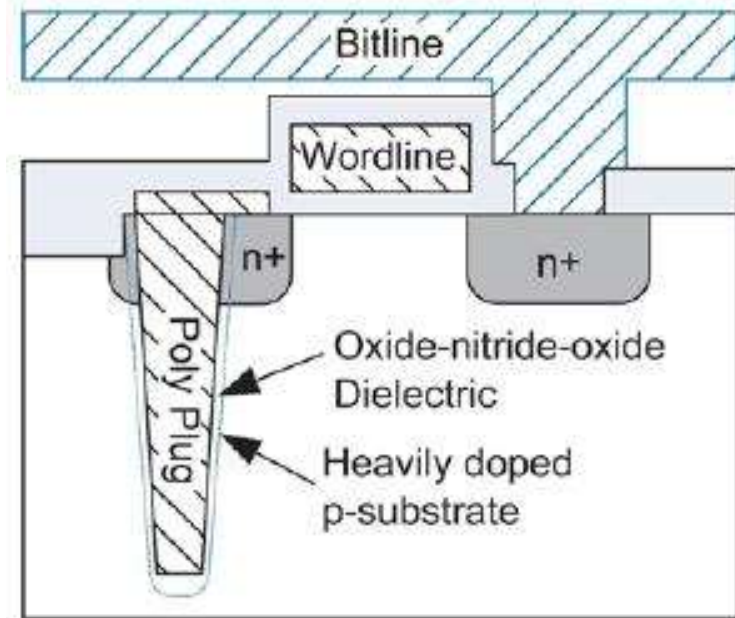
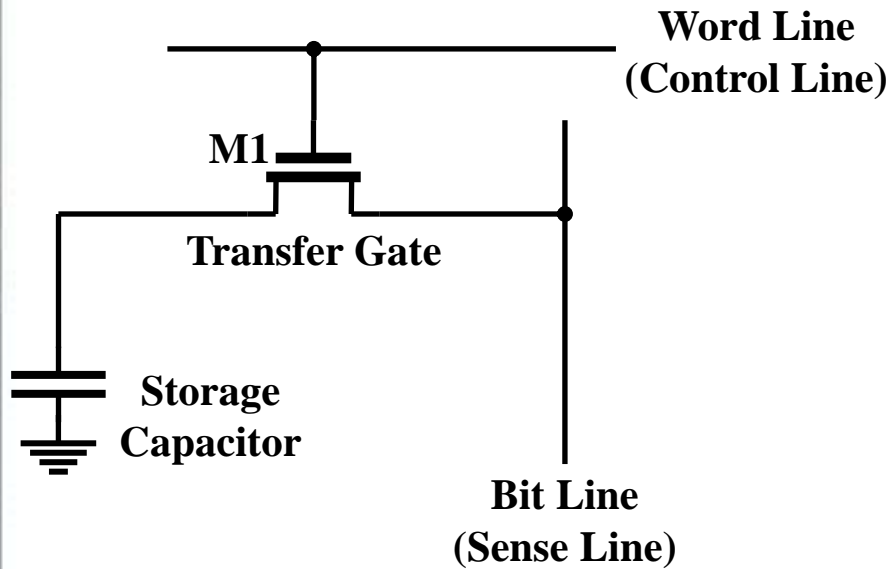


# Δυναμική RAM

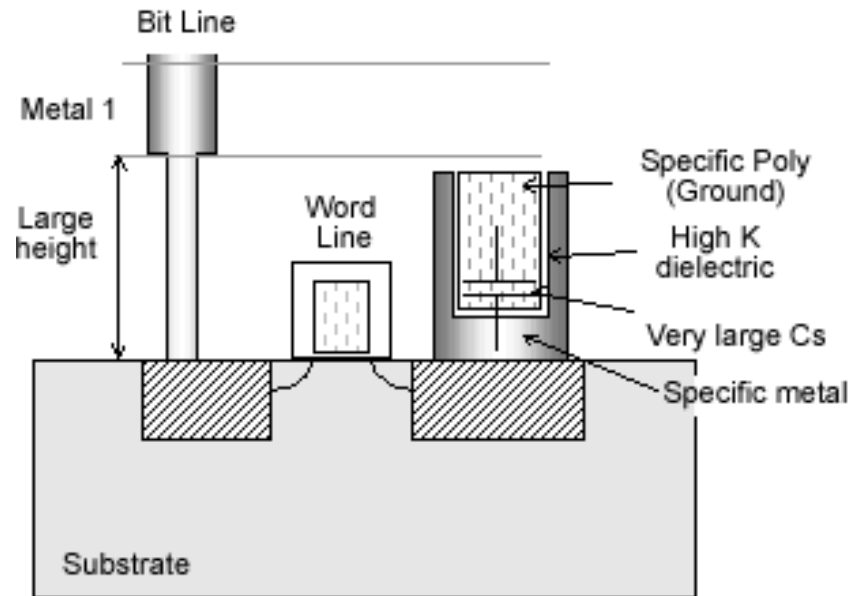
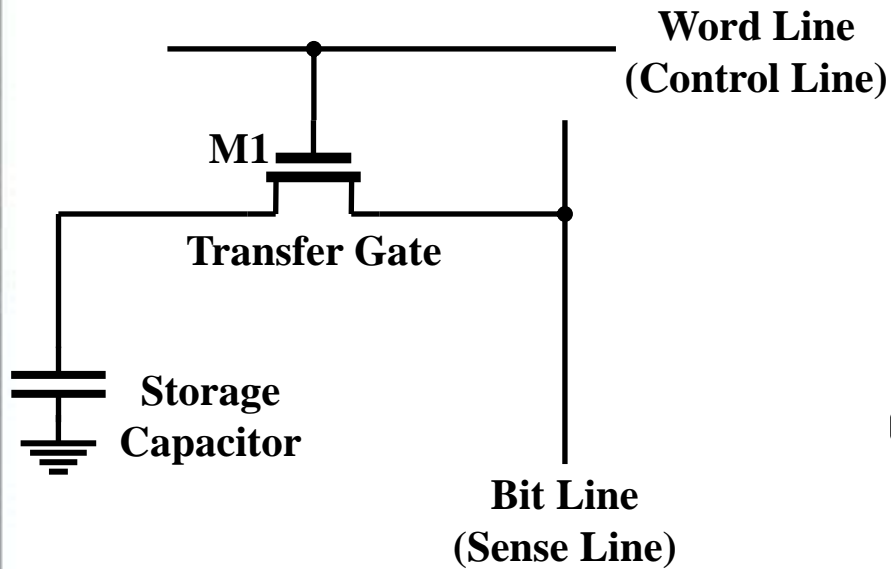




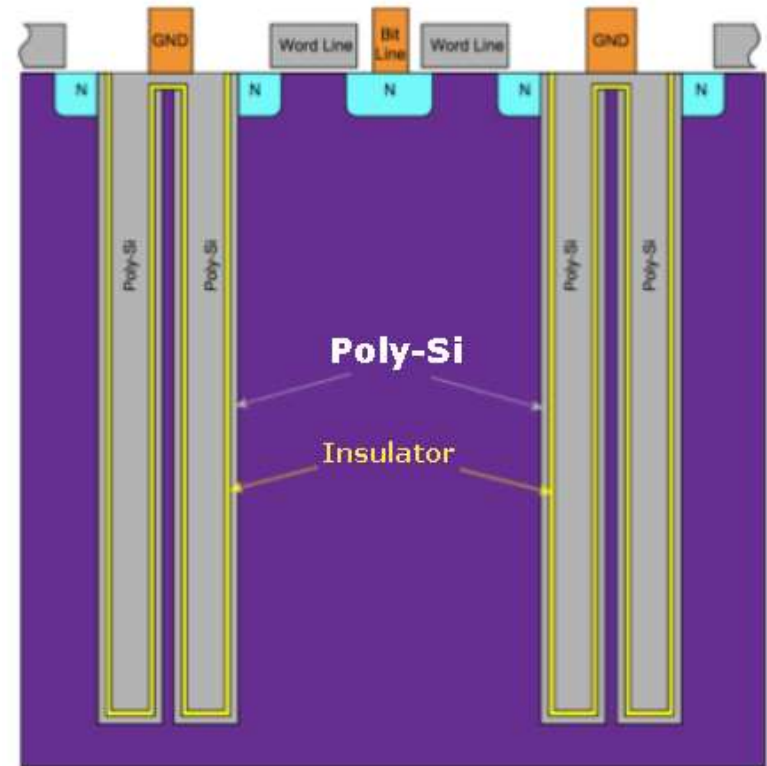
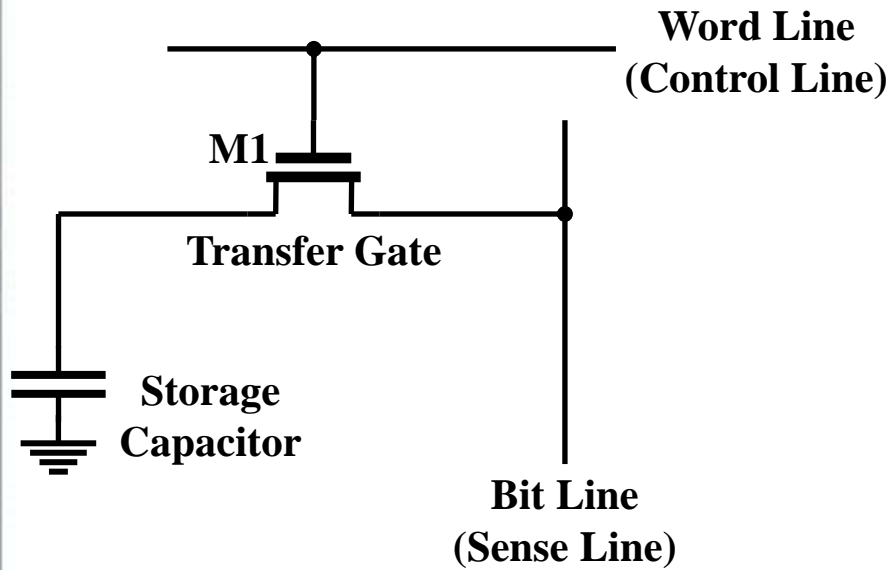
# Δυναμική RAM



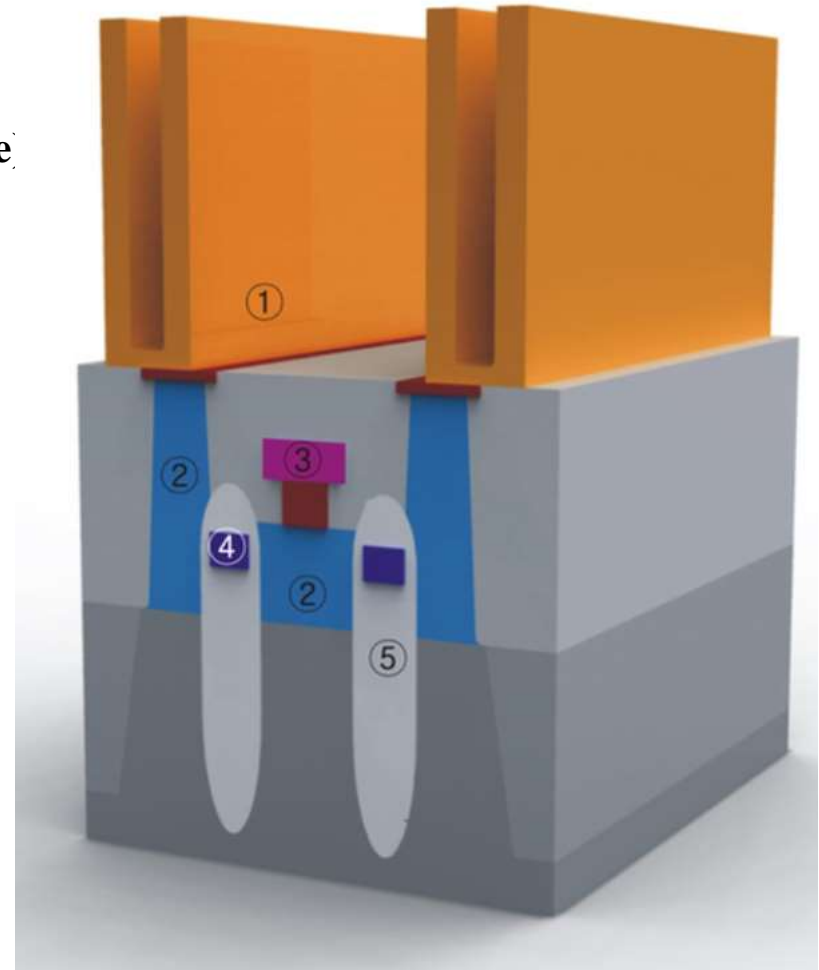
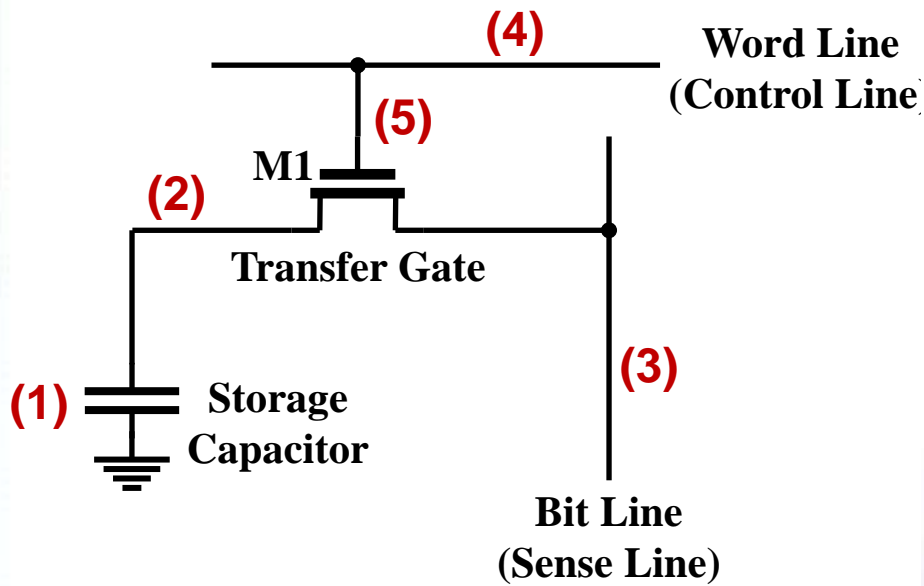
# Δυναμική RAM



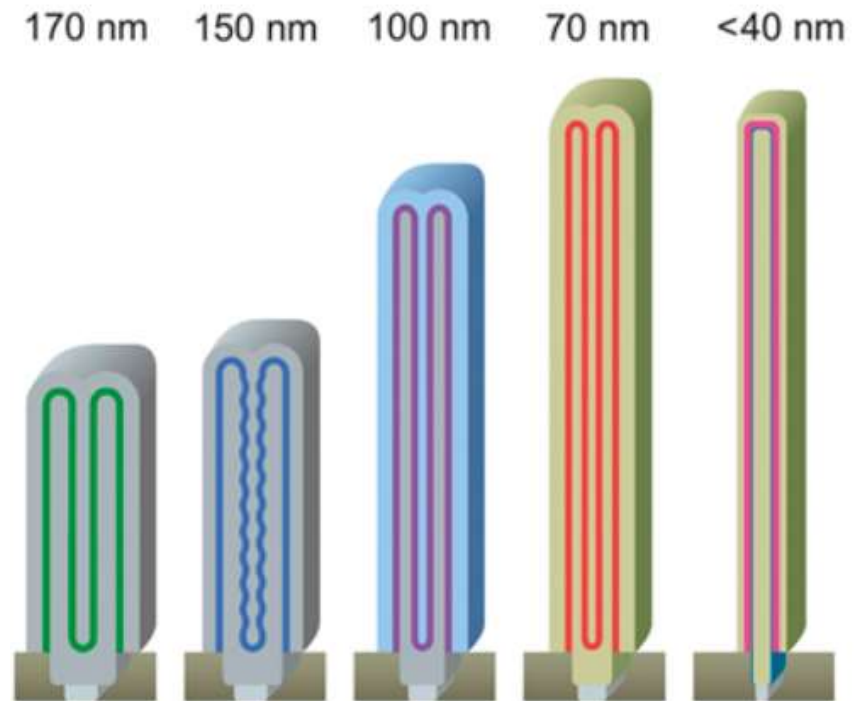
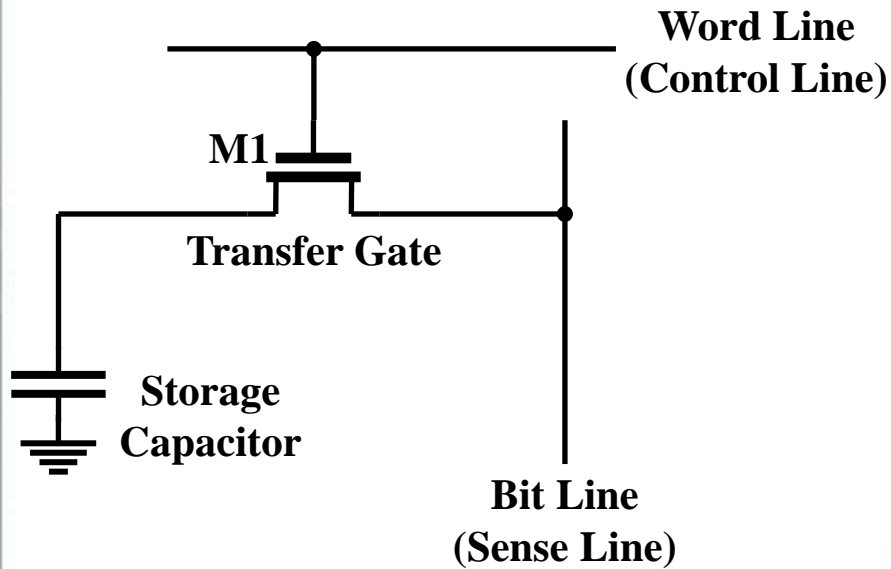
# Δυναμική RAM



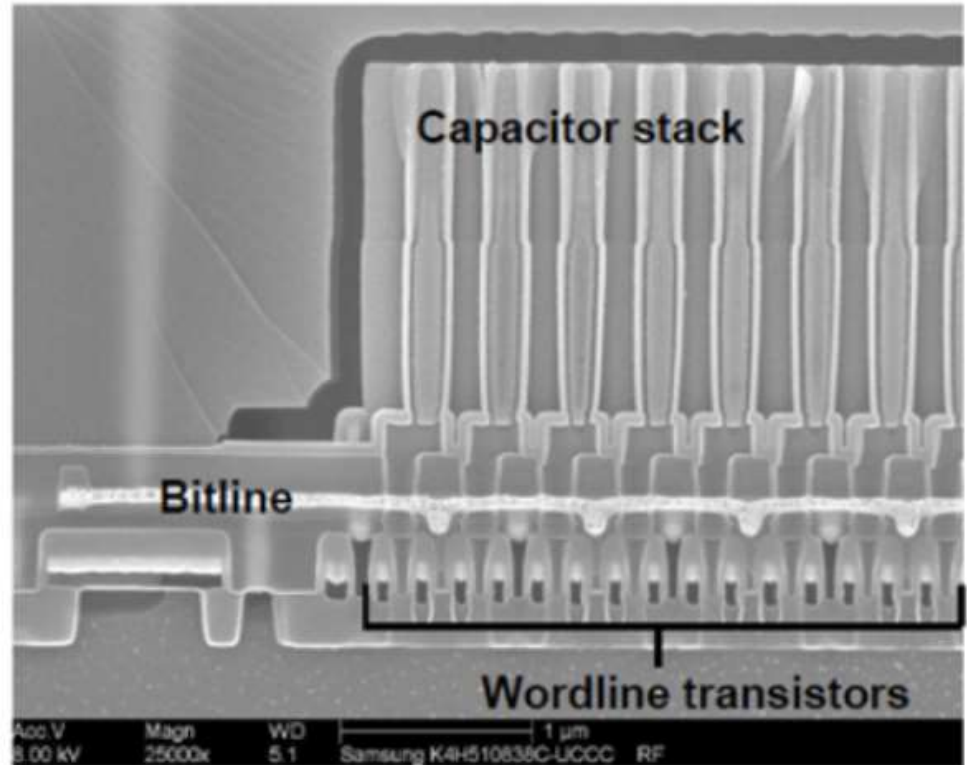
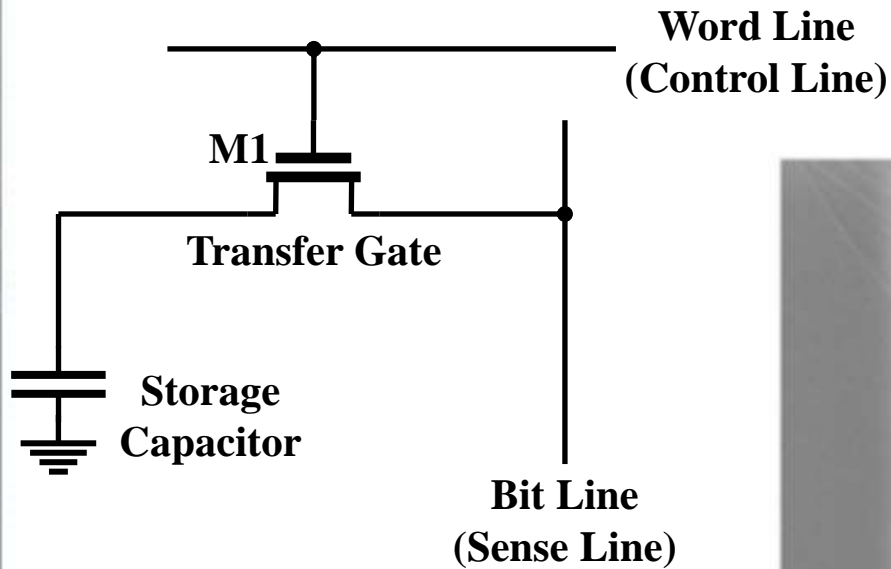
# Δυναμική RAM



# Δυναμική RAM

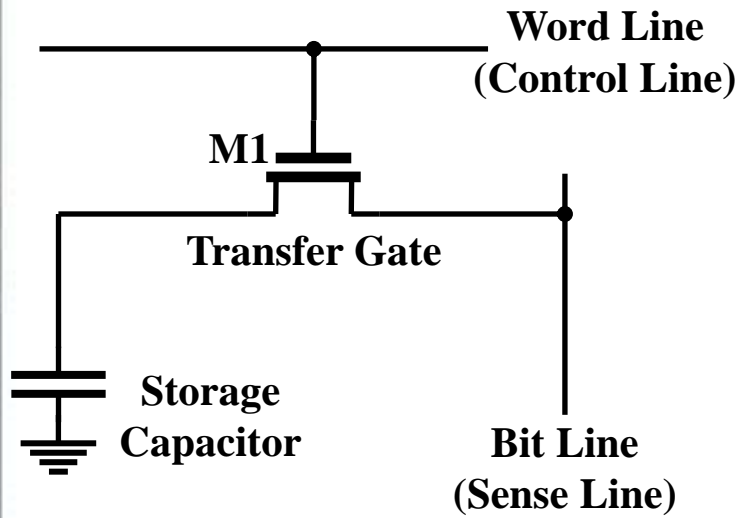


# Δυναμική RAM



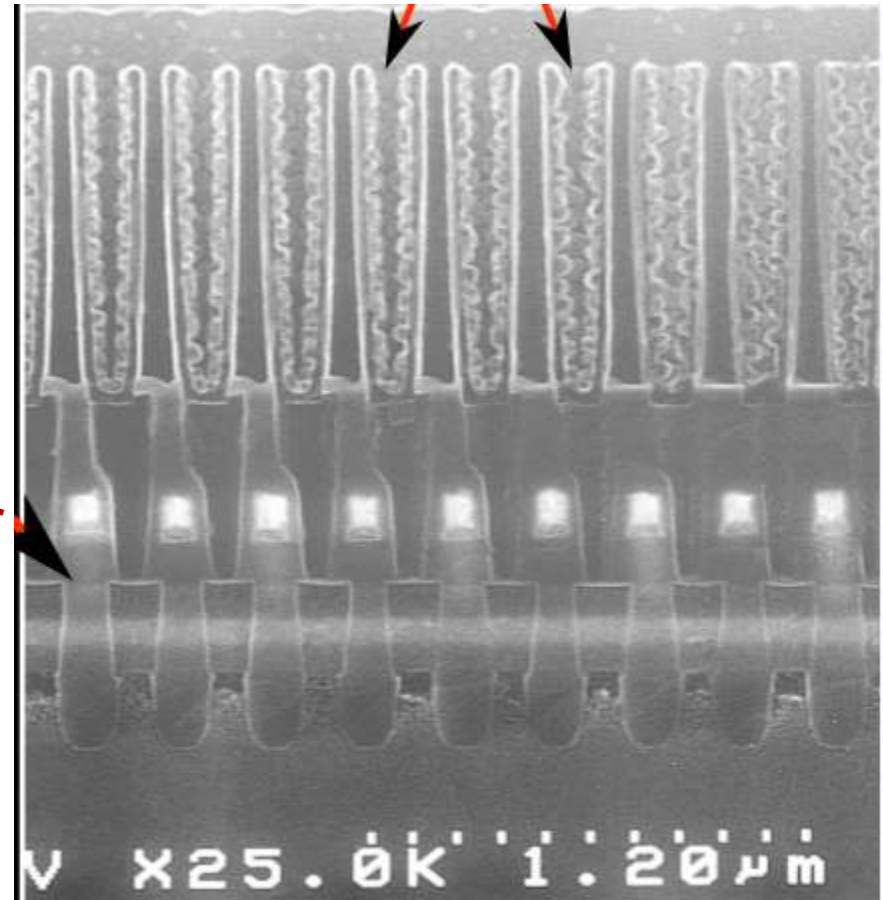
90nm Hi-k dielectric,  
Samsung 512Mbit SDRAM

# Δυναμική RAM

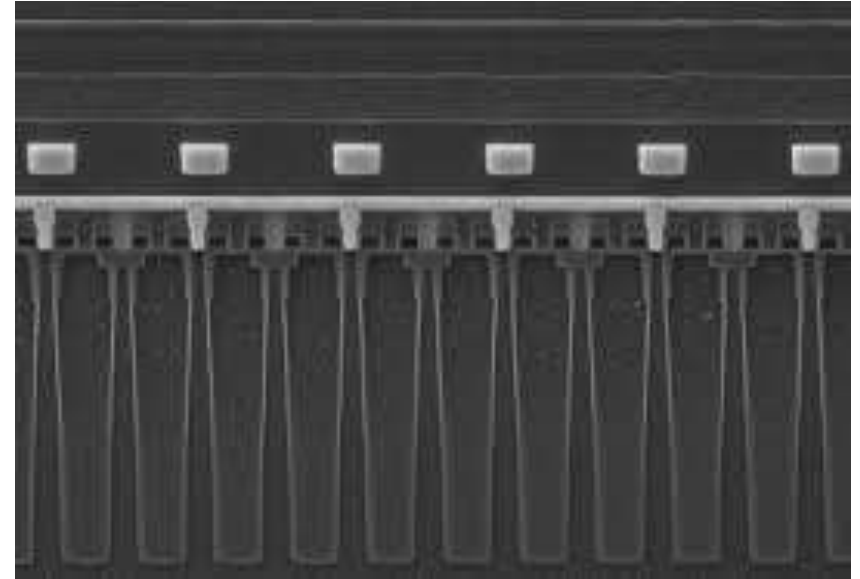
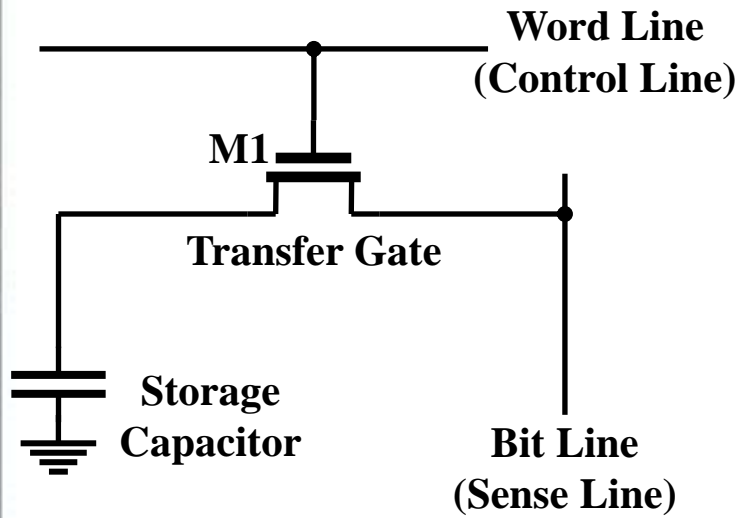


**Transistor**

**Capacitors**



# Δυναμική RAM

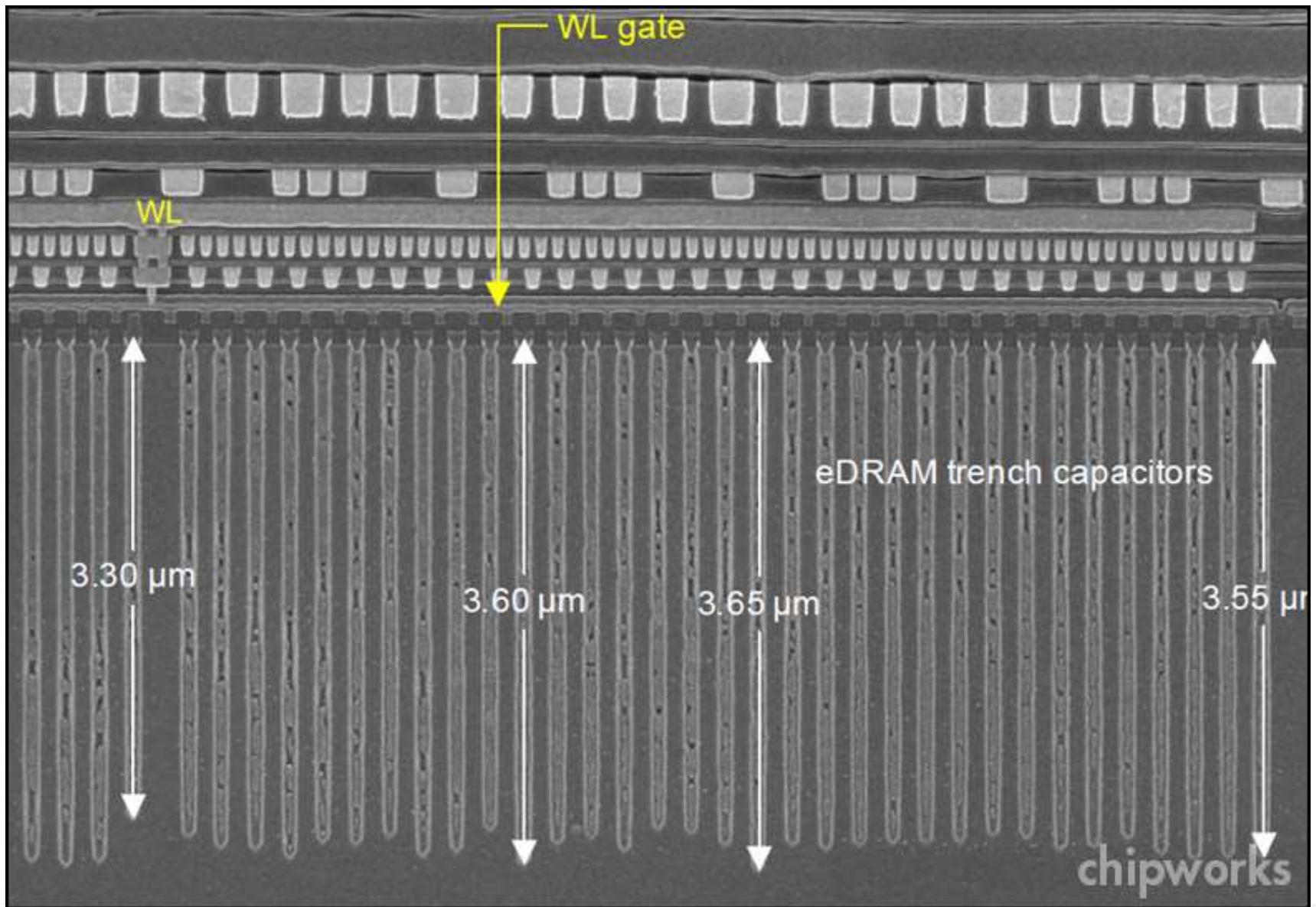


**Capacitors**

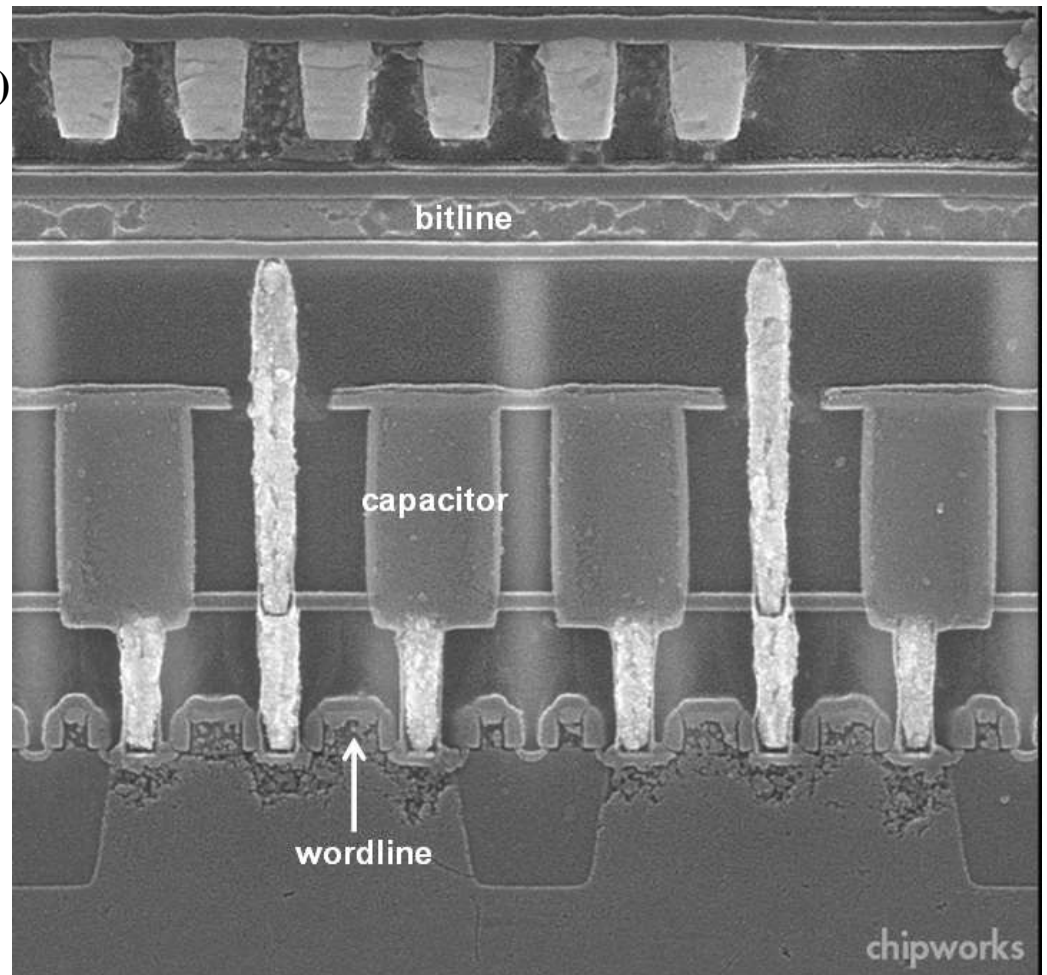
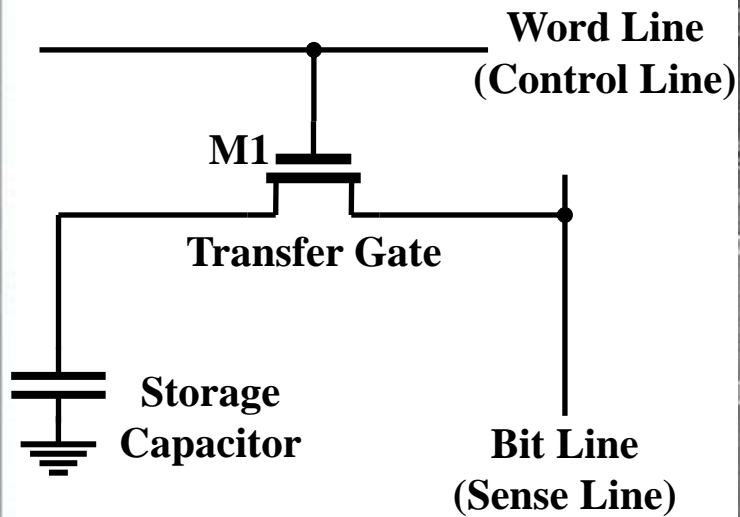
**Transistor**



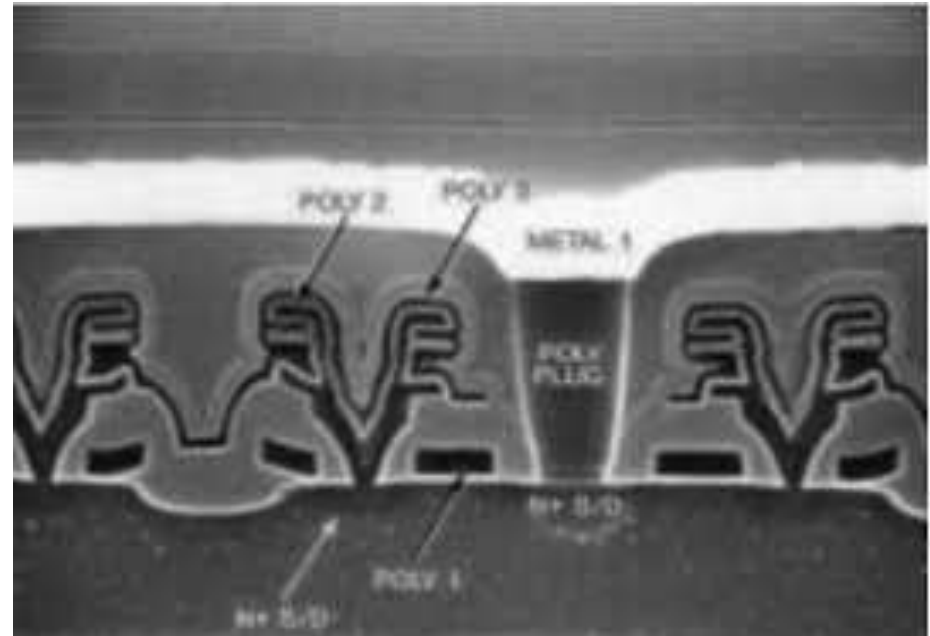
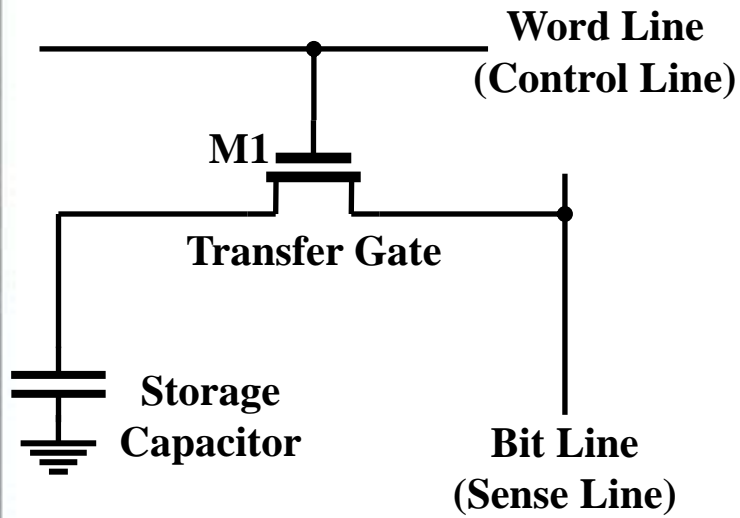
# Δυναμική RAM



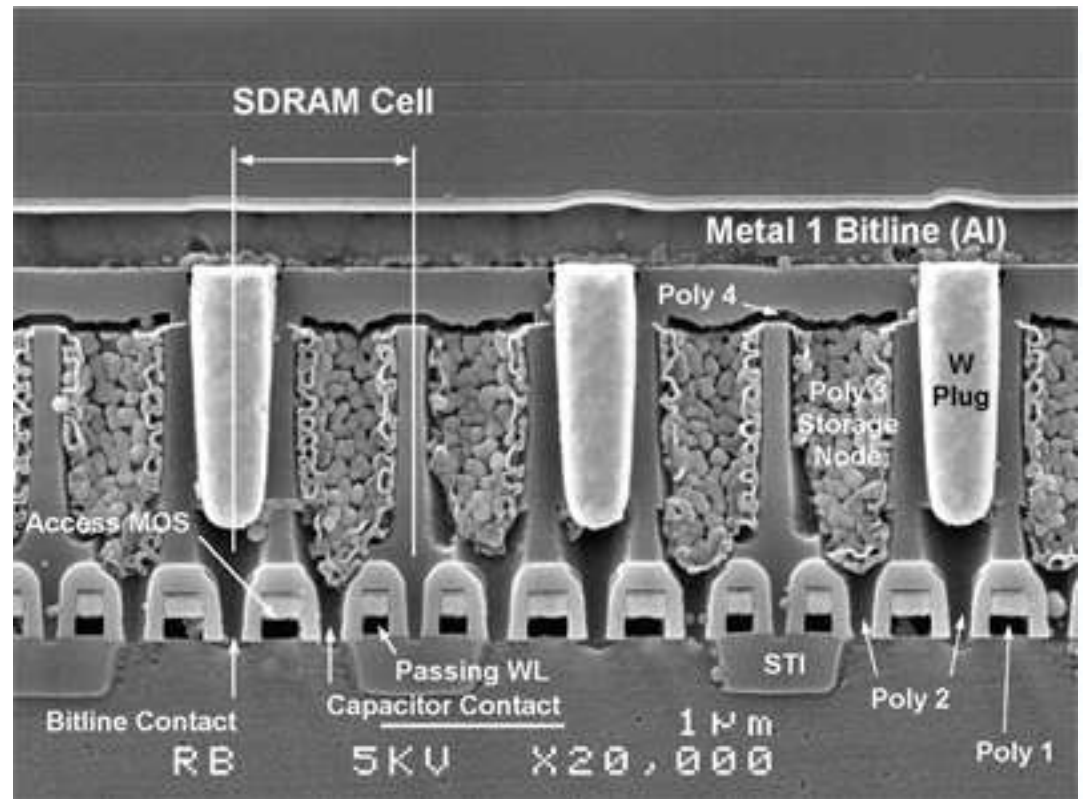
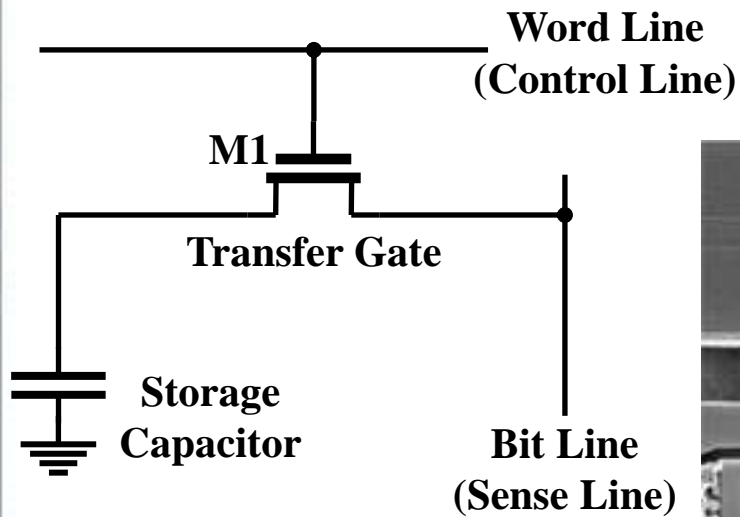
# Δυναμική RAM



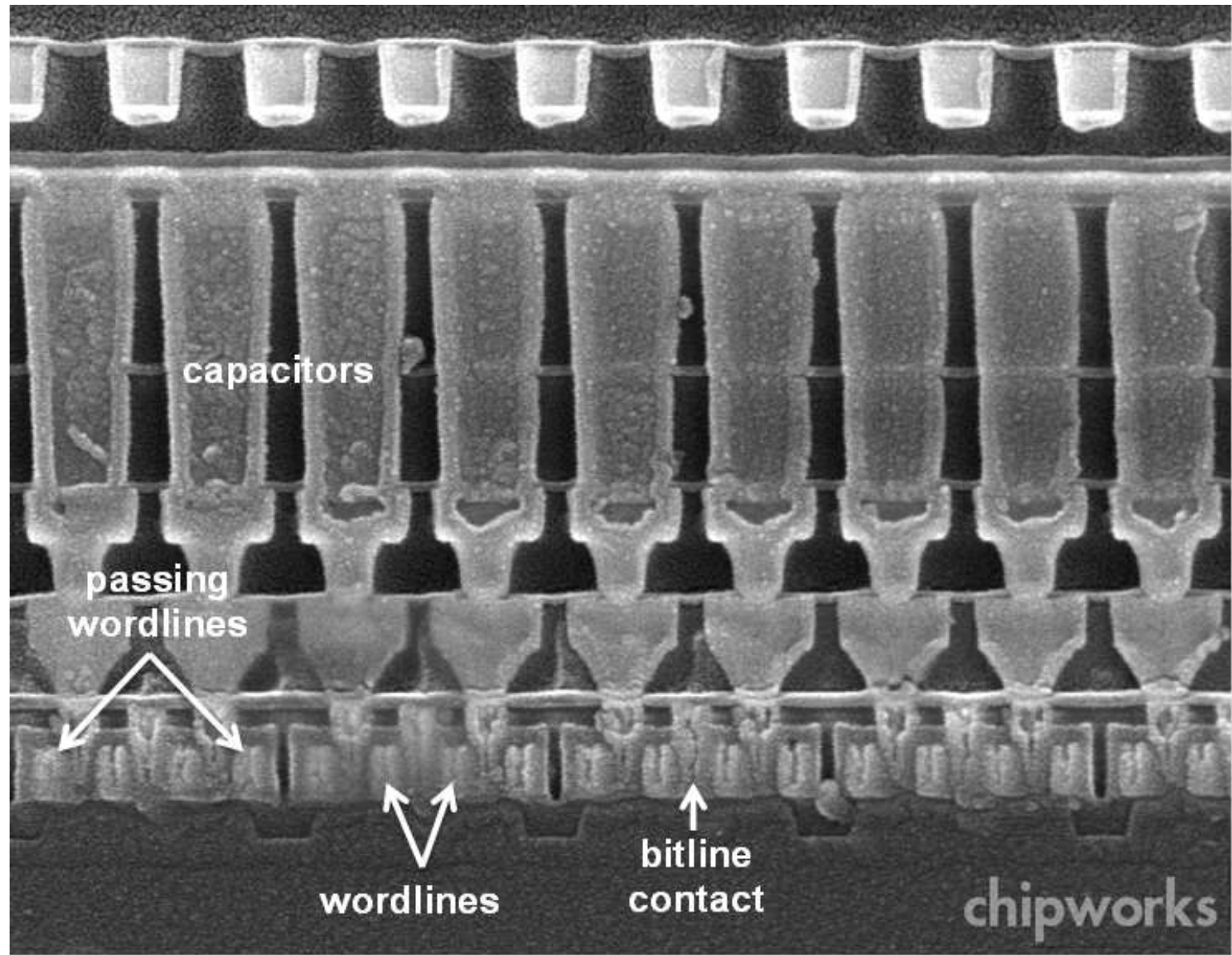
# Δυναμική RAM



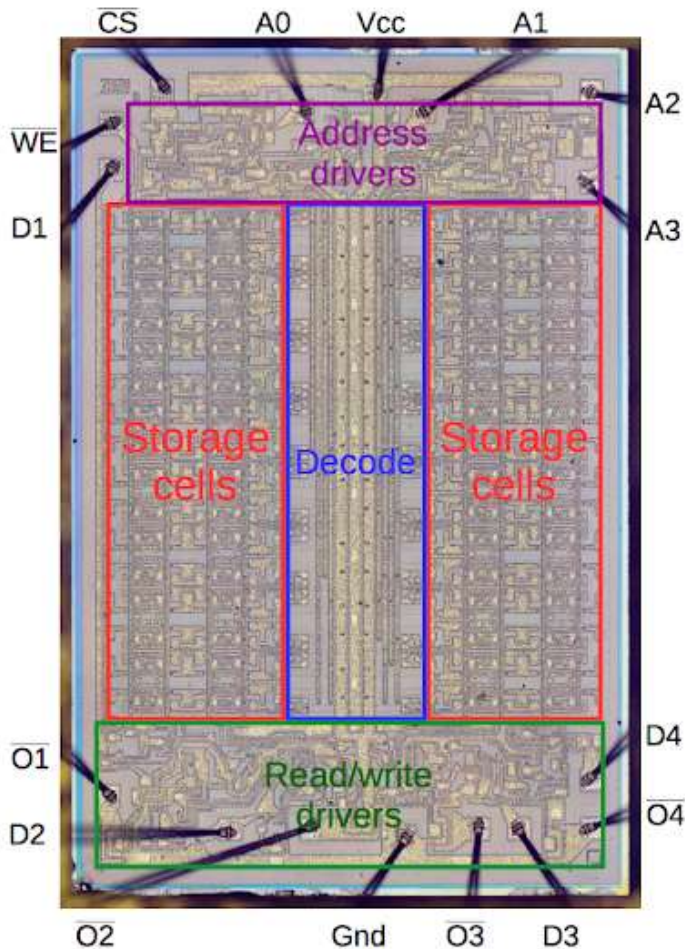
# Δυναμική RAM



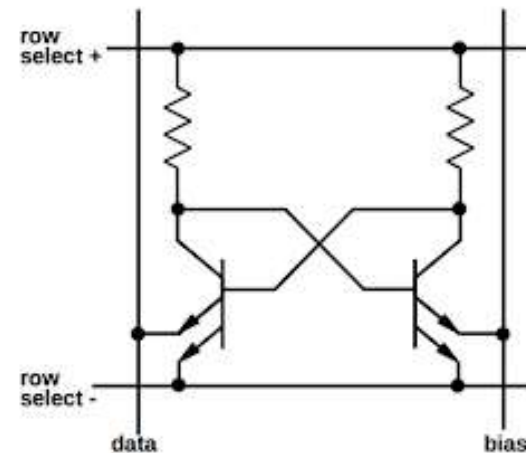
# Δυναμική RAM



# the 3101 RAM chip

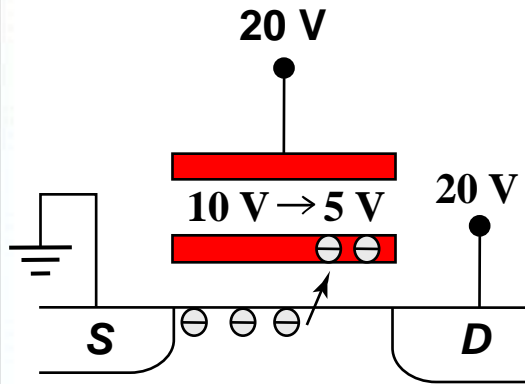


- Κατασκευασμένο με διπολικά τρανζίστορ
- Παραγωγή 1969
- Κόστος \$99,5
- 64 bits (16 X 4 array of storage cells)
- Παρέμεινε στην αγορά έως το 1980

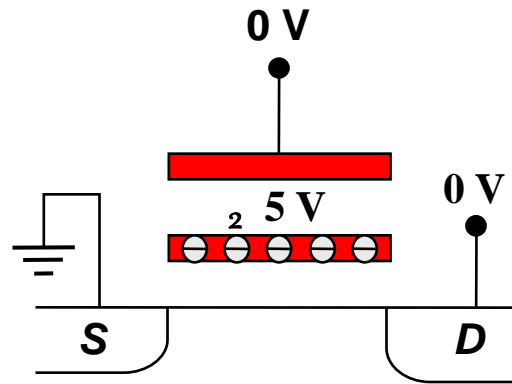


Με \$99,5 αγοράζουμε 16GByte RAM. Κατασκευάζοντας 16GByte με 2 εκατομμ. τσιπ 3101 θα ζύγιζε 3000 τόνους και θα απαιτούσε ισχύ πάνω από 1 MW.

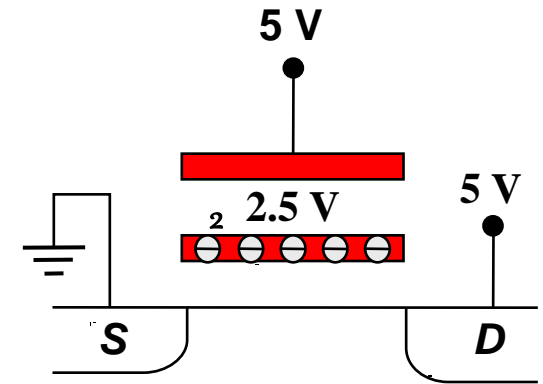
# Floating-Gate Transistor Programming (Μνήμες Flash)



Avalanche injection



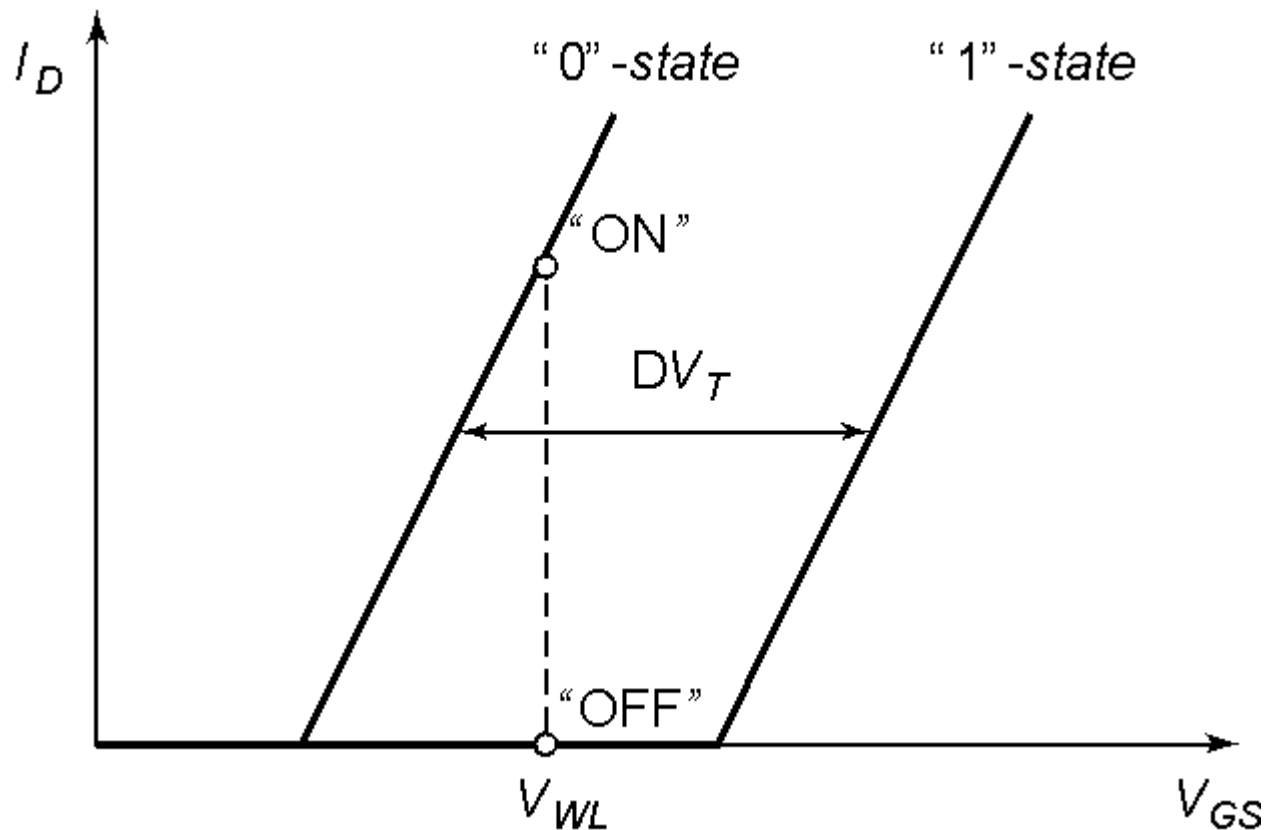
Removing programming voltage leaves charge trapped



Programming results in higher  $V_T$ .

- Με κατάλληλο υλικό και πάχος εκμεταλλευόμαστε το φαινόμενο σήραγγας για την φόρτιση της ενδιάμεσης πύλης.
- Η φορτισμένη ενδιάμεση πύλη αλλάζει τη χαρακτηριστική του τρανζίστορ.

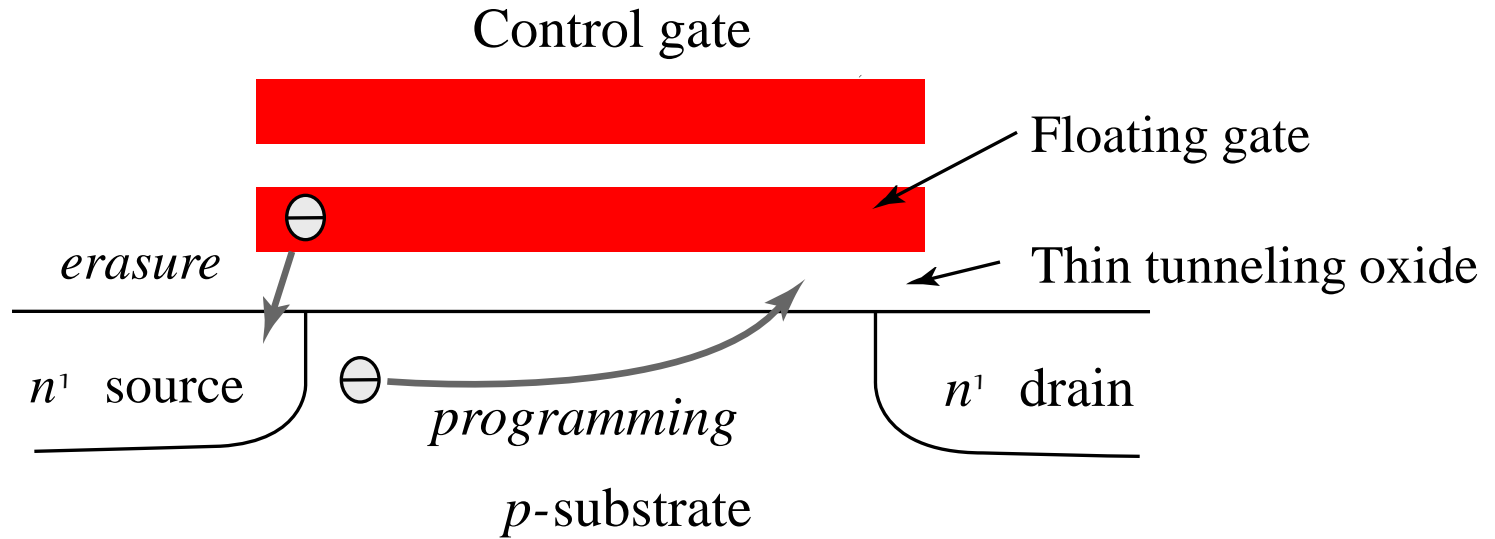
# A “Programmable-Threshold” Transistor (Μνήμες Flash)



- Η φορτισμένη ενδιάμεση πύλη αλλάζει τη χαρακτηριστική του τρανζίστορ.

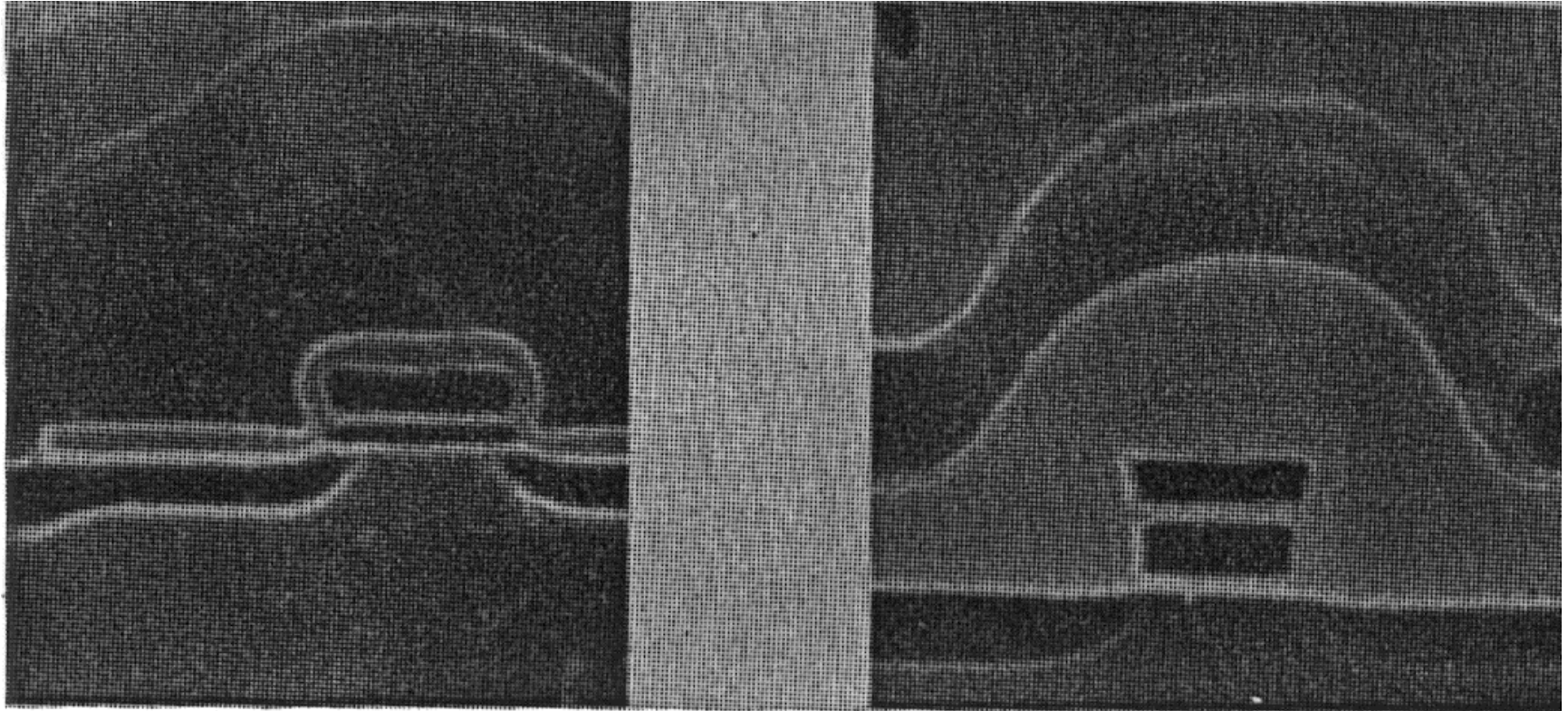


# Flash EEPROM



90nm Hi-k dielectric,  
Samsung 512Mbit SDRAM

## Cross-sections of NVM cells



**Flash**

**EPROM**

# Σημείωμα Αναφοράς

Copyright Εθνικών και Καποδιστριακών Πανεπιστημίων Αθηνών, Αραπογιάννη Αγγελική 2014. «Σχεδίαση Ολοκληρωμένων Κυκλωμάτων. Εισαγωγή.». Έκδοση: 1.0. Αθήνα 2014. Διαθέσιμο από τη δικτυακή διεύθυνση: <http://opencourses.uoa.gr/courses/DI31/>.



# Τέλος Ενότητας