

ΤΜΗΜΑΤΑ ΦΥΣΙΚΗΣ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ
ΜΕΤΑΠΤΥΧΙΑΚΟ ΔΙΠΛΩΜΑ ΕΙΔΙΚΕΥΣΗΣ
ΣΤΗΝ ΡΑΔΙΟΗΛΕΚΤΡΟΛΟΓΙΑ / ΗΛΕΚΤΡΟΝΙΚΗ(Ρ/Η)



Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών

«Σχεδίαση Ενισχυτή Χαμηλού Θορύβου 6GHz
Σε 65nm CMOS Τεχνολογία και Προσομοίωση
Στο ADS2009(Tutorial)»

Όνοματεπώνυμο: Μπάνος Ιωάννης

A.M: 2008129

Τίτλος Μαθήματος: Σχεδίαση Τηλεπικοινωνιακών VLSI Κυκλωμάτων

Επιβλέπων: Δρ. Ματακιάς Σωτήριος

Πίνακας Περιεχομένων

Πρόλογος.....	4
1. Σχεδίαση του ενισχυτή χαμηλού θορύβου (LNA).....	5
1.1. Υπολογισμός πλάτους W του τρανζίστορ.....	5
1.2. Επιλογή τοπολογίας και εύρεση σημείου πόλωσης.....	6
1.3. Σχεδίαση καθρέπτη ρεύματος.....	14
2. Προσομοιώσεις απόδοσης του ενισχυτή.....	18
2.1. Υπολογισμός παράγοντα σταθερότητας K	18
2.2. Υπολογισμός κέρδους του ενισχυτή.....	21
2.3. Υπολογισμός σημείου συμπίεσης 1dB.....	21
2.4. Υπολογισμός VSWR.....	22
2.5. Υπολογισμός αρμονικών.....	24
2.6. Υπολογισμός IIP3.....	30
ΠΑΡΑΡΤΗΜΑ Ι	32
Βιβλιογραφία.....	35

Πίνακας Εικόνων

Figure 1 Βασικό Κύκλωμα N-MOS.....	6
Figure 2 I-V Χαρακτηριστικές	7
Figure 3 VAR Parameters.....	7
Figure 4 DC Sweep Parameters	8
Figure 5 DC Parameter Sweep Settings.....	8
Figure 6 DC Parameters Simulations Settings	9
Figure 7 S Parameters Settings.....	9
Figure 8 S Parameters Noise Calculation Enable.....	10
Figure 9 DC Current Probe graph insertion	10
Figure 10 Noise Figure and S Parameters of basic NMOS.....	11
Figure 11 Βασικό Κύκλωμα N-MOS με τις θεωρητικές τιμές των L_g και L_s	12
Figure 12 S παράμετροι και noise figure του βασικού κυκλώματος	12
Figure 13 Βασικό Κύκλωμα N-MOS με τις τελικές τιμές των L_g και L_s	13
Figure 14 Τελικές S παράμετροι του βασικού κυκλώματος.....	13
Figure 15 Cascode LNA με καθρέπτη ρεύματος.....	14
Figure 16 S παράμετροι του LNA με καθρέπτη ρεύματος	15
Figure 17 Cascode LNA με σωστό σημείο πόλωσης.....	15
Figure 18 S παράμετροι με σωστό σημείο πόλωσης, αλλά μη προσαρμοσμένη είσοδο.....	16
Figure 19 Cascode LNA με τελικές τιμές των πηνίων L_g και L_s	17
Figure 20 S παράμετροι τελικού κυκλώματος	17
Figure 21 Harmonic Balance Simulation Circuit.....	19
Figure 22 Equation button in pallet.....	19
Figure 23 Plot and Traces Attributes	20
Figure 24 Παράγοντας σταθερότητας K και συντελεστής Δ	20
Figure 25 LNA output Gain	21
Figure 26 1dB Compression Point graph	22
Figure 27 1dB Compression Point Calculation	22
Figure 28 VSWR graph.....	23
Figure 29 Harmonic Balance Settings.....	24
Figure 30 VAR Settings	24
Figure 31 Harmonic Balance Final Settings	25
Figure 32 Sources-Freq Domain Selection.....	25
Figure 33 P_nTone Button.....	25
Figure 34 Port P_nTone Settings	26
Figure 35 Harmonic Balance 2 Tone Circuit	26
Figure 36 Harmonic Products Settings	27
Figure 37 Fundamental and 3 rd order products	27
Figure 38 Two(2) Tone Trace Output Equation	28
Figure 39 Spectral Type Graph Selection	29
Figure 40 Κύριες συχνότητες και τα προϊόντα 3 ^{ης} τάξης.....	29
Figure 41 Harmonic Balance PIN Power Sweep	30
Figure 42 IIP3 Equations Settings	31
Figure 43 IIP3 Graph.....	31

Πρόλογος

Η εργασία αυτή πραγματοποιήθηκε στα πλαίσια του μαθήματος «Σχεδίαση Τηλεπικοινωνιακών VLSI Κυκλωμάτων» του διατμηματικού μεταπτυχιακού προγράμματος σπουδών «Ηλεκτρονικής και Ραδιοηλεκτρολογίας».

Σκοπός της εργασίας είναι η εξοικείωση με τα βασικά βήματα που απαιτούνται για τη σχεδίαση ενός CMOS Ενισχυτή Χαμηλού Θορύβου (LNA) καθώς και τη προσομοίωσή του με την εφαρμογή ADS. Ως παράδειγμα παρουσιάζονται τα βήματα της σχεδίασης ενός LNA πολωμένο στη περιοχή των 6GHz.

1. Σχεδίαση του ενισχυτή χαμηλού θορύβου (LNA)

1.1. Υπολογισμός πλάτους W του τρανζίστορ

Το πρώτο βήμα που χρειάζεται να γίνει είναι η επιλογή της κατάλληλης τεχνολογίας που θα επιτρέψει την λειτουργία του LNA στις επιθυμητές προδιαγραφές. Στα πλαίσια αυτής της εργασίας επιλέχθηκε η τεχνολογία των 65nm της εταιρείας UMC. Κάθε τεχνολογία έχει συγκεκριμένες παραμέτρους που δίνονται από τον κατασκευαστή.

Οι βασικές παράμετροι με τις οποίες θα ξεκινήσει η σχεδίαση είναι οι παρακάτω:

- tox**, το πάχος του οξειδίου(oxide thickness) μεταξύ πύλης(Gate) και υποστρώματος(Substrate) σε nm,
- Cox**, η χωρητικότητα του οξειδίου ανά μονάδα επιφάνειας, σε F/m²,
- μn**, η κινητικότητα φορέων στο κανάλι όπου στη περίπτωση μας είναι τα ηλεκτρόνια γιατί θα χρησιμοποιηθούν N-MOS τρανζίστορ,
- er**, η διηλεκτρική σταθερά του πυριτίου Si, με τιμή: 3,9
- e0**, η διηλεκτρική σταθερά του κενου χώρου με τιμή: 8,85E-12 F/m

Για την τεχνολογία UMC065nm, που θα χρησιμοποιηθεί στη σχεδίαση, οι παραπάνω παράμετροι είναι:

$$tox = 2.6E-9 \text{ meters}$$

$$e0 = 8.85E-12 \text{ F/m}$$

$$er = 3.9 \text{ for Si}$$

$$\mu n = 2.43E-2 \text{ m}^2/\text{V}\cdot\text{s}$$

Έχοντας λοιπόν τις παραμέτρους μπορούμε να προχωρήσουμε στη επιλογή του πλάτους W του τρανζίστορ.

Επιλέγουμε αρχικά την κεντρική συχνότητα στην οποία επιθυμούμε να λειτουργεί το N-MOS τρανζίστορ. Στη συγκεκριμένη περίπτωση έχουμε επιλέξει, $f=6\text{GHz}$ και υπολογίζουμε τη κυκλική συχνότητα, $\omega = 2 \times \pi \times f = 2 \times 3.14 \times 6 \times 10^9 = 3.77 \times 10^{10} \text{ rad/sec}$
Κατόπιν επιλέγουμε το μήκος του καναλιού L. Εδώ, θα πρέπει να δοθεί προσοχή στην επιλογή του καναλιού διότι επηρεάζει άμεσα το πλάτος W και επομένως το ρεύμα πόλωσης του τρανζίστορ, το οποίο με τη σειρά του επηρεάζει το κέρδος (Gain) και το noise figure του τρανζίστορ.

Χρησιμοποιώντας την σχέση για power constrained σχεδίαση και για επιλογή μήκους $L=120\text{nm}$, έχουμε:

$$w = \frac{1}{3 \times \omega \times L \times Cox \times R} = \frac{1}{3 \times 3.77 \times 10^{10} \times 120 \times 10^{-9} \times 1.33 \times 10^{-2} \times 50} = 111\mu\text{m}$$

Το μήκος L επιλέχθηκε παίρνοντας διάφορες τιμές (65nm, 85nm, 120nm, 180nm) και με βάση την προηγούμενη σχέση υπολογίζεται το αντίστοιχο W . Κάθε φορά για το συγκεκριμένο L και W , γινόταν προσομοίωση με βάση το κύκλωμα της εικόνας του Figure 1 και εξάγοντας κάθε φορά τις χαρακτηριστικές όπως φαίνονται στην εικόνα Figure 2. Με βάση τις προσομοιώσεις συμπεραίνει κανείς πως για να έχουμε και χαμηλή κατανάλωση αλλά και ικανοποιητικό κέρδος θα χρειαστεί να επιλέξουμε μήκος $L=120\text{nm}$. Επίσης θα πρέπει να σημειωθεί πως η σχεδίαση του τρανζίστορ θα γίνει για αντίσταση εισόδου 50Ω .

Γνωρίζοντας, λοιπόν, το μήκος L και το πλάτος W του καναλιού το επόμενο βήμα είναι η προσομοίωση του τρανζίστορ με αυτές τις διαστάσεις και η επιλογή του κατάλληλου σημείου πόλωσης.

1.2. Επιλογή τοπολογίας και εύρεση σημείου πόλωσης

Επιλέγουμε τοπολογία κοινής πηγής με πηνία εκφύλισης της πηγής (common source topology with source degeneration). Αυτή η τοπολογία έχει χαμηλό θόρυβο και υψηλό κέρδος αλλά θα πρέπει να αναφερθεί πως είναι κυρίως για στενή ζώνη διέλευσης.

Για τον υπολογισμό των πηνίων L_s και L_g έχουμε:

$$L_g + L_s = \frac{2 \times R}{\omega} = \frac{2 \times 50}{3.77 \times 10^{10}} = 2.65\text{nH}$$

Οι τιμές των πηνίων δεν πρέπει να ξεπερνούν τα 10nH το καθένα διότι η δομή τους αρχίζει να γίνεται μεγάλη σε επιφάνεια, πράγμα μη επιθυμητό. Επομένως, οι επιλογές μας θα πρέπει να περιορίζονται από 0.1nH έως 10nH .

Επιλέγουμε, $L_s = 0.17\text{nH}$ και έχουμε: $L_g = 2.65 - 0.17 = 2.48\text{nH}$

Χρησιμοποιώντας την εφαρμογή ADS 2009 και τη βιβλιοθήκη 65nm της UMC, σχεδιάζουμε το παρακάτω κύκλωμα, Figure 1, και εξάγουμε τις χαρακτηριστικές I-V, όπως φαίνονται στο Figure 2.

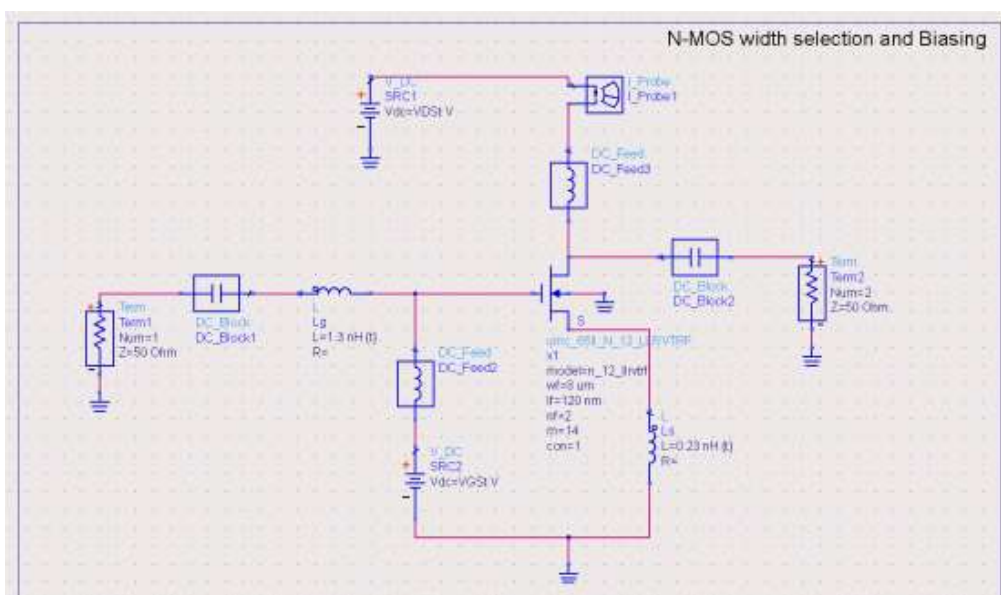


Figure 1 Βασικό Κύκλωμα N-MOS

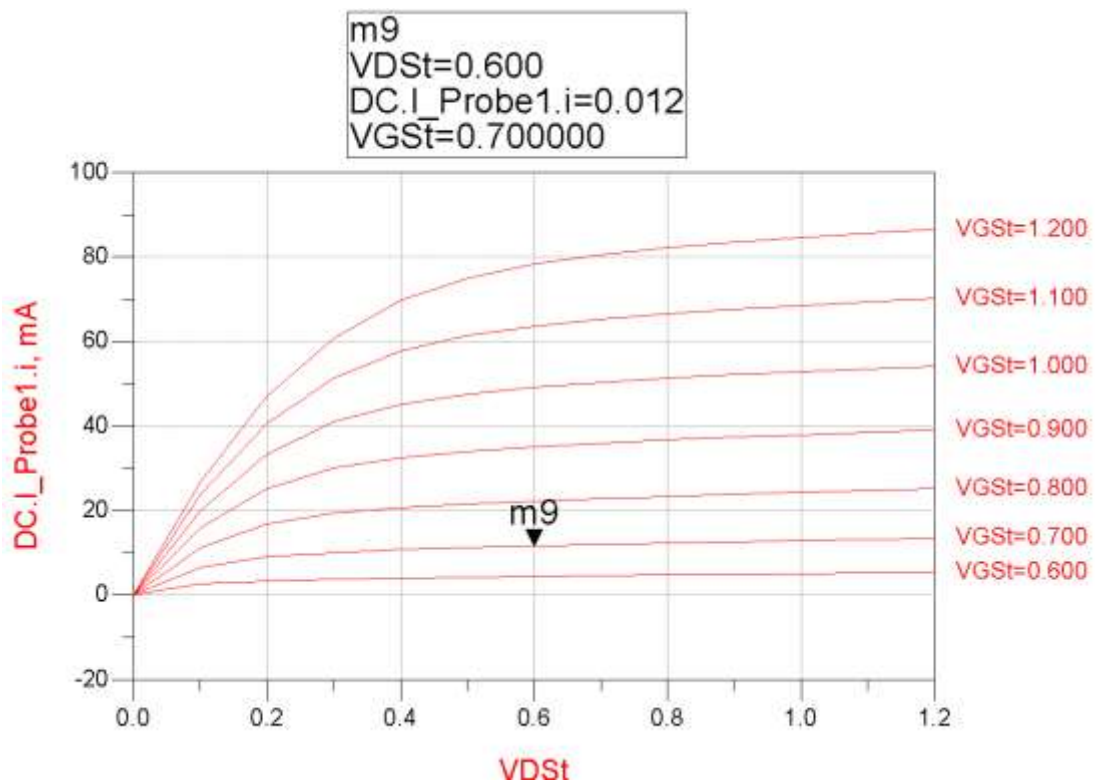



Figure 2 I-V Χαρακτηριστικές του κυκλώματος του Figure 1

Για την εξαγωγή των παραπάνω χαρακτηριστικών, του Figure 2, και γενικά των γραφημάτων, αλλά και των υπολοίπων που θα ακολουθήσουν στη παρούσα εργασία, χρειάζεται αρχικά να κάνουμε τα εξής. Από τη γραμμή των εργαλείων, επιλέγουμε το κουμπί “VAR”  και το τοποθετούμε στην επιφάνεια του σχηματικού. Κάνουμε επάνω του double click και στο παράθυρο που εμφανίζεται καταχωρούμε τις παραμέτρους όπως φαίνονται στην εικόνα Figure 3.

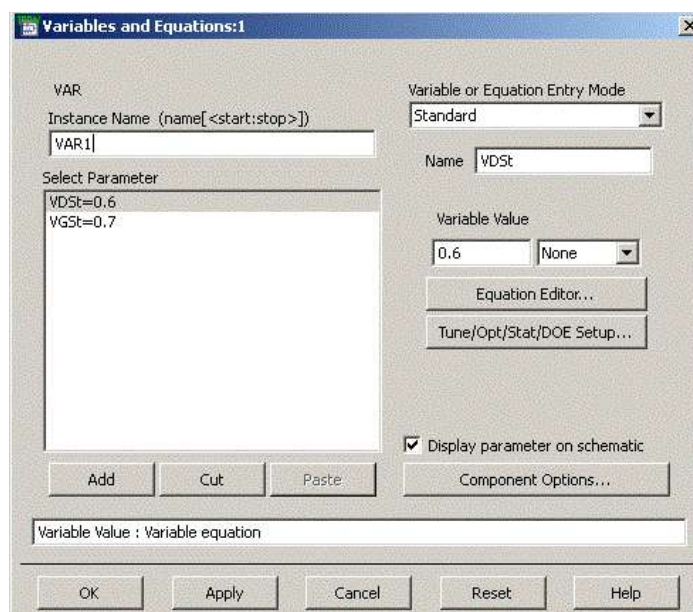



Figure 3 VAR Parameters

Στη συνέχεια στο drop down menu των εργαλείων του σχηματικού, επιλέγουμε το “Simulation-DC” , και από την παλέτα αυτή, το κουμπί “DC”  και το τοποθετούμε στο σχηματικό. Κάνουμε double click επάνω του και στη φόρμα που εμφανίζεται, καταχωρούμε στο tab “Sweep” τις παραμέτρους όπως φαίνονται στην εικόνα Figure 4

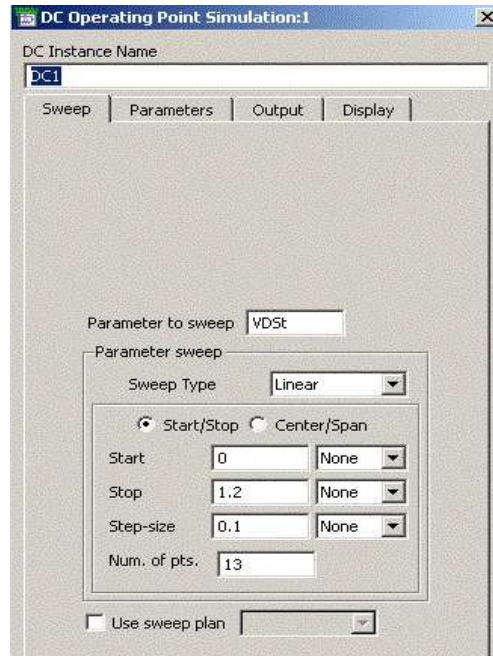



Figure 4 DC Sweep Parameters

Στη συνέχεια επιλέγουμε από τη παλέτα το κουμπί “ParamSweep”  και το τοποθετούμε στο σχηματικό. Κάνουμε επάνω του, double click και στο tab “Sweep” καταχωρούμε τις παραμέτρους και τις μεταβλητές όπως φαίνονται στην εικόνα Figure 5.

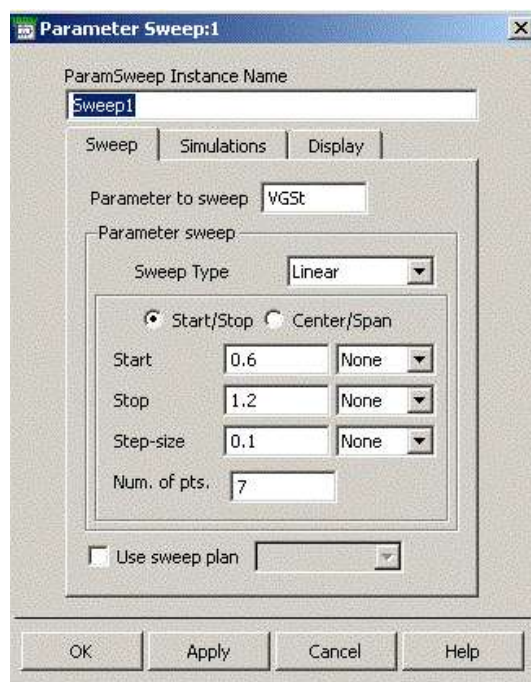


Figure 5 DC Parameter Sweep Settings

Στο tab “Simulations” βάζουμε ως παράμετρο στο “Simulation 1” το “DC1” όπως φαίνεται στην εικόνα Figure 6

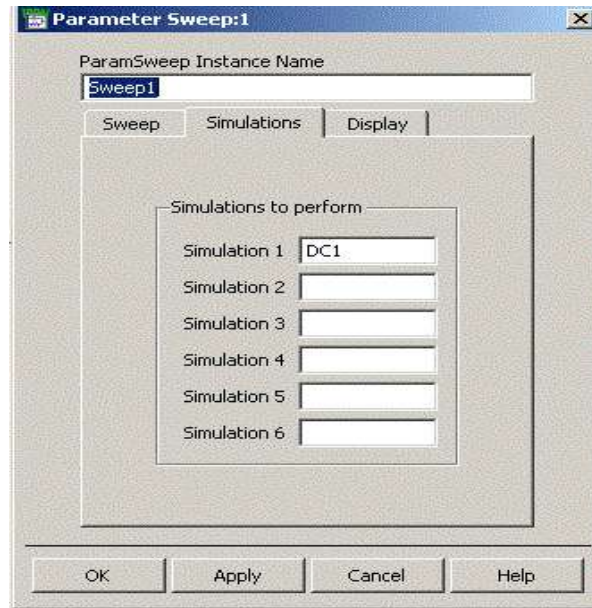



Figure 6 DC Parameters Simulations Settings

Επίσης από το drop down menu των εργαλείων, επιλέγουμε τη παλέτα “Simulations-S_Param”, και από την παλέτα το κουμπί “S_Param”  και το τοποθετούμε στο σχηματικό. Με double click κάνουμε edit και στο tab “Frequency”, καταχωρούμε τις παραμέτρους όπως φαίνονται στην εικόνα Figure 7

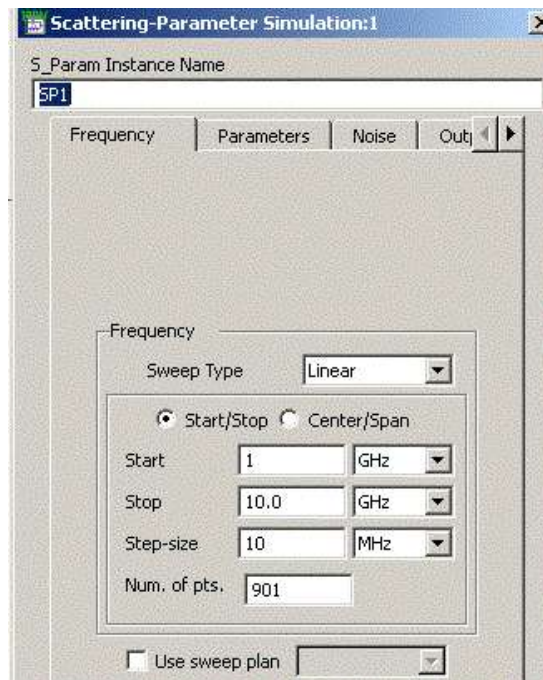


Figure 7 S Parameters Settings

Στο tab “Noise” επιλέγουμε το “Calculate noise” και πατάμε «Ok» όπως φαίνεται στην εικόνα Figure 8.

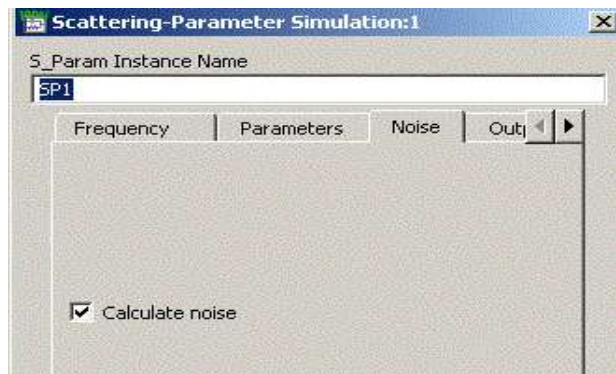



Figure 8 S Parameters Noise Calculation Enable

Μετά από τις παραπάνω ρυθμίσεις είμαστε έτοιμοι για τις προσομοιώσεις και στο πεδίο του χρόνου και στο πεδίο των συχνοτήτων.

Στη παλέτα των γραφημάτων, επιλέγουμε “Rectangular Plot”  και το τοποθετούμε στην τρέχουσα επιφάνεια εργασίας στο τρέχον παράθυρο. Αυτομάτως ανοίγει το παράθυρο “Plot Traces & Attributes”. Εκεί, επιλέγουμε, όπως και φαίνεται στην εικόνα Figure 9, το “DC.I.Probe1.i” και πατάμε το κουμπί “>>Add>>” και στη συνέχεια “Ok”.

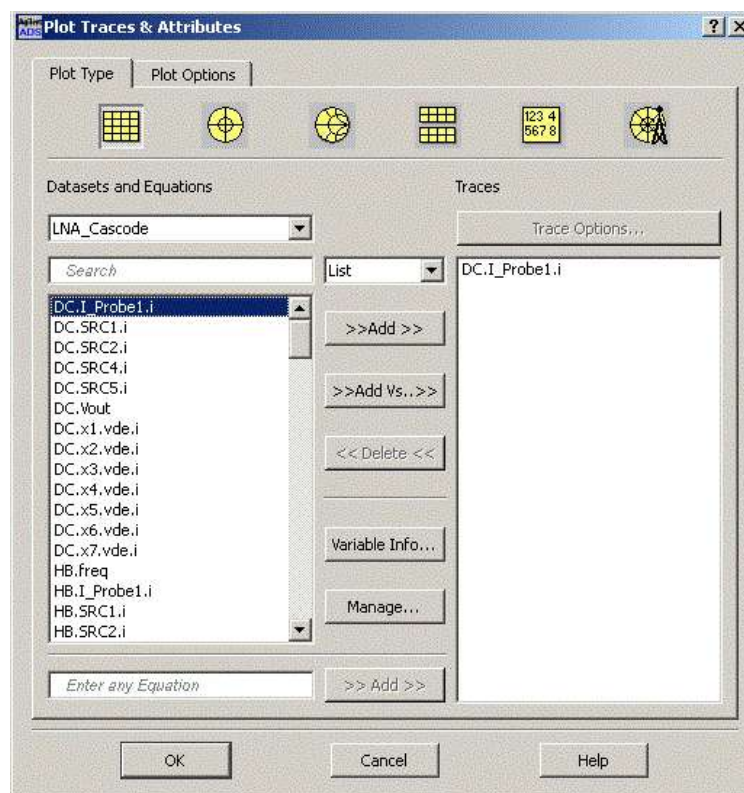



Figure 9 DC Current Probe graph insertion

Πριν επιλεγεί το σημείο πόλωσης, θα πρέπει πρώτα να επιλεγεί η τοπολογία του τελικού LNA γιατί αυτό θα επηρεάσει τη συνολική τάση της διάταξης και επομένως των τρανζίστορ.

Στη συγκεκριμένη εργασία επιλέγεται ένας cascode ενισχυτής LNA με καθρέπτη ρεύματος. Τα τρανζίστορ που βρίσκονται σειρά είναι πανομοιότυπα με τα ίδια χαρακτηριστικά, (ίδια W, L).

Εφόσον έχουμε δύο τρανζίστορ σε σειρά και γνωρίζοντας ότι η μέγιστη τάση στη τεχνολογία 65nm είναι $V_{DD} = +1.2\text{Volt}$, από τις προηγούμενες χαρακτηριστικές, του Figure 2, επιλέγουμε το σημείο για το οποίο $V_{DS}=+0.6\text{Volt}$ και $I_D=12\text{mA}$ για $V_{GS}=0.7\text{Volt}$. Η επιλογή αυτή επιτρέπει το τρανζίστορ να λειτουργεί στον κόρο ($V_{DS} \geq V_{GS} - V_{th}$) και δίνει τη δυνατότητα να έχουμε χαμηλότερη κατανάλωση και παράλληλα χαμηλό noise figure. Επομένως για το κάθε τρανζίστορ εφόσον είναι σε σειρά θα έχουμε $V_{DS} = \frac{V_{DD}}{2}$.

Έχοντας πολώσει το τρανζίστορ στην επιθυμητή περιοχή εξάγουμε τα γραφήματα θορύβου και προσαρμογής για τις υπολογισμένες, θεωρητικά, τιμές των πηνίων L_g και L_s , σύμφωνα με το κύκλωμα στην εικόνα Figure 11 ως εξής:

Στην παλέτα των γραφημάτων, επιλέγουμε "Rectangular Plot"  και το τοποθετούμε στην επιφάνεια. Στο παράθυρο που ανοίγει, επιλέγουμε για απεικόνιση τα εξής: (α) $nf(2)$, (β) $S(2,1)$ και (γ) $S(1,1)$ και πατάμε το κουμπί ">>Add>>", όπως φαίνεται στο Figure 10. Εάν εμφανιστεί κάποιο παράθυρο το οποίο ζητά την μονάδα μέτρησης που θα εμφανίζεται στα αποτελέσματα, επιλέγουμε "dB" και τέλος επιλέγουμε "Ok".

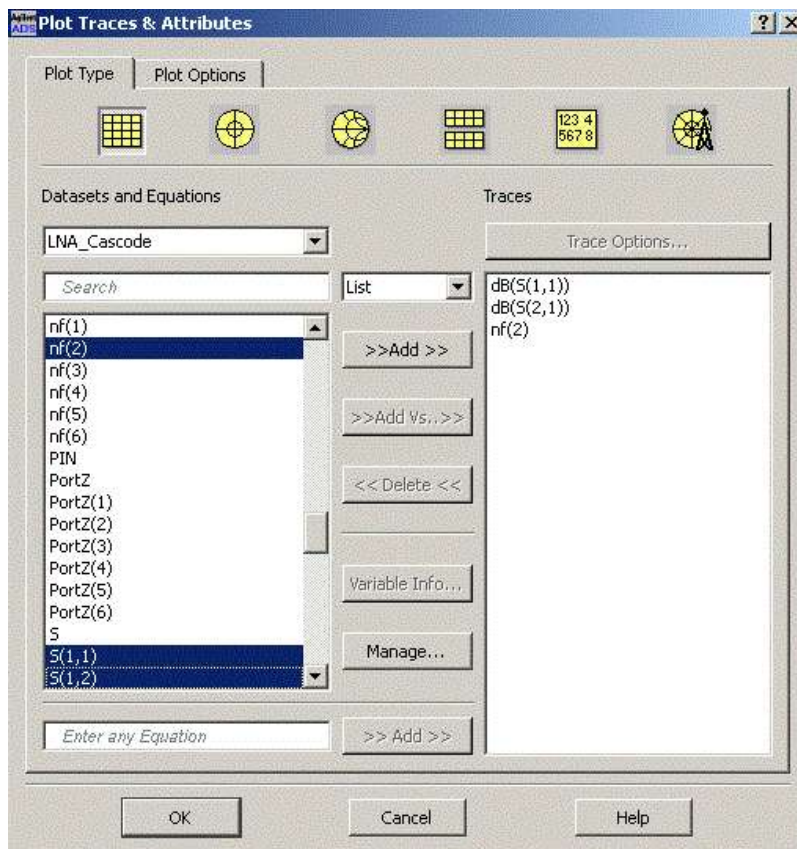


Figure 10 Noise Figure and S Parameters of basic NMOS

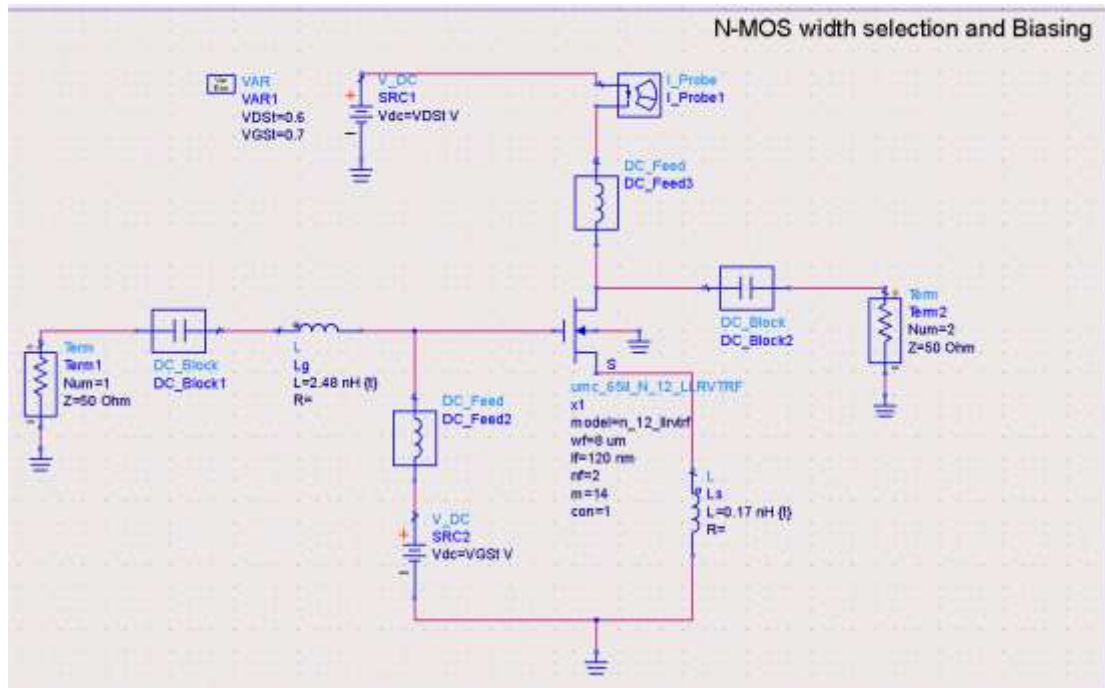


Figure 11 Βασικό Κύκλωμα N-MOS με τις θεωρητικές τιμές των L_g και L_s

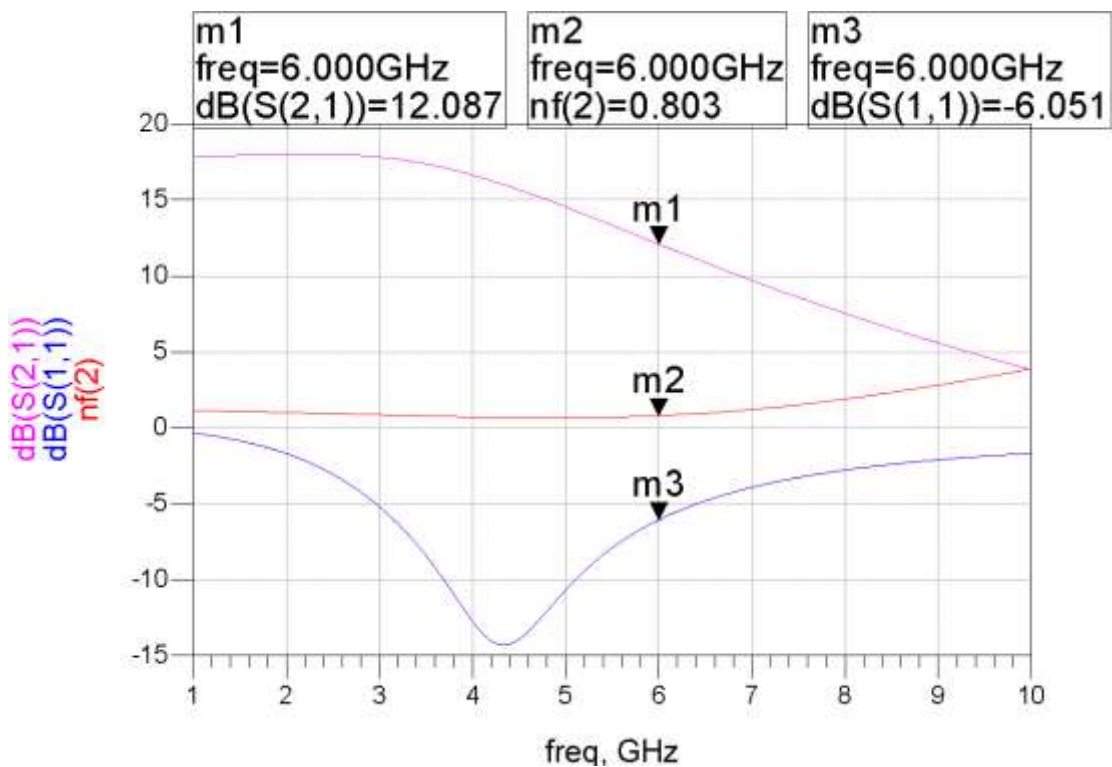


Figure 12 S παράμετροι και noise figure του βασικού κυκλώματος

Όπως φαίνεται από το προηγούμενο γράφημα, στο Figure 12, οι συγκεκριμένες τιμές των πηνίων δεν έχουν προσαρμόσει το συντελεστή ανάκλασης $S(1,1)$ στην είσοδο στα 6GHz. Αλλάζοντας τις τιμές των πηνίων στο ADS καταφέρνουμε και προσαρμόζουμε την είσοδο όπως φαίνεται στο παρακάτω κύκλωμα του Figure 13 και στο αντίστοιχο γράφημα στην εικόνα του Figure 14.

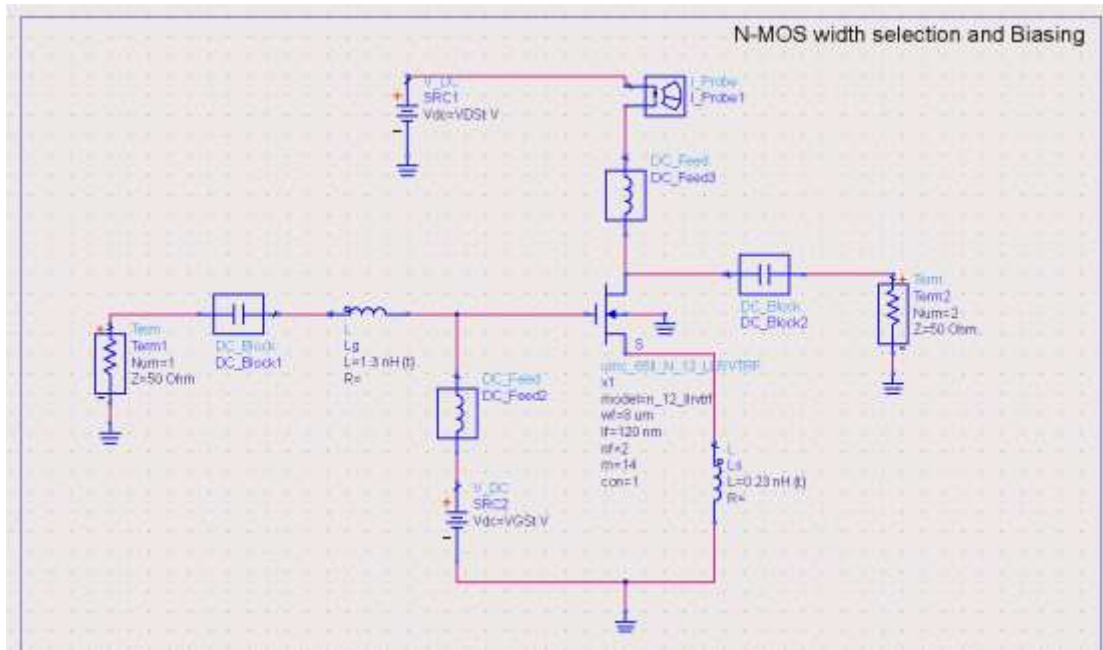


Figure 13 Βασικό Κύκλωμα N-MOS με τις τελικές τιμές των L_g και L_s

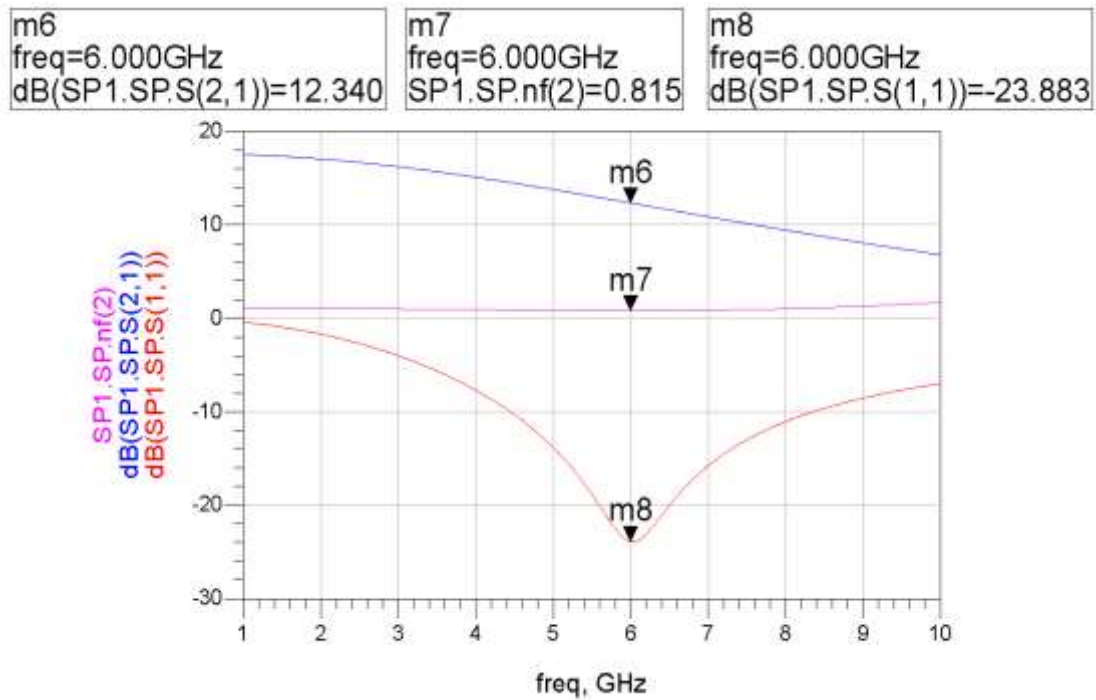


Figure 14 Τελικές S παράμετροι του βασικού κυκλώματος

1.3. Σχεδίαση του καθρέπτη ρεύματος

Επόμενο βήμα είναι η σχεδίαση του καθρέπτη ρεύματος η οποία γίνεται ως εξής: Γνωρίζοντας το ρεύμα $I_D=12\text{mA}$ και τις διαστάσεις του τρανζίστορ εισόδου $L=120\text{nm}$ και $W=111\mu\text{m}$, τότε σύμφωνα με τον τύπο: $I_{ref} = \frac{W_{ref}}{L} ID$, μπορεί να υπολογιστεί το ρεύμα I_{ref} , που θα πολώνει τον καθρέπτη ρεύματος.

Θεωρούμε για λόγους ευκολίας και απλοποίησης των πράξεων $L_{ref}=L$ και επιλέγουμε το ρεύμα του καθρέπτη να είναι $I_{ref} = \frac{ID}{10}$, επομένως με αντικατάσταση στον τύπο:

$$I_{ref} = \frac{W_{ref}}{L} ID, \text{ έχουμε } W_{ref} = \frac{W}{10}.$$

Έτσι, μπορούμε να σχεδιάσουμε τον καθρέπτη ρεύματος με τα εξής χαρακτηριστικά,

$$W_{ref} = \frac{W}{10} = \frac{111}{10} = 11.1\mu\text{m}, \quad L_{ref} = 120\text{nm},$$

$$I_{ref} = \frac{ID}{10} = \frac{12}{10} = 1.2\text{mA}$$

Για τον υπολογισμό της αντίστασης του καθρέπτη R_2 έχουμε:

$$R_2 = \frac{V_{DD} - V_{GS}}{I_{ref}} = \frac{1.2 - 0.7}{1.12} = 0.447\text{K}\Omega$$

Για την R_1 επιλέγεται μεγάλη τιμή ($2\text{K}\Omega - 4\text{K}\Omega$) για να απομονώνει τον καθρέπτη ρεύματος από την είσοδο RF. Το κύκλωμα φαίνεται στο Figure 15. Με προσομοίωση εξάγεται το αντίστοιχο γράφημα στην εικόνα Figure 16.

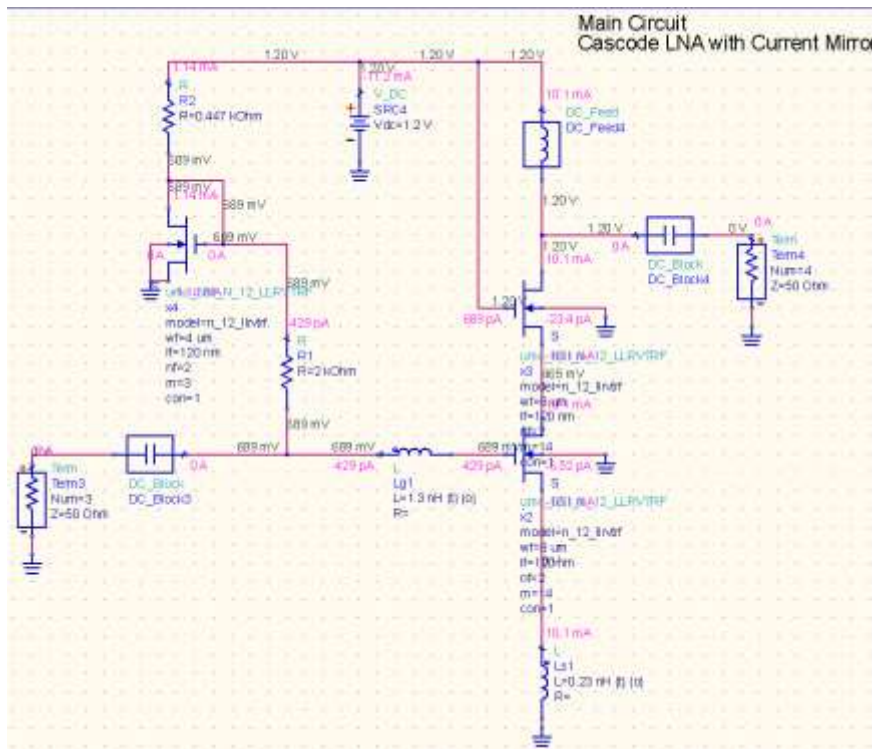


Figure 15 Cascode LNA με καθρέπτη ρεύματος

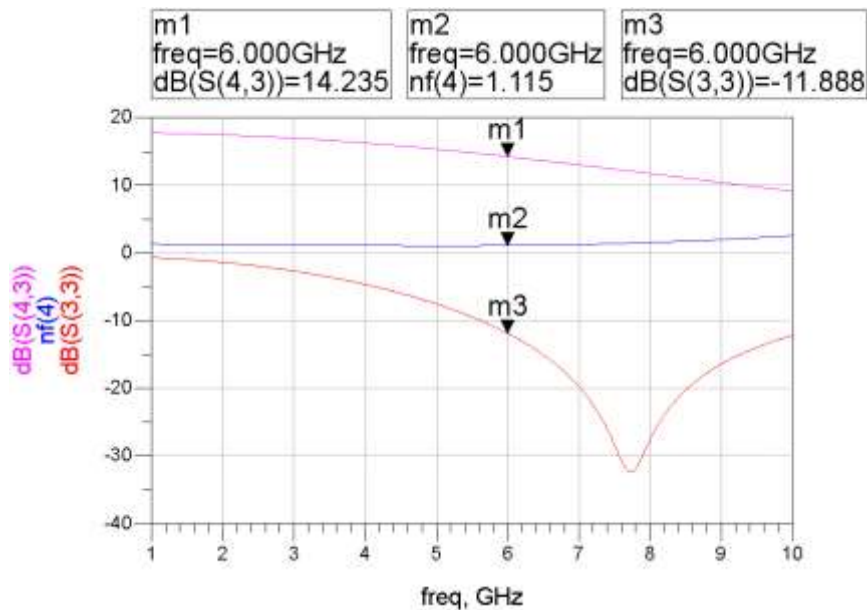


Figure 16 S παράμετροι του LNA με καθρέπτη ρεύματος

Από το προηγούμενο κύκλωμα, Figure 15, και το γράφημα ,Figure 16, παρατηρούμε τα εξής:

-Δεν είναι σωστό το σημείο πόλωσης, αυτό φαίνεται από το ρεύμα που διαρρέει τα τρανζίστορ εν σειρά, το οποίο είναι 10.1mA αντί των 12mA που αναμενόταν.

-Δεν είναι σωστά προσαρμοσμένη η είσοδος.

Παρατηρούμε από το γράφημα , πως ο συντελεστής ανάκλασης S(3,3) της εισόδου, συντονίζει στα 7.65GHz αντί των 6GHz που περιμέναμε. Εμπειρικά, πάντα στους ενισχυτές θέλουμε ο συντελεστής ανάκλασης να είναι κάτω από -15dB στη συχνότητα ή στο εύρος συχνοτήτων που μας ενδιαφέρει. Θα πρέπει να αναφερθεί, πως η ενίσχυση S(4,3) και το noise figure nf(4) στην έξοδο του ενισχυτή θα παρουσιάσουν σημαντική βελτίωση με τη σωστή προσαρμογή.

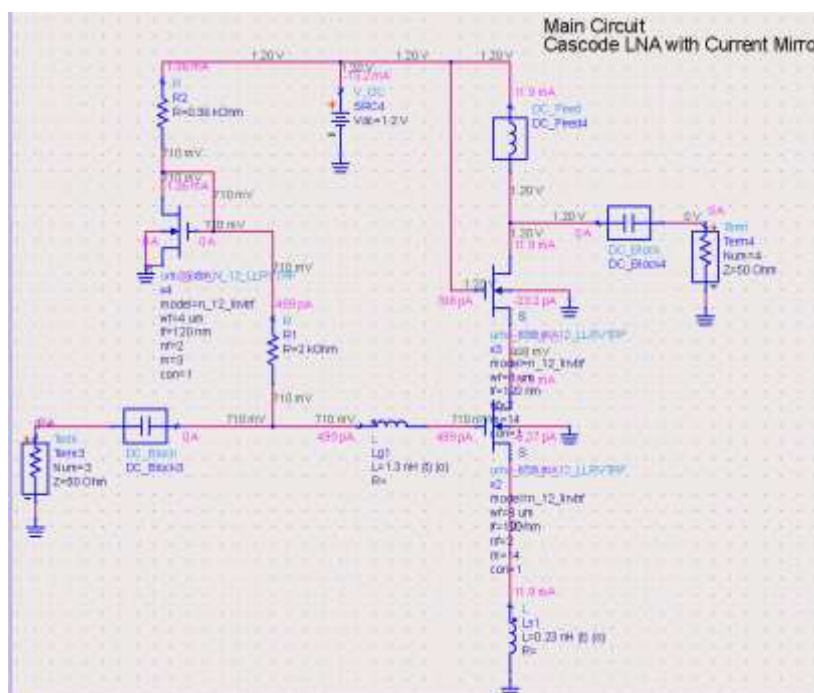


Figure 17 Cascode LNA με σωστό σημείο πόλωσης

Ξεκινάμε πρώτα διορθώνοντας το σημείο πόλωσης. Αυτό επιτυγχάνεται αλλάζοντας τη τιμή της αντίστασης R2 η οποία ελέγχει το ρεύμα βάσης του τρανζίστορ εισόδου. Επομένως για μια συγκεκριμένη τιμή της R2, το ρεύμα ID θα γίνει ίσο με 12mA που είναι και το επιθυμητό. Επομένως το σχηματικό γίνεται όπως φαίνεται στο Figure 17:

Στο κύκλωμα του Figure 17 παρατηρούμε πως για τιμή της R2 =0.360KΩ τα τρανζίστορ είναι στη σωστή περιοχή λειτουργίας με ID=12mA και VDS≈+0.6mV. Όμως παρατηρούμε στο επόμενο γράφημα, Figure 18, πως η είσοδος είναι ακόμα μη προσαρμοσμένη.

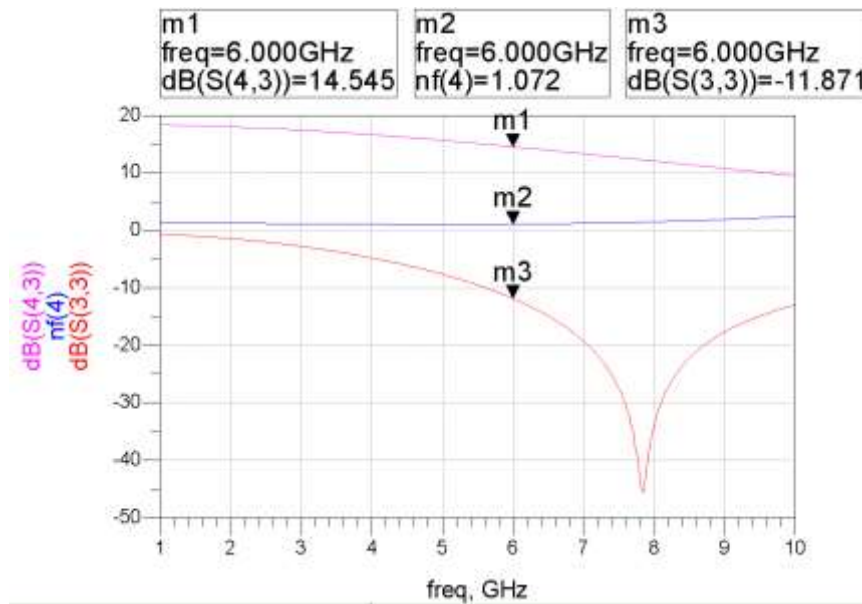


Figure 18 S παράμετροι με σωστό σημείο πόλωσης, αλλά μη προσαρμοσμένη είσοδο

Επομένως το επόμενο και τελευταίο βήμα είναι να διορθώσουμε τις τιμές των πηνίων Lg και Ls για να καταφέρουμε να προσαρμόσουμε την είσοδο. Οπότε το τελικό σχηματικό γίνεται όπως παρακάτω στο Figure 19:

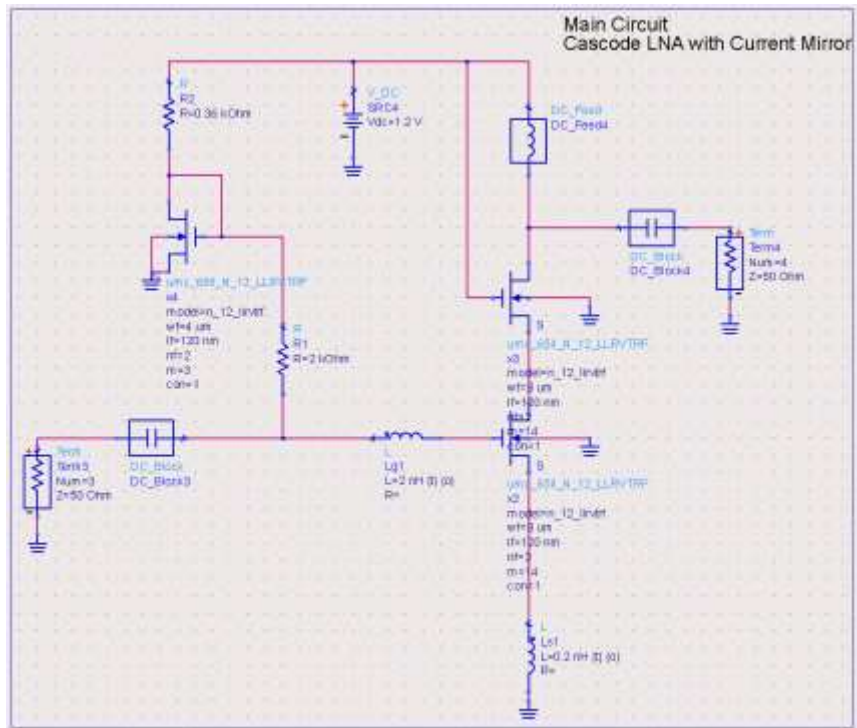


Figure 19 Cascode LNA με τελικές τιμές των πηνίων L_g και L_s

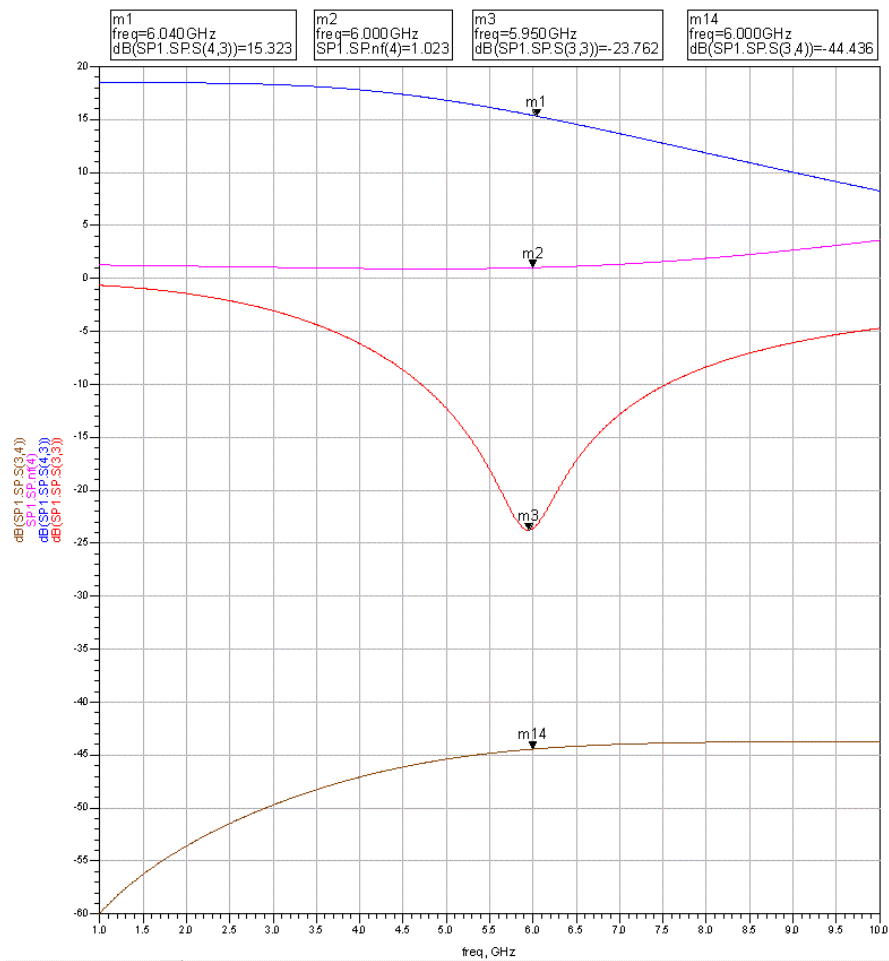


Figure 20 S παράμετροι τελικού κυκλώματος

Στο γράφημα του Figure 20 απεικονίζονται το Noise Figure $nf(4)$, η προσαρμοσμένη είσοδος $S(3,3)$, το κέρδος $S(4,3)$ και η απομόνωση της εξόδου με την είσοδο $S(3,4)$ στη συχνότητα των 6GHz του κυκλώματος στην εικόνα Figure 19.

2. Προσομοιώσεις απόδοσης του ενισχυτή

Στη προηγούμενη παράγραφο, ο ενισχυτής πολώθηκε στην επιθυμητή περιοχή λειτουργίας και έγινε προσαρμογή της εισόδου του.

Παρακάτω παρουσιάζονται προσομοιώσεις που δείχνουν τα εξής:

- (α) τη σταθερότητα (Stability) του ενισχυτή (η έξοδος του δε ταλαντώνει),
- (β) το σημείο συμπίεσης 1dB (1 dB compression point),
- (γ) το κέρδος(gain) του ενισχυτή,
- (δ) το λόγο στάσιμων κυμάτων (VSWR) του ενισχυτή και
- (ε) το IIP3.

2.1. Υπολογισμός παράγοντα σταθερότητας K

Αρχικά, για να υπολογιστεί η σταθερότητα του ενισχυτή, υπάρχει μια παράμετρος K που ονομάζεται «παράγοντας σταθερότητας» (K factor). Η τιμή της σταθεράς αυτής θα πρέπει να είναι μεγαλύτερη της μονάδας $K>1$ για να είναι ο ενισχυτής σταθερός χωρίς περιορισμούς (unconditional stable) στη συχνότητα λειτουργίας ή στο εύρος συχνοτήτων που επιθυμούμε να λειτουργεί. Ο συντελεστής ορίζεται από τον παρακάτω τύπο:

$$K = \frac{1-|S_{11}|^2-|S_{22}|^2+|\Delta|^2}{2 \times |S_{21} \times S_{12}|}, \quad \Delta = S_{11} \times S_{22} - S_{12} \times S_{21}, \quad \text{και} \quad \Delta < 1$$

Παρατηρούμε πως ο συντελεστής εξαρτάται από τις S παραμέτρους, δηλαδή από την ανάκλαση της εισόδου και εξόδου, S_{11} και S_{22} αντίστοιχα καθώς και από το S_{21} και S_{12} που είναι, για έναν ενισχυτή, η ενίσχυση και η απομόνωση αντίστοιχα.

Στο ADS αρχικά προσομοιώνουμε το κύκλωμα που φαίνεται στο Figure 21

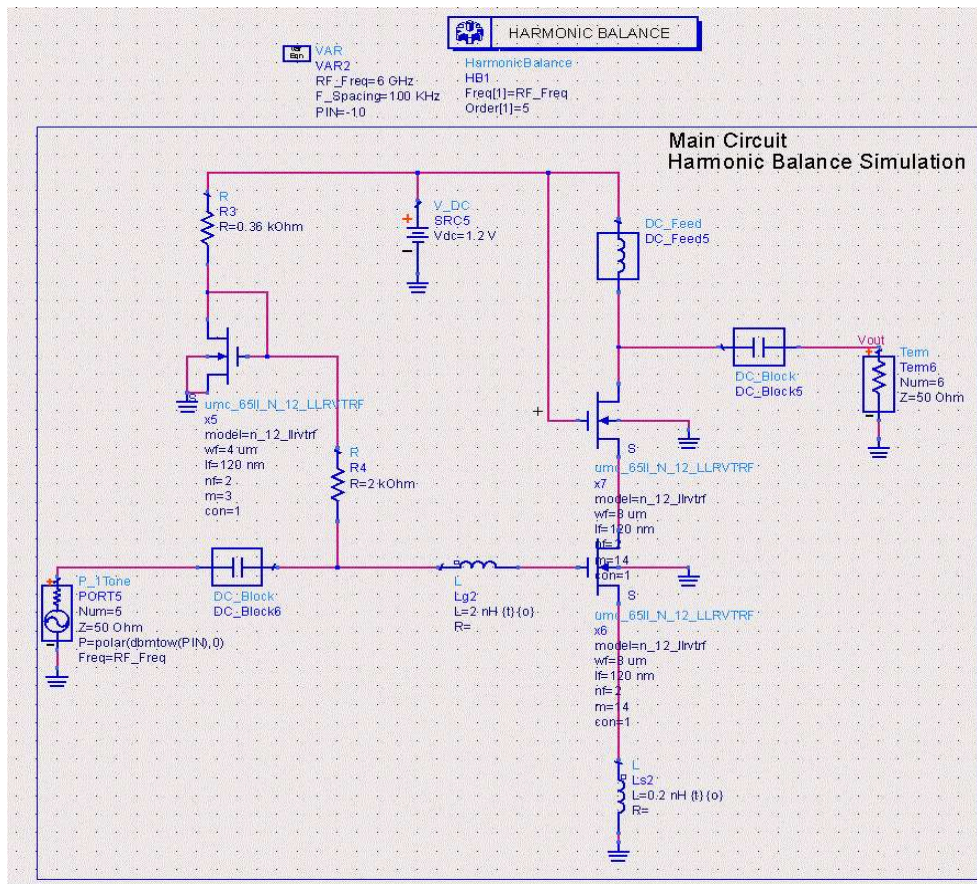


Figure 21 Harmonic Balance Simulation Circuit

Στη συνέχεια επιλέγουμε από τη παλέτα των γραφημάτων το κουμπί “Eqn” για την εισαγωγή εξίσωσης όπως φαίνεται παρακάτω:

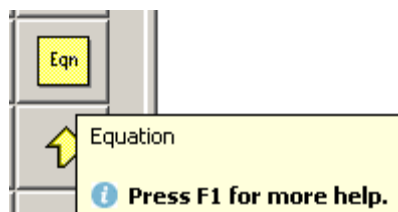


Figure 22 Equation button in pallet

Εισάγουμε τις αντίστοιχες παραμέτρους S για το κύκλωμα στο Figure 19. Οπότε η εξίσωση εισάγεται ως εξής:

$$Kara = (1 - (mag(S(3,3)) ** 2) - (mag(S(4,4)) ** 2)) + Delta * Delta / (2 * mag(S(3,4)) * S(4,3))$$

$$Delta = mag(S(3,3)) * S(4,4) - S(3,4) * S(4,3)$$

Για να απεικονίσουμε γραφικά τις προηγούμενες παραμέτρους ως συνάρτηση της συχνότητας, από τη παλέτα των γραφημάτων επιλέγουμε το κουμπί “Rectangular Plot” για την εισαγωγή γραφήματος. Κάνουμε «double click» πάνω το κενό γράφημα και επιλέγουμε από το drop down menu των “Datasets and Equations” το “Equations”. Από εκεί επιλέγουμε την εξίσωση “Kara” και κρατώντας πατημένο το Ctrl επιλέγουμε και την εξίσωση “Delta”. Εφόσον είναι επιλεγμένα, όπως φαίνεται στη παρακάτω εικόνα, Figure 23, πατάμε το κουμπί “>>Add>>”.

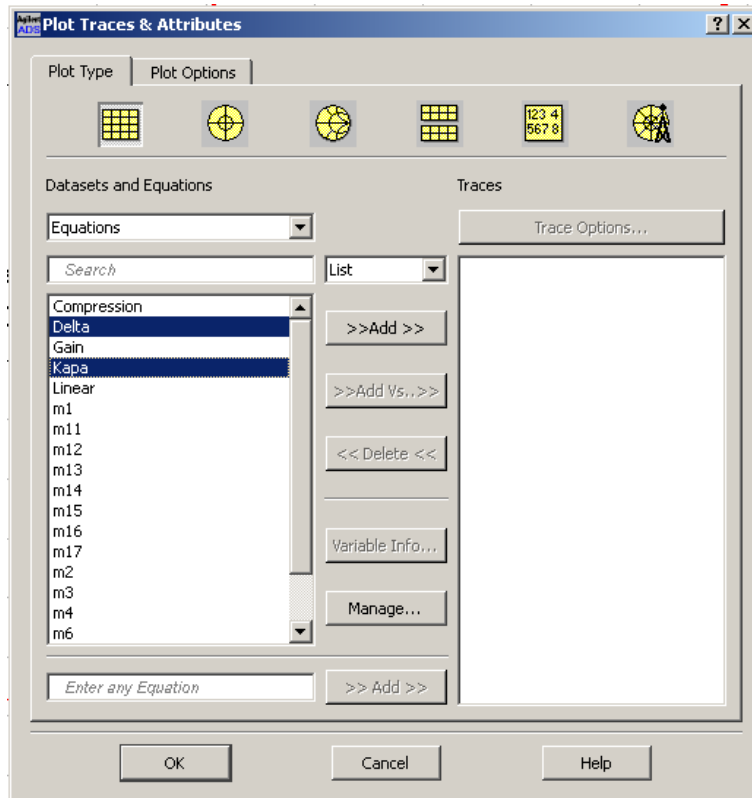


Figure 23 Plot and Traces Attributes

Το αποτέλεσμα απεικονίζεται παρακάτω, στο Figure 24:

$$\text{Eqn } \text{Kapa} = (1 - (\text{mag}(S(3,3))^2) - (\text{mag}(S(4,4))^2) + \text{Delta} * \text{Delta}) / (2 * \text{mag}(S(3,4)) * S(4,3))$$

$$\text{Eqn } \text{Delta} = \text{mag}(S(3,3)) * S(4,4) - S(3,4) * S(4,3)$$

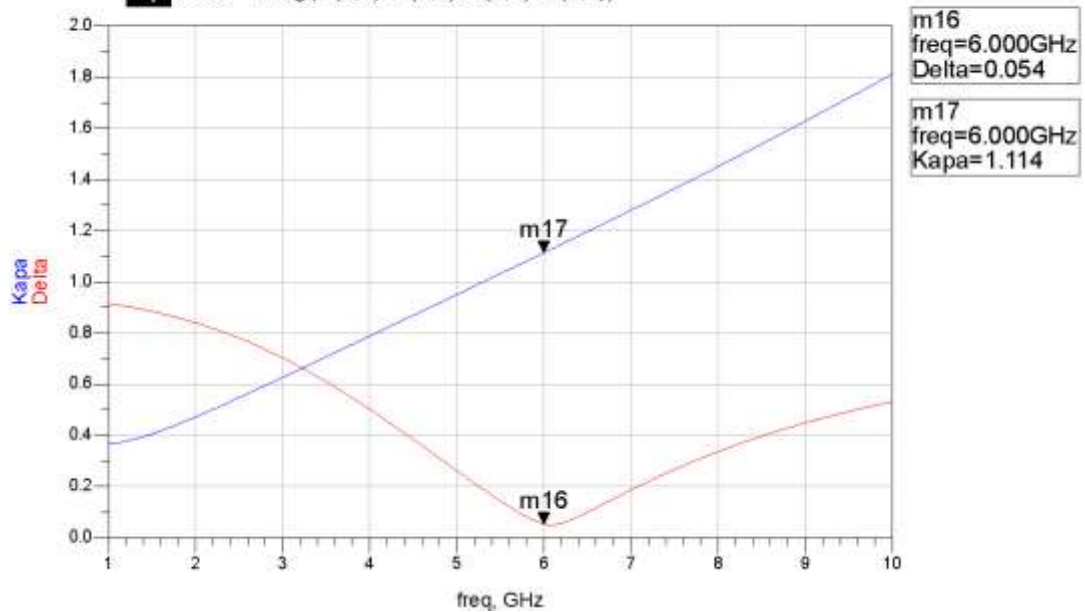


Figure 24 Παράγοντας σταθερότητας K και συντελεστής Δ

2.2. Υπολογισμός κέρδους του ενισχυτή

Για τον υπολογισμό του κέρδους του ενισχυτή, θα πρέπει να εισάγουμε μια νέα εξίσωση με τον ίδιο τρόπο όπως κάναμε στη προηγούμενη παράγραφο, με τις παρακάτω παραμέτρους για το κύκλωμα της εικόνας Figure 21:

$$Gain = dBm(HB1.HB.Vout[1]) - HB1.HB.PIN$$

Και ακολουθώντας τη προηγούμενη διαδικασία, για την εισαγωγή εξίσωσης στο γράφημα, έχουμε το παρακάτω γράφημα στο Figure 25:

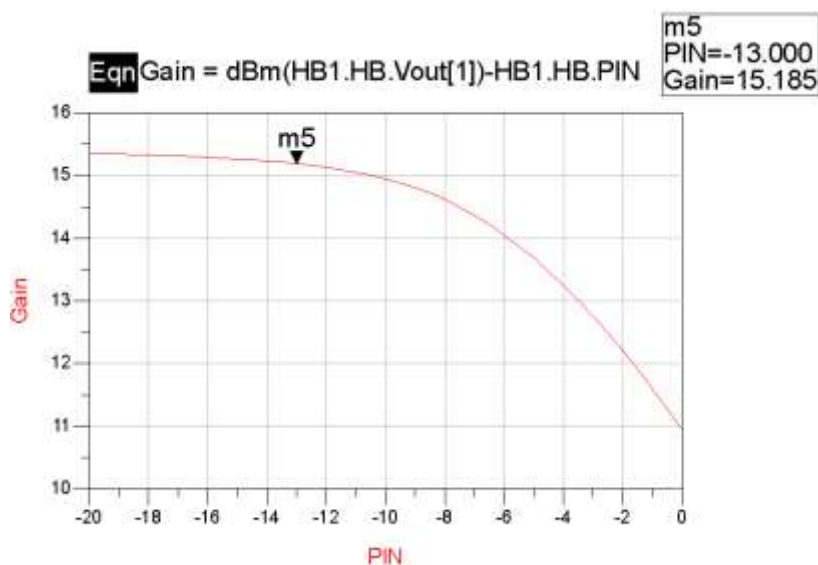


Figure 25 LNA output Gain

2.3. Υπολογισμός σημείου συμπίεσης 1dB

Θεωρητικά, το σημείο συμπίεσης 1dB είναι η τιμή της εισόδου για την οποία το κέρδος της εξόδου, ελαττώνεται κατά 1dB εάν αυτή συνέχιζε να αυξανόταν γραμμικά. Αρχικά, για να απεικονίσουμε και να υπολογίσουμε το σημείο συμπίεσης 1dB, εισάγουμε μια νέα εξίσωση "Linear" και την απεικονίζουμε όπως φαίνεται στο Figure 26.

$$Linear = Gain[0] + HB1.HB.PIN$$

Επίσης στο ίδιο γράφημα απεικονίζουμε και την έξοδο σε dBm και έχουμε το παρακάτω γράφημα:

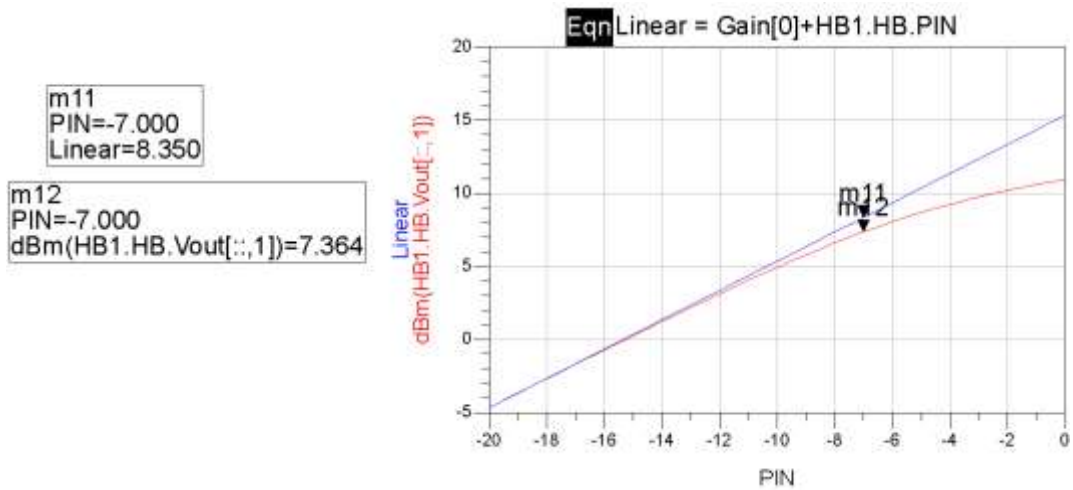


Figure 26 1dB Compression Point graph

Για το υπολογισμό του 1dB σημείου, εισάγουμε την εξίσωση διαφοράς των δυο markers του προηγούμενου γραφήματος, Figure 26, και έχουμε:

$$\text{Compression} = m11 - m12$$

Eqn Compression = m11-m12

PIN	Compression
-7.000	0.986

Figure 27 1dB Compression Point Calculation

2.4. Υπολογισμός VSWR

Για τον υπολογισμό του λόγου των στάσιμων κυμάτων (VSWR) εισάγουμε την εξίσωση $vswr(SP1.SP.S(3,3))$ για το κλικλωμα στην εικόνα Figure 21, και την απεικονίζουμε. Όσο το VSWR < 2 η είσοδος είναι σωστά προσαρμοσμένη και όσο πλησιάζει τη μονάδα τείνει να υπάρχει 100% προσαρμογή της εισόδου με τη πηγή.

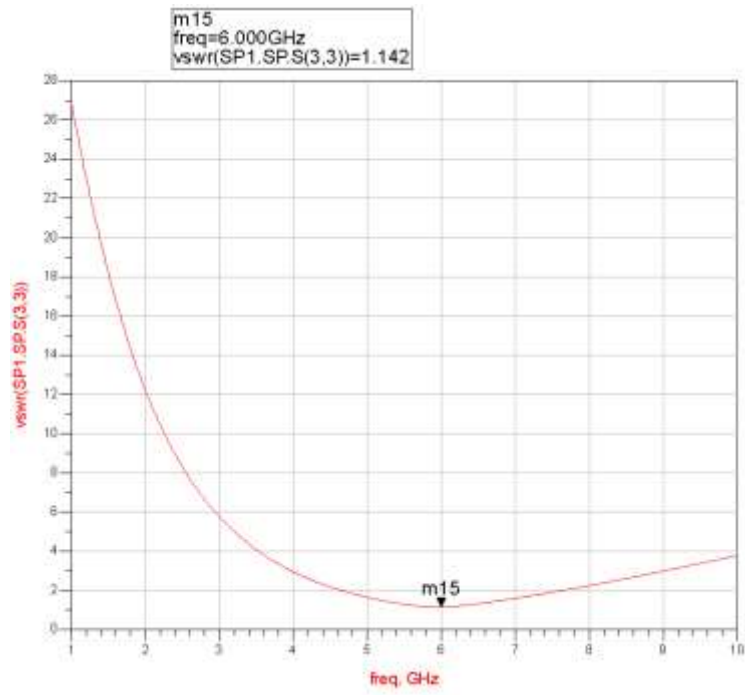


Figure 28 VSWR graph

2.5. Υπολογισμός αρμονικών

Στο προηγούμενο κύκλωμα της εικόνας στο Figure 21, κάνουμε τις εξής αλλαγές για να υπολογίσουμε τις αρμονικές. Αρχικά double click επάνω στο «Harmonic Balance» και εισάγουμε τις παραμέτρους στο tab “Freq”, όπως φαίνεται στη παρακάτω εικόνα, Figure 29 και πατάμε “Ok”

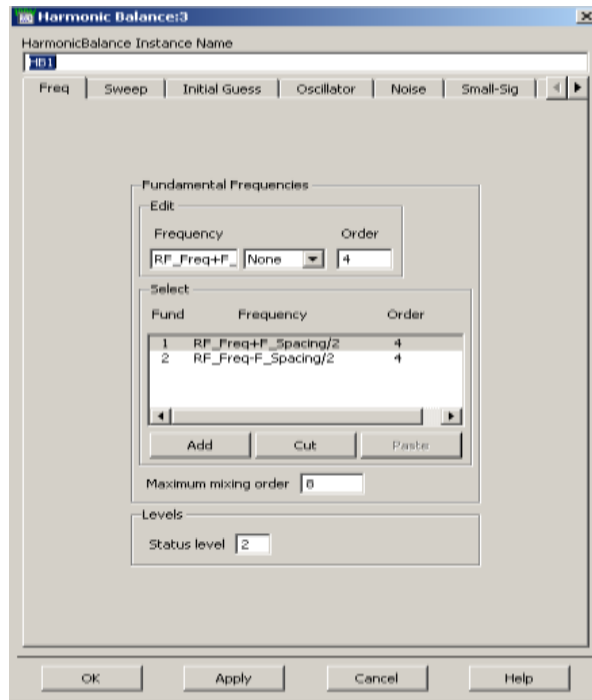


Figure 29 Harmonic Balance Settings

Μετά, κάνουμε double click στο «VAR» και αλλάζουμε τις παραμέτρους όπως στη παρακάτω εικόνα, Figure 30.

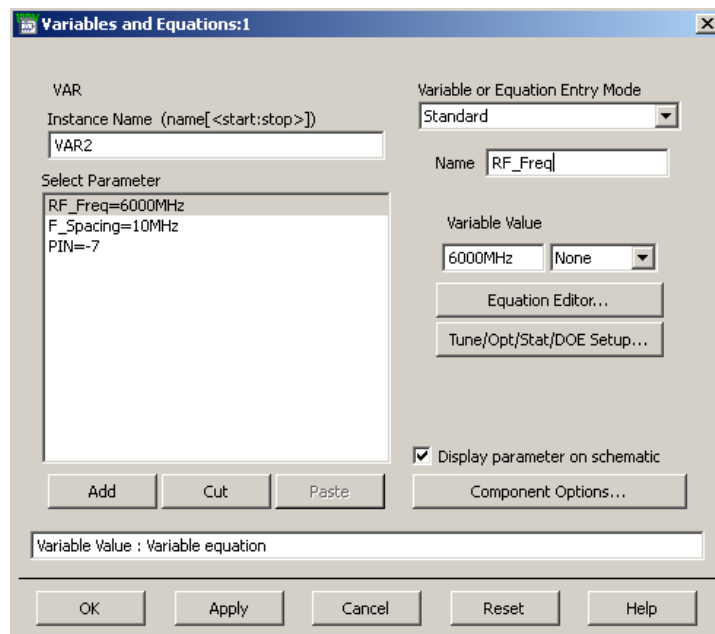


Figure 30 VAR Settings

Η τελική εικόνα για το “VAR” και το “HARMONIC BALANCE” στο σχηματικό, θα είναι όπως παρακάτω:



Figure 31 Harmonic Balance Final Settings

Από το drop down menu των υλικών, επιλέγουμε τη παλέτα “Sources-Freq Domain” όπως φαίνεται στη παρακάτω εικόνα:

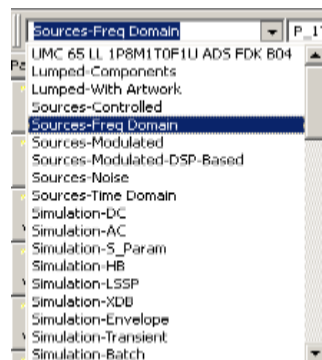


Figure 32 Sources-Freq Domain Selection

Από εκεί επιλέγουμε το “P_nTone” κουμπί όπως στη παρακάτω εικόνα στο Figure 33.

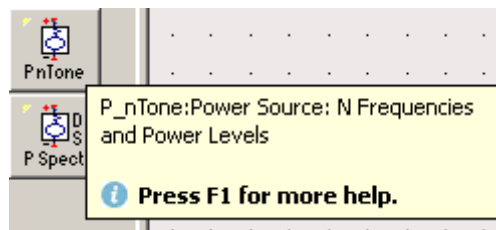


Figure 33 P_nTone Button

Κάνουμε double click στη πόρτα “P_nTone” και εισάγουμε τις παραμέτρους όπως φαίνονται στην εικόνα στο Figure 34:

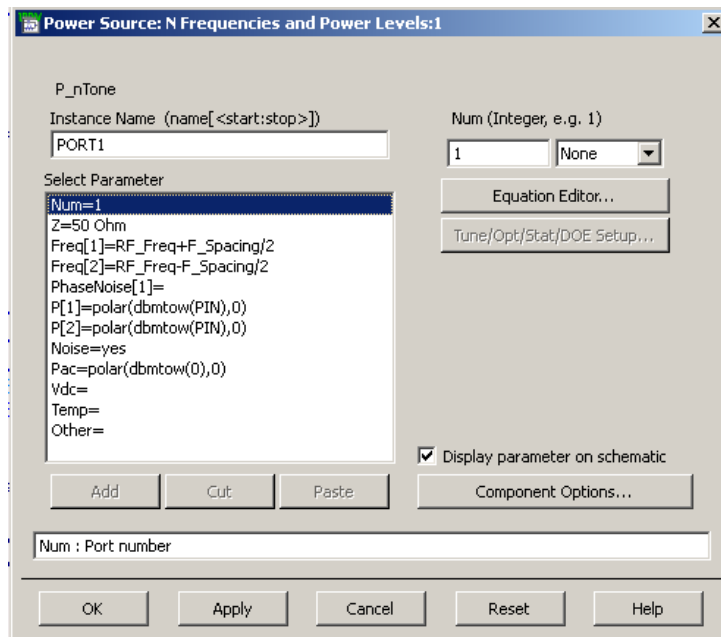


Figure 34 Port P_nTone Settings

Το τελικό κύκλωμα φαίνεται παρακάτω στο Figure 35:

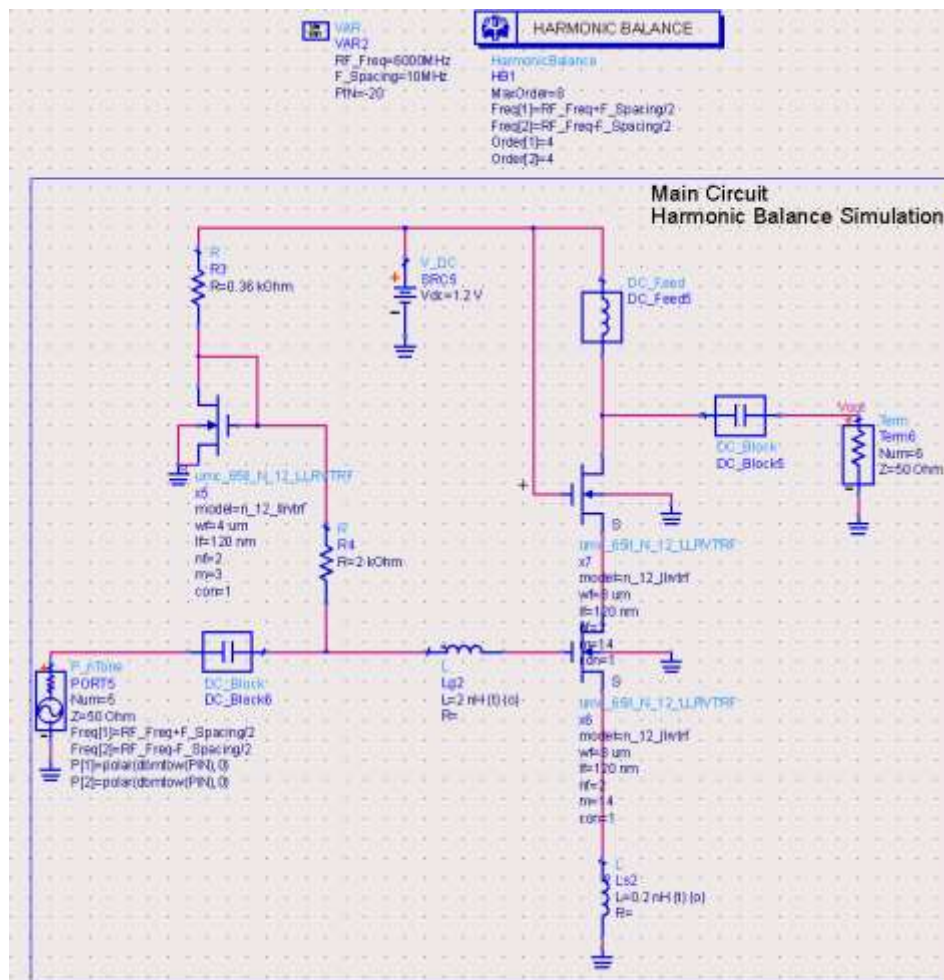


Figure 35 Harmonic Balance 2 Tone Circuit

Εκτελούμε προσομοίωση πατώντας το κουμπί “Simulate”



Μετά τη προσομοίωση, στη παλέτα των γραφημάτων επιλέγουμε το κουμπί “List”
Επιλέγουμε πρώτα το Mix(1) και πατάμε “>>Add>>” και μετά το Mix(2) όπως στη παρακάτω εικόνα του Figure 36 και τέλος το κουμπί “Ok”.

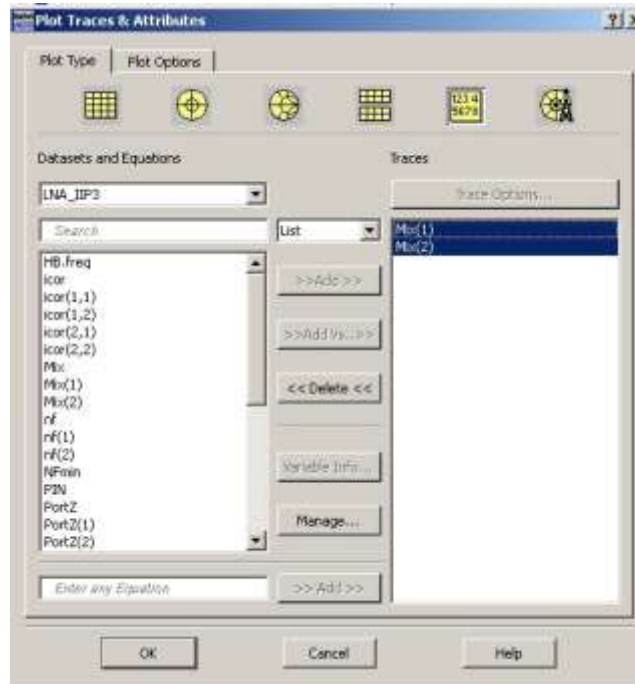


Figure 36 Harmonic Products Settings

Οπότε δημιουργείται ένας πίνακας όπως στην εικόνα , Figure 37

freq	Mix(1)	Mix(2)
0.0000 Hz	0	0
10.00 MHz	-1	-1
20.00 MHz	2	-2
30.00 MHz	3	-3
40.00 MHz	4	-4
5.965 GHz	-3	4
5.975 GHz	-2	3
5.985 GHz	-1	2
5.995 GHz	0	1
6.005 GHz	1	0
6.015 GHz	2	-1
6.025 GHz	3	-2
6.035 GHz	4	-3
11.97 GHz	-2	4
11.98 GHz	-1	3
11.99 GHz	0	2
12.00 GHz	1	1
12.01 GHz	2	0
12.02 GHz	3	-1
12.03 GHz	4	-2
17.98 GHz	-1	4
17.98 GHz	0	3
18.00 GHz	1	2
18.01 GHz	2	1
18.02 GHz	3	0
18.02 GHz	4	-1
23.98 GHz	0	4
23.99 GHz	1	3
24.00 GHz	2	2
24.01 GHz	3	1

Figure 37 Fundamental and 3rd order products

Από τον παραπάνω πίνακα ,Figure 37, μας ενδιαφέρουν οι συχνότητες: 5.985GHz, 5.995GHz, 6.005GHz, 6.015GHz. Δηλαδή οι δύο κεντρικές συχνότητες που εισάγαμε: 5.995GHz, 6.005GHz και τα προϊόντα 3^{ης} τάξης: 5.985GHz, 6.015.

Εισάγουμε μια εξίσωση «tones» στην οποία βάζουμε ως ορίσματα τις συντεταγμένες των παραπάνω συχνοτήτων τις οποίες μας τις δίνουν οι στήλες Mix(1) και Mix(2).

$$tones = \{[-1,2], \{0,1\}, \{1,0\}, \{2, -1\}\}$$

Επιλέγουμε “Rectangular Plot” και εισάγουμε την προηγούμενη εξίσωση σε dBm ως εξής. Στο πεδίο “Enter any Equation” εισάγουμε την εξίσωση $dBm(mix(HB.Vout, tones))$ και πατάμε το κουμπί “>>Add>>”.

Στη δεξιά στήλη επιλέγουμε την εξίσωση και πατάμε “Trace Options...”, όπως φαίνεται στη παρακάτω εικόνα, Figure 38, και στο “Trace Type” επιλέγουμε “Spectral” όπως στην εικόνα Figure 39 και πατάμε “Ok”.

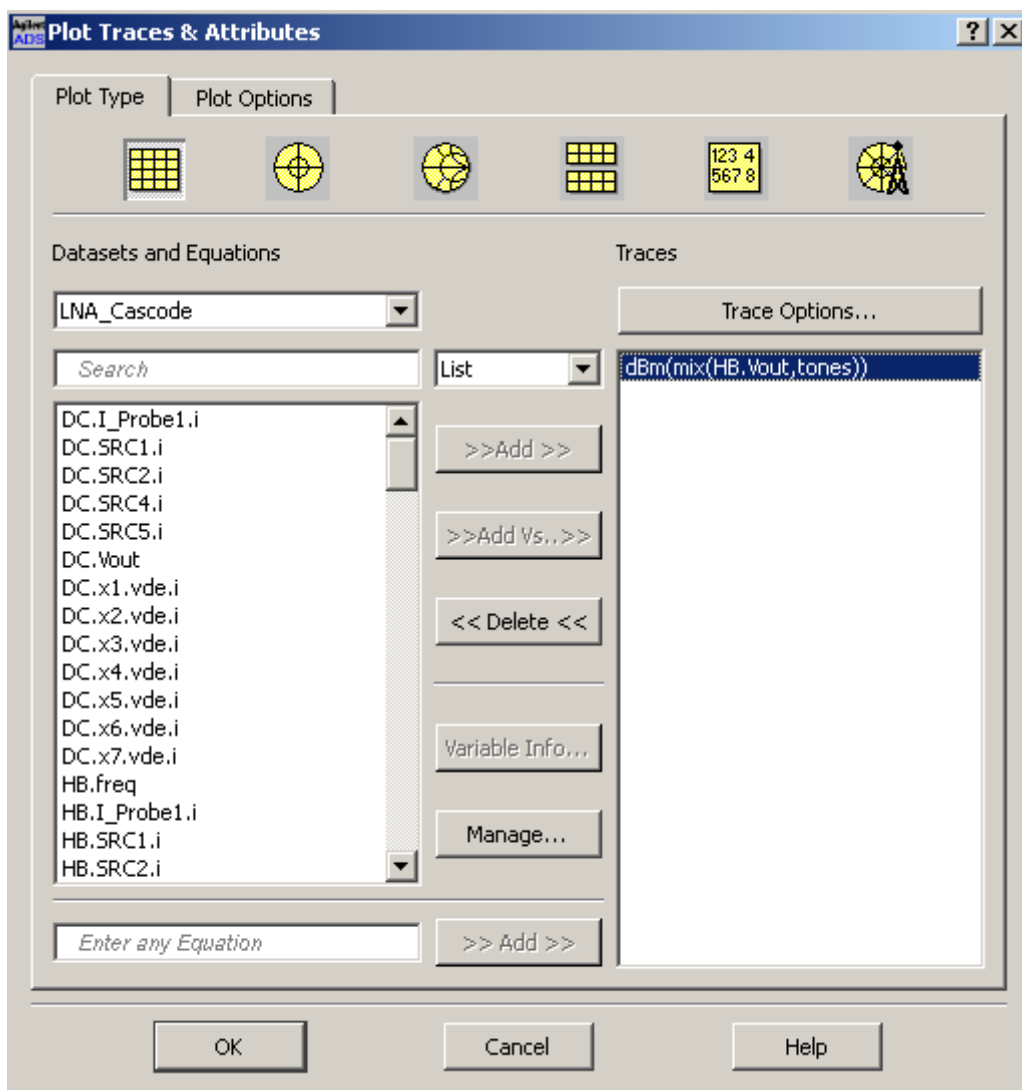


Figure 38 Two(2) Tone Trace Output Equation

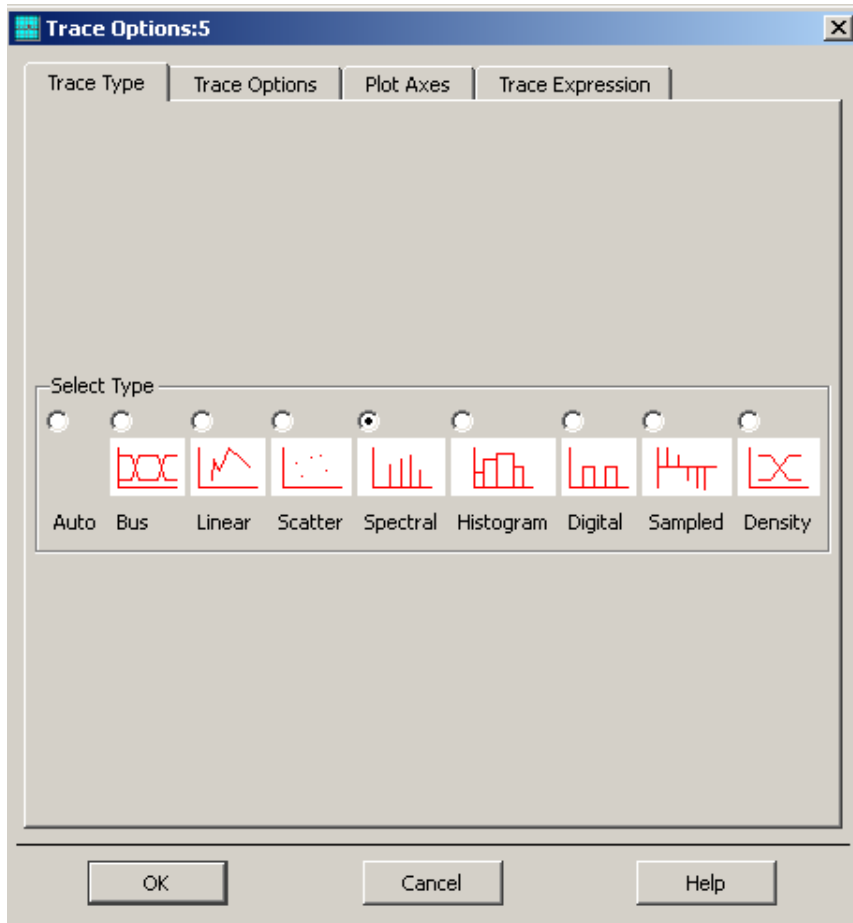


Figure 39. Spectral Type Graph Selection

Εάν χρειαστεί πατάμε “Ok” και παίρνουμε το παρακάτω γράφημα με τις κύριες συχνότητες και τα προϊόντα 3^{ης} τάξης.

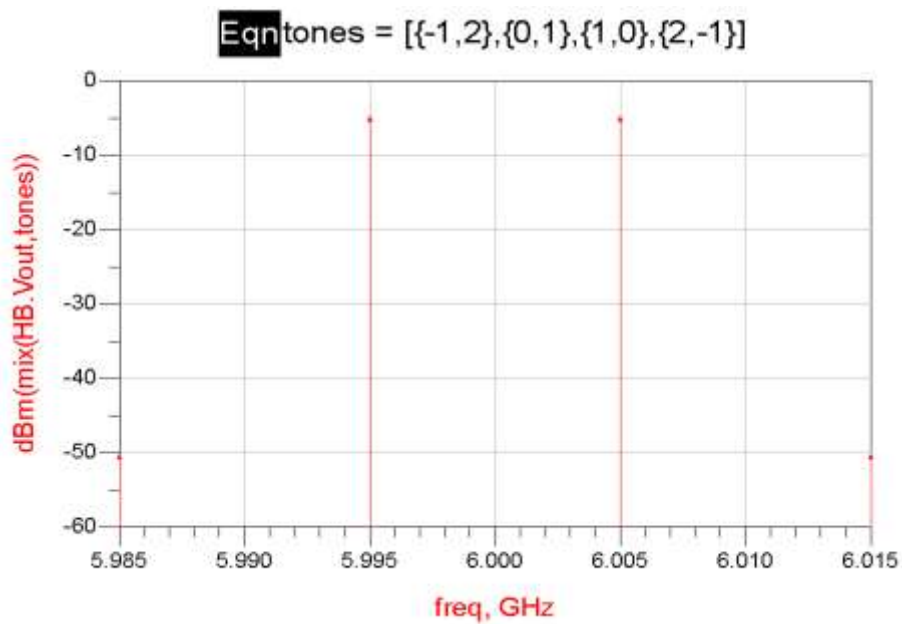


Figure 40. Κύριες συχνότητες και τα προϊόντα 3^{ης} τάξης

2.6. Υπολογισμός IIP3

Επανερχόμαστε στο κύκλωμα στην εικόνα Figure 35 και κάνουμε double click στο “Harmonic Balance” και στο tab “Sweep” εισάγουμε τις παραμέτρους όπως στην παρακάτω εικόνα, Figure 41 και πατάμε “Ok”.

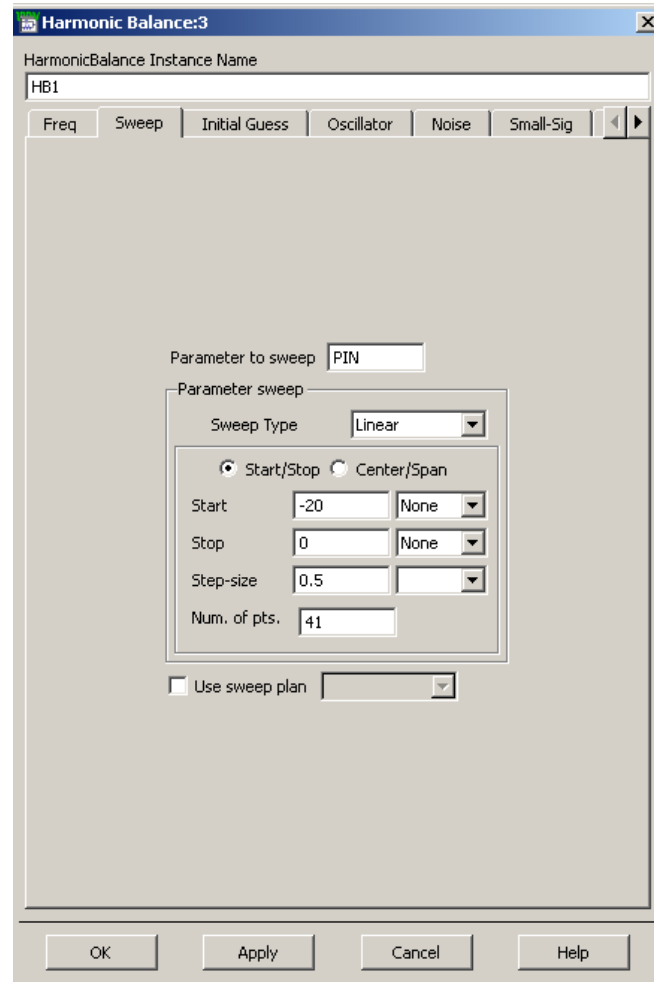


Figure 41 Harmonic Balance PIN Power Sweep

Πατάμε το κουμπί “Simulate” και όταν τελειώσει η προσομοίωση στη παλέτα των γραφημάτων επιλέγουμε “Rectangular Plot” και εισάγουμε τις εξισώσεις, Figure 42:

$$dBm(mix(HB.Vout, \{1,0\}))$$

$$dBm(mix(HB.Vout, \{2,-1\}))$$

Όπου η πρώτη εξίσωση είναι το σήμα εξόδου σε dBm του οποίου η κύρια συχνότητα είναι τα 6.005GHz, σύμφωνα με τον πίνακα στην εικόνα Figure 37 και η δεύτερη εξίσωση είναι το σήμα εξόδου σε dBm, προϊόν 3^{ης} τάξης στα 6.015GHz.

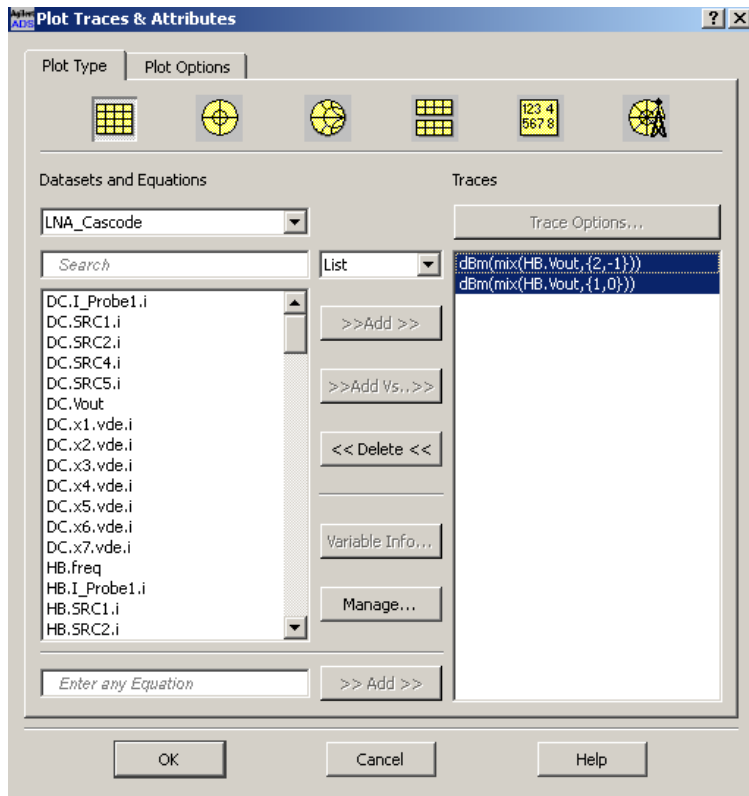


Figure 42 IIP3 Equations Settings

Μετά την εισαγωγή των εξισώσεων πατάμε “Ok” και εξάγουμε το παρακάτω τελικό γράφημα του IIP3, Figure 43.

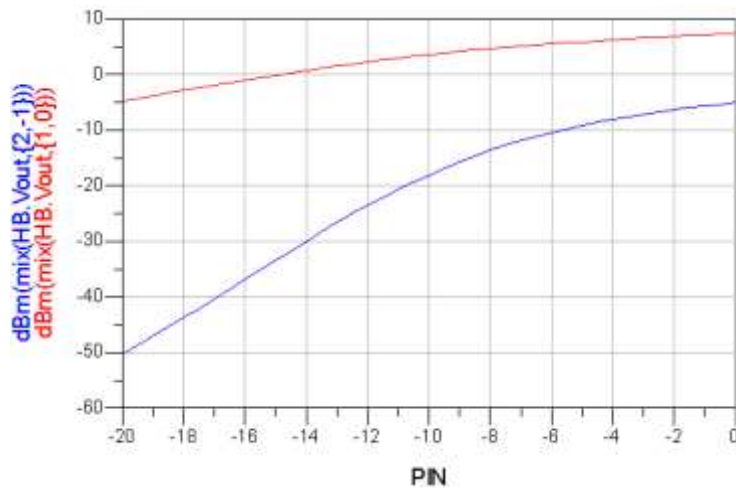
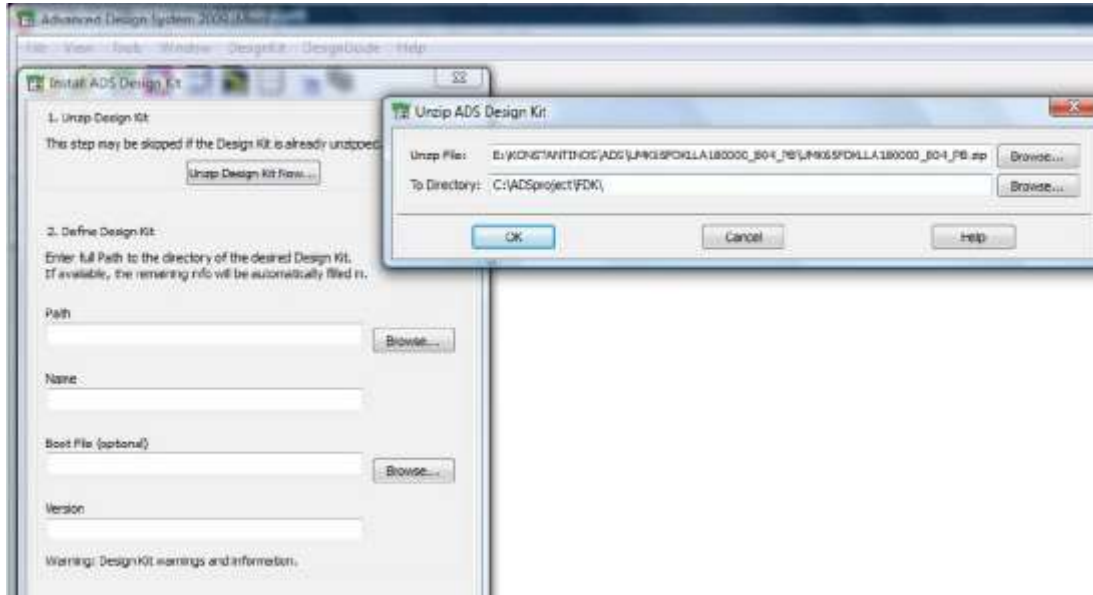


Figure 43 IIP3 Graph

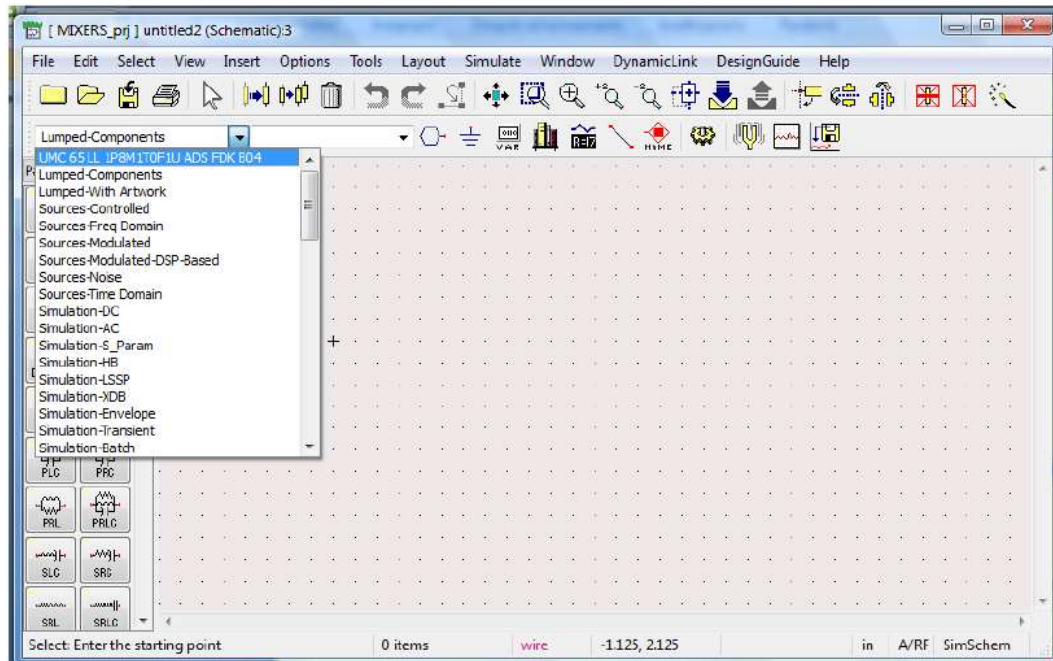
ΠΑΡΑΡΤΗΜΑ Ι

Εγκατάσταση και χρήση της βιβλιοθήκης UMK65FDKLLA180000 Foundry Design Kit of 65nm

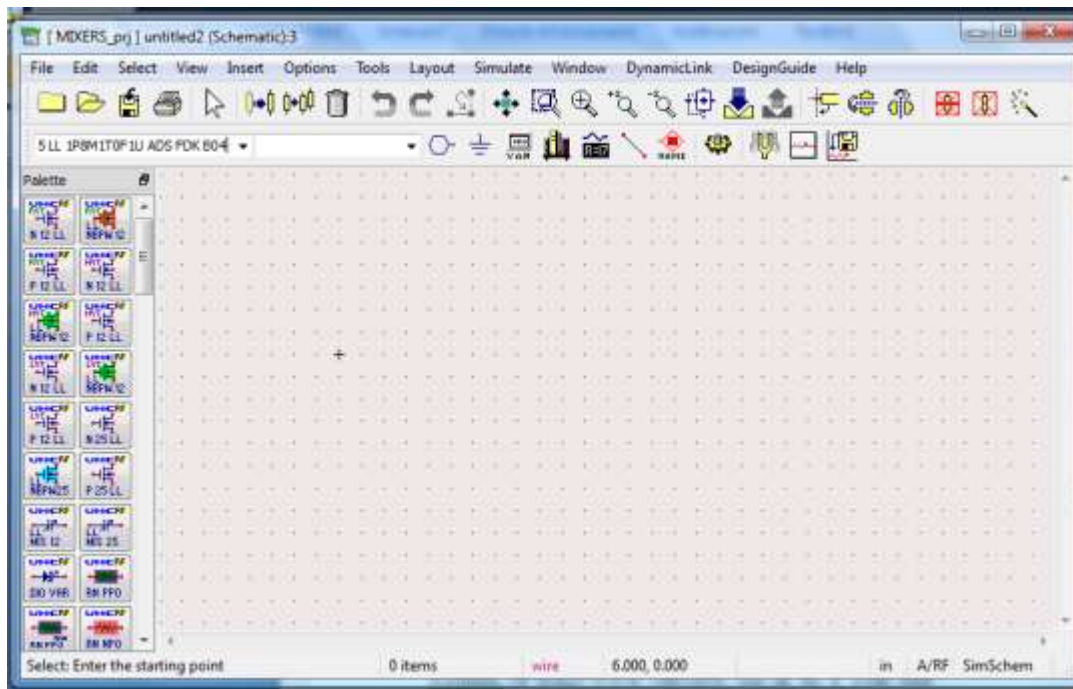
Από την γραμμή εντολών του ADS επιλέγω DesignKit και εν συνέχεια Install DesignKits. Στο επόμενο αναδυόμενο παράθυρο δηλώνουμε το συμπιεσμένο αρχείο της βιβλιοθήκης, καθώς και τον φάκελο προορισμού, όπου θα αποσυμπίεστεί:



Αφού πατήσουμε ok, εκτελείται η αποσυμπίεση στον φάκελο προορισμού και θα είναι πλέον διαθέσιμη η βιβλιοθήκη σε κάθε παράθυρο σχεδίασης:

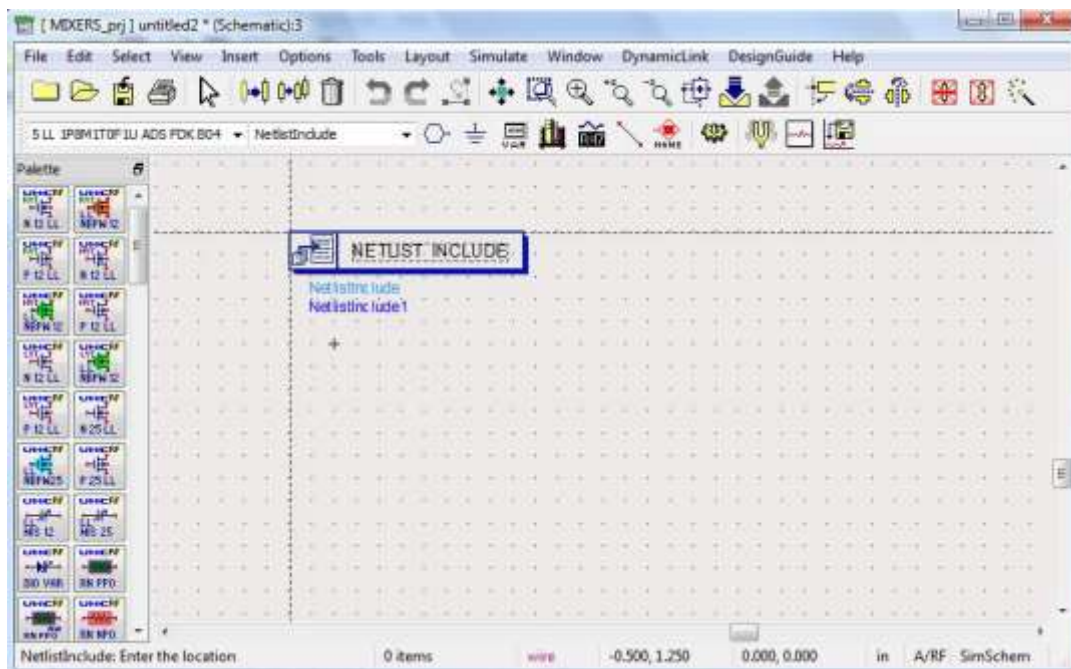


Επιλέγοντας τη βιβλιοθήκη UMC 65LL εμφανίζεται η παλέτα των διαθέσιμων στοιχείων:

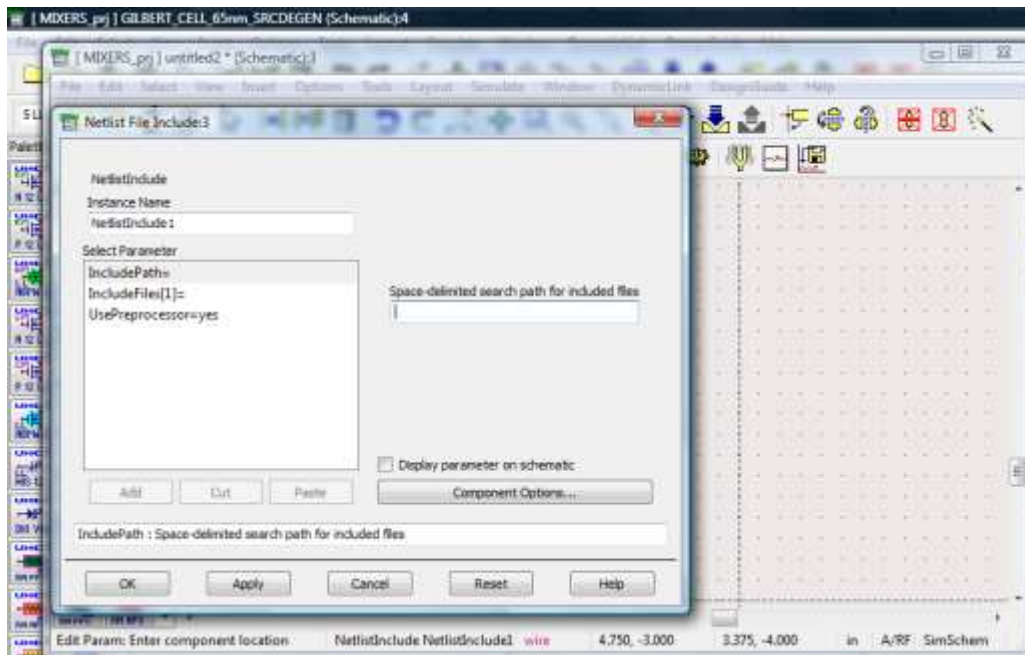


Στη συνέχεια, πρέπει να εγκαταστήσουμε τα κατάλληλα μοντέλα πριν εκτελέσουμε οποιαδήποτε προσομοίωση. Στα πλαίσια της παρούσας εργασίας, χρησιμοποιήθηκαν 1.2 V Regular Voltage Threshold Transistors.

Πληκτρολογούμε NetlistInclude στο πεδίο ιστορικού της γραμμής εργαλείων του παραθύρου σχεδίασης και κάνουμε αριστερό κλικ εντός του καμβά σχεδίασης, όπως φαίνεται παρακάτω:



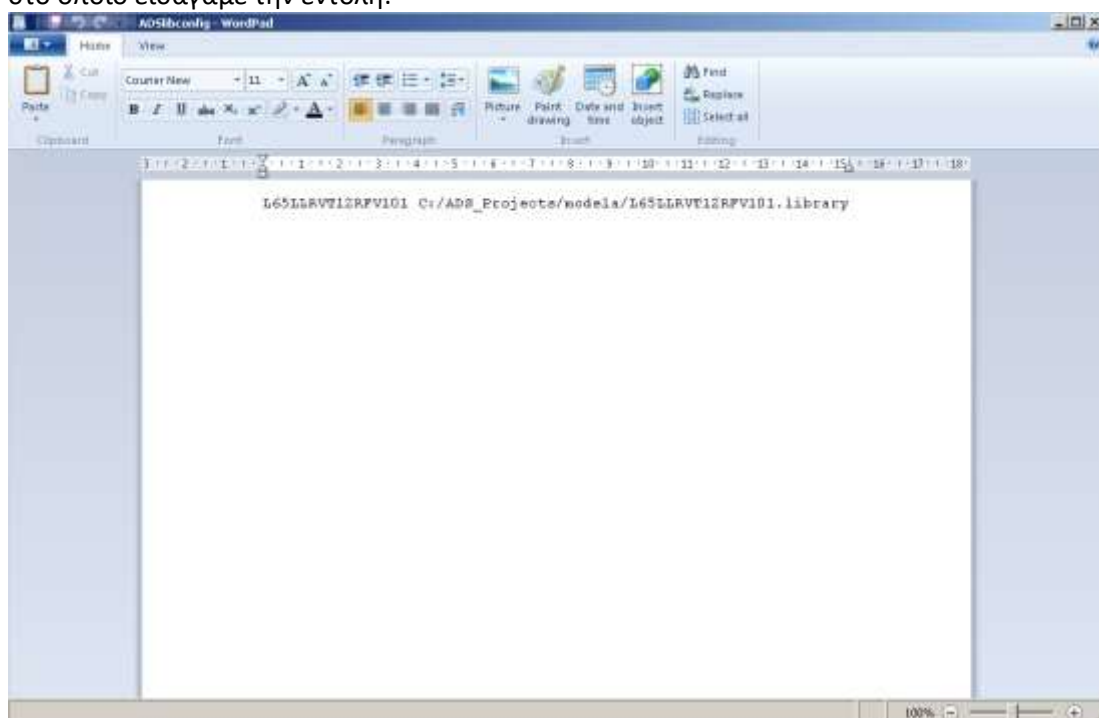
Διπλασιάζουμε στο εικονίδιο NETLIST INCLUDE, οπότε, εμφανίζεται το παρακάτω παράθυρο, όπου θα δηλώσουμε τον φάκελο των μοντέλων, καθώς και τα συναφή αρχεία με τις σχετικές επιλογές (sections):



Στην περίπτωσή μας, το παράθυρο NetlistInclude είχε την εξής μορφή:
 Στον φάκελο C:/ADS_Projects/modela μεταφέραμε τα παρακάτω αρχεία:

L65LLRVT12RFV101.ads,
 L65LL_RVT12_V101_RF.lib.net,
 Rde65LL_RVT12RF_V101_ADS.va,
 Rde65LL_RVT12RF_V101_ADS.scs,
 L65LLRVT12RFV101.library,
 Library.cfg,

Στον φάκελο C:/ADS_Projects/hreesof/circuit/config μεταφέραμε το αρχείο ADSlibconfig, στο οποίο εισάγαμε την εντολή:



Η βιβλιοθήκη UMK65FDKLLA180000 Foundry Design Kit 65nm είναι πλέον έτοιμη για χρήση.

Βιβλιογραφία

- [1] J P Silver, *MOS COMMON-SOURCE LNA Design Tutorial*,
http://inf-server.inf.uth.gr/courses/CE433/tutorials/MOS_CS_LNA.pdf
- [2] J P Silver , *Cascode CMOS Circuit*,
http://inf-server.inf.uth.gr/courses/CE433/tutorials/Cascode_MOS_Circuit.pdf
- [3] McGraw McGraw-Hill Company, *MOSFET Current Mirror Current Sources Basic Concepts*,
<http://inf-server.inf.uth.gr/courses/CE433/tutorials/MOSFET%20Current%20Mirror.pdf>
- [4] Σωτήριος Ματακιάς, *Εισαγωγή στη Σχεδίαση Κυκλωμάτων RF, Κεφάλαιο 6.1 LNA*,
http://cgi.di.uoa.gr/~matakias/RF/Chapter_6.1_LNA.pdf
- [5] Javad Yavand Hasani, *Design of a Radiofrequency Front-End module for "Smart Dust" sensor network*, Chapter IV, Archive ouverte HAL, 07 December 2008
<https://tel.archives-ouvertes.fr/tel-00445302/file/ChapterIV.pdf>
- [6] Rashad M. Ramzan, *Low Noise Amplifier (LNA) Design*, Linköping University
http://eee.guc.edu.eg/Courses/Electronics/ELCT910_IC_for_Wireless_Systems/tutorial/T1_LNA_2010.pdf
- [7] Behzad Razavi, *RF MICROELECTRONICS*, Prentice Hall, 1998.
- [8] Mingcan Cen, Shuxiang Song, *Design of a 0.97dB, 5.8GHz fully integrated CMOS low noise amplifier*, Advanced Science and Technology Letters, Vol. 28(EEC 2013),pp.34-32,
<http://dx.doi.org/10.14257/astl.2013.28.07>.
- [9] Κωνσταντίνος Ν. Κωστώγιαννης, *Σχεδίαση ενεργού CMOS μίκτη σε τεχνολογία 65nm*, Μάρτιος 2017